

修士論文

高輝度 LHC-ATLAS 実験に向けた初段ミューオントリガー アルゴリズムの実装と検出器全体への拡張

京都大学大学院理学研究科 物理学・宇宙物理学専攻
物理学第二分野 高エネルギー物理学研究室

学生番号 0530-33-9347

河本 地弘

指導教員 隅田土詞



2023年1月25日

概要

Large Hadron Collider (LHC) は、欧州原子核研究機構 (CERN) に設置された世界最高エネルギーの陽子陽子衝突型円形加速器である。ATLAS 検出器は LHC の衝突点の一つに設置された大型汎用検出器であり、陽子衝突により発生する粒子を観測することで、ヒッグス粒子の性質の精密測定や標準模型を超えた新物理の探索を行なっている。

2029 年より、ビーム輝度をそれまでの約 3 倍に増強した高輝度 LHC の運転が予定されており、豊富な統計量を利用した標準理論の更なる精密検証や生成断面積の小さい新粒子の探索を行う。一方で、1 度のバンチ交差あたりの陽子の衝突数の増加に伴って背景事象が大幅に増加するため、興味のある物理事象をデータ取得時に選別する「トリガー」に対する要求がより厳しいものとなる。特に高輝度 LHC の環境下においては、既存のトリガーでは物理として興味のある事象に対する感度が著しく下がってしまうため、トリガーの大幅なアップグレードを行う必要がある。

本研究では、高輝度 LHC-ATLAS 実験においてミュオンを崩壊過程に含む事象のトリガーを扱う。ATLAS 実験のトリガーはハードウェアを用いた高速な初段トリガーとソフトウェアを用いたより高精度な後段トリガーで構成される。エンドキャップ部初段ミュオントリガーでは、磁場の外部に設置された Thin Gap Chamber (TGC) 検出器及び磁場内部に設置された複数の検出器の情報を用いてミュオンによる飛跡の横運動量 (p_T) を判定し、これに基づいてトリガーを発行する。高輝度 LHC では TGC 検出器の回路系を刷新して、全てのヒット情報を大規模 FPGA に送り、アップグレードにより増加したレイテンシーを活用して磁場内部検出器の情報と合わせて処理することでトリガー性能を向上させる。本研究では、TGC 検出器のヒット情報から再構成した飛跡を磁場内部検出器の情報と組み合わせコインシデンスをとることで背景事象を削減し、その p_T をより高精度に判定するアルゴリズムを開発した。開発したアルゴリズムは、TGC 検出器で再構成された閾値以上の p_T を持つミュオンに対して 94% の高い検出効率を保ちながら、閾値以下の p_T を持つミュオン及び背景事象を大きく削減することを確認した。

さらに、開発した個々のトリガーアルゴリズムについて、ファームウェアに一連の処理を接続して実装し、シミュレーションを用いた動作試験を行うことで、ファームウェアが正しく動作することを確認した。また、アルゴリズムの最適化を行い、FPGA のリソースやトリガー判定時間等の制約をクリアした上で一つの FPGA が担う領域全体へとアルゴリズムを拡張し、全領域でのトリガー判定を可能にした。また、実装したファームウェアについて動作試験を行い、正しくトリガー判定ができていることを確認した。これにより、高輝度 LHC でもエンドキャップ部のミュオントリガーは十分に高い性能でトリガー判定を行うことができることを示した。

目次

第 1 章	序論	1
1.1	素粒子標準模型	1
1.2	ATLAS 実験で目指す物理	1
1.2.1	ヒッグス粒子の精密測定	1
1.2.2	超対称性粒子の探索	3
1.3	ミュオントリガーのアップグレードの重要性	5
1.4	本論文の構成	8
第 2 章	LHC-ATLAS 実験	11
2.1	LHC 加速器	11
2.2	ATLAS 実験	11
2.2.1	ATLAS 実験における座標系と変数	13
2.2.2	ATLAS 検出器	14
2.2.3	超伝導磁石	14
2.2.4	ミュオン検出器	15
2.2.5	トリガーシステム	20
2.3	高輝度 LHC に向けたアップグレード	25
2.3.1	ミュオン検出器のアップグレード	25
2.3.2	トリガーシステムのアップグレード	26
第 3 章	高輝度 LHC におけるエンドキャップ部初段ミュオントリガーの開発	30
3.1	Thin Gap Chamber	30
3.1.1	トリガー単位	30
3.1.2	トリガーの概要	30
3.2	Run-3 におけるトリガーの概要と高輝度 LHC に向けたアップグレード	34
3.2.1	Run-3 におけるトリガーの概要	34
3.2.2	高輝度 LHC に向けたアップグレードの概要	36
3.3	高輝度 LHC における初段ミュオントリガーのアルゴリズム	38
3.3.1	TGC BW を用いたトリガーアルゴリズム	39
3.3.2	磁場内部の検出器を用いたトリガーアルゴリズム	42
3.3.3	MDT を用いたトリガーアルゴリズム	49

3.4	高輝度 LHC における初段ミュオントリガーアルゴリズムの開発	49
3.4.1	飛跡の位置情報を用いた位置の補正と η 座標の読み出し	50
3.4.2	RPC Coincidence における Coincidence Window の開発	50
第 4 章	高輝度 LHC における初段ミュオントリガーの性能評価	58
4.1	モンテカルロシミュレーションを用いた検出効率の評価	58
4.1.1	各トリガーアルゴリズムの検出効率の評価	58
4.1.2	領域ごとの検出効率の評価	59
4.1.3	Inner Coincidence の有無による比較	65
4.1.4	Run-3 における検出効率との比較	65
4.2	実データを用いたトリガーレートの評価	66
第 5 章	Sector Logic に実装するトリガー用ファームウェアの開発と拡張	69
5.1	Sector Logic のデザイン	69
5.2	トリガーロジックを実装する FPGA	69
5.2.1	ブロックメモリ	71
5.2.2	Super Logic Region(SLR)	72
5.3	ストリップ飛跡再構成ファームウェアの概要	72
5.3.1	Station Coincidence	73
5.3.2	Segment Reconstruction	73
5.4	Wire-Strip Coincidence ファームウェアの概要	78
5.4.1	p_T Calculator	80
5.4.2	Wire Position Corrector	81
5.4.3	Block Selector	81
5.5	Inner Coincidence ファームウェアの概要	82
5.5.1	NSW Decoder における飛跡候補の絞り込み	83
5.5.2	NSW Coincidence	83
5.6	ファームウェアに実装するロジックの開発	86
5.6.1	Priority Calculator の開発	86
5.6.2	Wire Position Corrector の開発	87
5.7	ファームウェアに実装するトリガーロジックの検出器全体への拡張	87
5.7.1	ストリップ飛跡再構成ファームウェアの拡張	90
5.7.2	Wire-Strip Coincidence ファームウェアの拡張	91
5.7.3	Inner Coincidence の拡張予定	95
5.7.4	ファームウェアにおいて使用するリソース量の見積り	95
5.8	ファームウェアに実装するトリガーロジックの接続	95
5.8.1	トリガー処理にかかるレイテンシー	97

第 6 章	Sector Logic に実装するトリガー用ファームウェアの試験	98
6.1	Slice Test	98
6.2	全領域に拡張したファームウェアのシミュレーションを用いた動作確認	103
6.2.1	ストリップにおける Segment Reconstruction の検証	103
6.2.2	Wire-Strip Coincidence の検証	103
6.3	ファームウェア統合試験	105
第 7 章	結論と今後の展望	108
	謝辞	110
	参考文献	110
付 録 A	高輝度 LHC におけるエンドキャップ部初段ミュオントリガーに搭載する PS Board	115
付 録 B	高輝度 LHC におけるエンドキャップ部初段ミュオントリガーの開発	117
B.1	ワイヤー・ストリップ飛跡再構成における角度パターンリストの作成	117
B.2	RPC BIS78 Coincidence Window	119
付 録 C	高輝度 LHC における初段ミュオントリガーの実データを用いた性能評価方法	121
付 録 D	Sector Logic	123
D.1	Sector Logic が受信するデータ	123
D.2	Sector Logic が送信するデータ	126
D.3	Sector Logic に実装するトリガー用ファームウェアの開発と拡張	129
D.3.1	Strip Segment Reconstruction	129
D.3.2	各検出器との Inner Coincidence ファームウェアおよび Which-Inner	133

目次

1.1	標準模型の粒子一覧 [1].	2
1.2	ATLAS 実験におけるヒッグス粒子の主な生成過程 [2].	2
1.3	ヒッグス粒子の主な崩壊過程 [2].	2
1.4	重心系エネルギー $\sqrt{s} = 13$ TeV のデータを用いて測定した各粒子とヒッグス粒子との結合定数の測定結果 [3] と測定精度の見積もり [4].	3
1.5	超対称性粒子の図 [5].	4
1.6	ヒッグス粒子の質量への最も大きな輻射補正とこれを打ち消す SUSY 粒子ののループ.	4
1.7	LHC におけるスレプトン (\tilde{l}) の対生成及び崩壊過程の例 [6].	5
1.8	Run-2 までのデータを用いて現在までに ATLAS 実験で棄却されているスレプトン及びニュートラリーノの質量領域 [7].	5
1.9	ATLAS 実験で現在までに実際に測定された, 陽子陽子衝突におけるヒッグス粒子生成などの各物理過程の LHC の重心系エネルギーに対する断面積 [8].	6
1.10	シングルレプトントリガーの p_T 閾値と各過程に対するアクセプタンスの相関 [9].	7
1.11	ヒッグス粒子の対生成過程の例 [10].	7
1.12	Run-2 データを用いて測定された VBF と ggF 過程によるヒッグス粒子の対生成過程の断面積 [10].	8
1.13	高輝度 LHC におけるシングルレプトントリガーの p_T 閾値に対する $HH \rightarrow bb\tau_{lep}\tau_{had}$ 過程の断面積の標準模型に対する割合の上限値の見積り [9].	9
1.14	ダイレプトントリガーの 2 つのレプトンの p_T 閾値に対する $H \rightarrow \tau_{lep}\tau_{lep}$ 過程 (右) と $\chi_2^0\chi_1^\pm \rightarrow ll\nu\chi_1^0\chi_1^0$ のアクセプタンス [9].	9
2.1	CERN の加速システムの全体図. [11]	12
2.2	ATLAS 実験で用いられる座標系 [2].	13
2.3	ATLAS 検出器の全体図 [12].	14
2.4	ATLAS 検出器の超伝導磁石の配置 [12].	15
2.5	(左) トロイド磁石による磁場の η 依存性 [12]. (右) トロイド磁石による磁場のエンドキャップ部における xy 平面での分布 [13].	16
2.6	Run-3 時点でのミューオン検出器の配置図 [14].	17
2.7	TGC 検出器の写真 [15].	18

2.8	TGC 検出器の構造 [12].	18
2.9	TGC Doublet と Triplet の断面図 [12].	18
2.10	左) NSW の構造 [16]. (右) NSW の 1 チェンバーの構成 [17].	19
2.11	RPC の構造図 [12].	20
2.12	(左) ドリフトチューブの断面図 [12]. (右) MDT の構造図 [12].	21
2.13	Tile カロリメータの構造図 [12].	21
2.14	Tile カロリメータのセルの配置図 [18].	22
2.15	Run-3 におけるトリガーシステムの概要 [19].	22
2.16	Run-2 におけるトリガーマニューの一例 [20].	24
2.17	TGC EI の配置図 [21].	26
2.18	高輝度 LHC におけるトリガーシステムの概要 [21].	27
2.19	高輝度 LHC におけるトリガーマニューの例 [21].	29
3.1	TGC の R-Z 平面における配置図 [22].	31
3.2	TGC の M1, M3 ステーションの配置図 [22].	31
3.3	TGC のトリガー判定に用いられる単位の模式図.	32
3.4	Run-3 における初段エンドキャップ部ミュオントリガーロジックの概要 [23].	33
3.5	衝突点由来でない荷電粒子によるフェイクトリガーの例.	33
3.6	Run-3 におけるトリガー回路の概要 [18].	34
3.7	M2-M3 で用いられる SLB のコインシデンスロジックの概要図 [22].	35
3.8	高輝度 LHC における Endcap SL と, TGC やその他の検出器, 後段とのやりとりの概要図.	36
3.9	高輝度 LHC におけるエンドキャップ部初段ミュオントリガー回路の概要.	37
3.10	TGC EI Doublet (左) と Triplet (右) における η 位置測定の概要 [14].	38
3.11	初段ミュオントリガーアルゴリズムの流れ.	38
3.12	ストリップにおけるチェンバー間の OR の取り方.	40
3.13	Doublet 及び Triplet 構造における Station Coincidence の概要 [2].	40
3.14	η 方向 (左) 及び ϕ 方向 (右) についてパターンとして保存する飛跡の情報 [2].	41
3.15	パターンマッチングを行う最小領域の模式図.	42
3.16	Coincidence Window を用いた p_T 判定の概念図 [2].	43
3.17	ミュオン検出器の R-z 図 [2].	44
3.18	磁場内部の検出器でカバーされる $\eta - \phi$ 領域をビーム軸方向からみた図 [2].	44
3.19	NSW における角度情報及び位置情報を用いたトリガーアルゴリズムの概要図 [23].	45
3.20	NSW Coincidence における Coincidence Window の例 [14].	46
3.21	EI Coincidence における $d\eta$ の p_T による分布の違いと $d\eta$ の閾値 [14].	47
3.22	RPC BIS78 における位置情報を用いたトリガーアルゴリズムの概要図 [24].	48

3.23	RPC BIS78 と TGC BW の間で生じる $ d\eta $ (左) 及び $ d\phi $ (右) の p_T ごとの分布.	48
3.24	Tile Coincidence の概要図 [2].	49
3.25	MDT TP における 2 及び 3 つのステーションを用いた飛跡再構成ロジック [9].	50
3.26	エンドキャップ領域におけるワイヤーの代表点 ID に対する η の分布.	51
3.27	ϕ 方向の位置によって生じる実際の η 位置とのずれの概念図.	51
3.28	ある領域における, ワイヤー代表点 ID に対応する画一的な η に対するストリップ の代表点 ID 位置における実際の η の補正量.	52
3.29	RPC Coincidence における各 p_T 閾値のミューオンの分布.	53
3.30	20 GeV の Window に足し合わせる各 p_T のミューオンの分布.	54
3.31	p_T 閾値 5, 10, 15, 20 GeV の CW.	54
3.32	滑らかにする処理の前後の CW の例.	55
3.33	RPC BIS78 の存在領域における CW の例.	55
3.34	ビンの設定ごとの p_T 閾値 5, 20 GeV に対する p_T ごとの検出効率の分布.	56
4.1	各 p_T 閾値での CW の検出効率.	59
4.2	NSW Coincidence をとったミューオンの p_T ごとの検出効率 [14].	60
4.3	EI Coincidence をとったミューオンの p_T ごとの検出効率.	60
4.4	RPC Coincidence をとったミューオンの p_T ごとの検出効率.	61
4.5	5 - 20 GeV の各 p_T 閾値での $1.1 < \eta < 1.3$ における検出効率.	62
4.6	5 - 20 GeV の各 p_T 閾値での $1.3 < \eta < 2.4$ における検出効率.	63
4.7	5 - 20 GeV の各 p_T 閾値での $1.05 < \eta < 2.4$ における検出効率.	64
4.8	p_T 閾値 10, 20 GeV におけるミューオンの検出効率.	65
4.9	Run-3 におけるトリガーアルゴリズムと高輝度 LHC のトリガーアルゴリズムを用 いた場合の p_T 閾値 20 GeV におけるミューオンの検出効率.	66
4.10	エンドキャップ及びフォワード領域における p_T 閾値 20 GeV でのルミノシティと トリガーレートの関係 [14].	67
4.11	高輝度 LHC で予想される瞬間ルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ におけるエンド キャップ及びフォワード領域での各 p_T 閾値のトリガーレート [14].	68
5.1	TGC BW において 1 つの SL ボードがカバーする領域 [9].	70
5.2	SL ボードのブロック図.	70
5.3	SLR ごとの処理の概要.	72
5.4	ストリップパターンマッチングファームウェアの概要.	73
5.5	Station Coincidence においてミューオンの通過に伴い 2/2 hit の隣に生じる 1/2 hit の代表点.	74
5.6	Station Coincidence において 1/2 hit を取り出すロジック.	74
5.7	ストリップのパターン抽出の概念図 [14].	75

5.8	Address Specifier のロジックの流れ.	76
5.9	ステーションごとの global ID の分割 ^[14] .	77
5.10	Segment Selector のロジックの流れ ^[14] .	79
5.11	Wire-Strip Coincidence ファームウェアの概要.	80
5.12	p_T Calculator のロジックの流れ.	81
5.13	TGC に2つのミューオンが飛来した時を想定した 32 Unit Region での候補の選択手法の概念図.	82
5.14	単位領域における Inner Coincidence の概要 ^[14] .	83
5.15	TGC BW のある飛跡に対する NSW の 16 飛跡を $ d\eta $ に基づいて 4 グループに分類する様子.	84
5.16	NSW Coincidence の 32 Unit Region における処理の概要.	85
5.17	NSW Coincidence における p_T Calculator の概要.	86
5.18	Priority Calculator のロジックの流れ.	87
5.19	Wire Position Corrector の概要.	88
5.20	Region ごとのローカルな η 情報の分布.	88
5.21	トリガーファームウェアの概要.	89
5.22	エンドキャップ領域の1つのトリガーセクターにおいて Segment Reconstruction を全体に拡張した様子.	90
5.23	Wire-Strip Coincidence 単位領域が TGC BW で占める領域.	91
5.24	1 Region におけるワイヤー, ストリップの組み合わせの概念図.	92
5.25	チェンバー境界を含む Region における処理の概要.	93
5.26	エンドキャップ領域の1つのトリガーセクターにおいて Wire-Strip Coincidence を全体に拡張した様子.	94
6.1	トリガー開発の流れと本研究で行ったファームウェア試験の位置付け.	99
6.2	Slice Test を行なった領域.	99
6.3	Slice Test の概要.	100
6.4	Slice Test におけるファームウェアロジックの流れ.	101
6.5	Slice Test における波形出力の例.	102
6.6	Segment Reconstruction の波形出力の例.	104
6.7	Wire-Strip Coincidence の波形出力の例.	105
6.8	SL ボード第一試作機. 中央左の大きなチップが FPGA である.	106
6.9	ファームウェアに搭載するロジックの概要.	107
6.10	現在の統合試験の進行状況.	107
A.1	高輝度 LHC における PS Board の簡略化した回路図.	116

B.1	ワイヤー（左）及びストリップ（右）のパターンリスト作成手法の概念図 ^[2] .	118
B.2	A-side の RPC BIS78 Coincidence をとりうる全領域における RPC CW.	119
B.3	C-side の RPC BIS78 Coincidence をとりうる全領域における RPC CW.	120
C.1	左) 実データのイベントを重ね合わせることで作成した高輝度の状況を再現するためのサンプルにおけるバンチ交差あたりのパイルアップ数 (μ) の分布. (右) バンチ交差あたりの TGC のヒット数の分布 ^[2] .	122
D.1	Address Specifier において各ステーションの Buffer を用いてアドレスを出力する流れと出力されるアドレスおよび local ID の組み合わせごとの合計ヒット数の模式図 ^[14] .	130
D.2	TGC チェンバーの Forward, Backward の例 ^[25] .	131
D.3	TGC BW の C-side におけるチェンバー配置の例 ^[25] .	132
D.4	EI Coincidence 及び RPC Coincidence の処理の概要.	133
D.5	EI Coincidence における p_T Calculator の概要 ^[14] .	133
D.6	RPC Coincidence における p_T Calculator の概要 ^[14] .	134
D.7	Tile Coincidence の概要 ^[14] .	135
D.8	Which-Inner の概要 ^[14] .	136

表 目 次

2.1	LHCにおける重心系エネルギー, 瞬間最高ルミノシティ及びピークパイルアップ数.	12
2.2	LHC および高輝度 LHC の運転予定. 2025 年までの Run-3 の運転後, アップグレード期間 (Long Shutdown 3) を経て 2029 年より高輝度 LHC が開始予定である. . .	25
4.1	5 – 20 GeV の各 p_T 閾値についての $1.1 < \eta < 1.3$ および $1.3 < \eta < 2.4$ 領域での検出効率のフィッティングの結果.	62
4.2	5 – 20 GeV の各 p_T 閾値についての $1.05 < \eta < 2.4$ 領域での検出効率のフィッティングの結果.	64
4.3	10, 20 GeV の p_T 閾値についての $1.05 < \eta < 2.4$ 領域における Inner Coincidence の前後での検出効率のフィッティング結果.	65
4.4	Run-3 におけるトリガーアルゴリズムと高輝度 LHC のトリガーアルゴリズムを用いた場合の p_T 閾値 20 GeV における検出効率のフィッティング結果.	66
4.5	高輝度 LHC で予想される瞬間ルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ におけるエンドキャップ及びフォワード領域での 5 - 20 の各 p_T 閾値のトリガーレート ^[14]	67
5.1	XCVU13P のリソース.	70
5.2	36 KbRAM で設定可能な入力アドレス幅と出力データ幅 ^[2]	71
5.3	Address Specifier から入力アドレスを出力する際の優先順位 ^[2]	77
5.4	SLR ごとのリソース使用量の見積もり.	96
5.5	エンドキャップ部初段ミュオントリガーで飛跡再構成に要するレイテンシーと要求されるレイテンシーの目安.	97
6.1	Slice Test の結果.	102
6.2	Segment Reconstruction の比較結果.	103
6.3	Wire-Strip Coincidence の比較結果.	106
C.1	データ取得時 (Run-2) と高輝度 LHC でのビームのパラメータ.	121
D.1	バンチ衝突ごとに 1 本のファイバーを通して TGC から受け取るデータフォーマット.	124
D.2	NSW で再構成した飛跡のデータフォーマット ^[2]	124
D.3	RPC BIS78 で再構成した飛跡のデータフォーマット.	125

D.4	RPC BIS78 から送信される暫定的なデータフォーマット.	125
D.5	Tile カロリメータから受け取る暫定的なデータフォーマット.	126
D.6	SL から MDT TP に送信する 1 飛跡のデータフォーマット.	127
D.7	SL から MUCTPI に送信する 1 飛跡のデータフォーマット.	128

第1章 序論

1.1 素粒子標準模型

素粒子の標準模型は、物質を構成する基本的な粒子である素粒子とその間に働く基本的な相互作用について現時点で最も正確に記述する理論である。自然界には4つの基本的な相互作用(電磁相互作用, 弱い相互作用, 強い相互作用, 重力相互作用)が存在するとされ, 標準模型はこのうち重力相互作用を除いた3つの相互作用について記述している。標準模型に含まれる粒子は17種類あり, フェルミオンとボソンに大別される。図 1.1 に示すようにフェルミオンにはそれぞれ6種類のクォークとレプトンがあり, ボソンは4種類のゲージボソンとヒッグス粒子で構成されている。

1.2 ATLAS 実験で目指す物理

LHC-ATLAS 実験は, 世界最高エネルギーで陽子を加速する円形加速器 LHC^[26] において, 陽子陽子衝突を大型汎用検出器 ATLAS^[12] で捉え, 標準模型物理の検証及び新物理の探索を行う実験である。ATLAS 実験及び CMS 実験によって2012年にヒッグス粒子が発見され^[27, 28], 標準模型で予言される全ての粒子が揃った。一方で, 宇宙の質量の大部分を占めていながら標準模型粒子に含まれない暗黒物質の存在や, ヒッグス粒子の質量が 10^{34} GeV² にも及ぶオーダーの輻射補正にもかかわらず裸の質量との絶妙な打ち消し合いにより 125 GeV という質量を持つこと (fine-tuning), さらには近年実験において予測値からの 4.2σ のずれが測定されているミュオン^[29]の異常磁気能率など, 標準模型で説明できない問題は多い。これらの問題に対して, ATLAS 実験は LHC という人類が唯一 TeV 領域にアクセスできる加速器を用いたエネルギーフロンティアにおいて, 様々なアプローチで標準模型を超えた物理の解明を目指している。このうち, ヒッグス粒子の精密測定及び超対称性粒子の探索について述べる。

1.2.1 ヒッグス粒子の精密測定

LHC は現在ヒッグス粒子を生成可能な唯一の加速器であり, ATLAS 実験では2012年にヒッグス粒子を発見して以来, その性質の精密測定に取り組んできた。図 1.2 および図 1.3 に, ヒッグス粒子の LHC における主な生成過程および崩壊過程のファインマンダイアグラムを示す。

標準模型において, ヒッグス粒子はフェルミオンやゲージボソンに対して質量を与える粒子として記述される。従ってヒッグス粒子とフェルミオンの湯川結合定数は標準模型において式 1.1

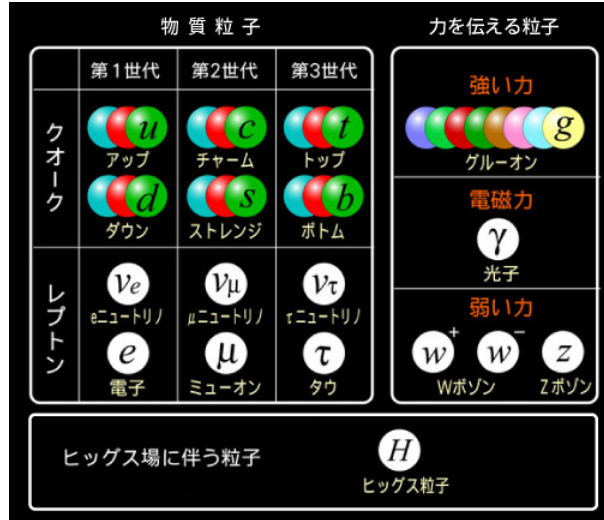


図 1.1 : 標準模型の粒子一覧 [1].

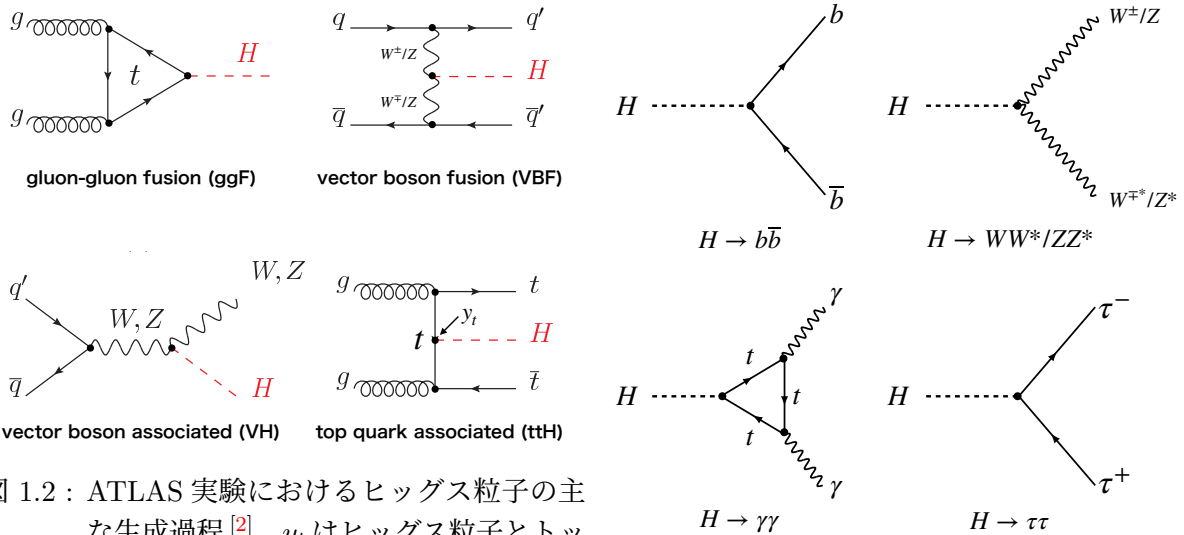


図 1.2 : ATLAS 実験におけるヒッグス粒子の主な生成過程 [2]. y_t はヒッグス粒子とトップクォークの湯川結合定数を示す. ggF 過程による生成断面積が最も大きい.

図 1.3 : ヒッグス粒子の主な崩壊過程 [2]. 崩壊分岐比は $H \rightarrow b\bar{b}$ 過程が最も大きい.

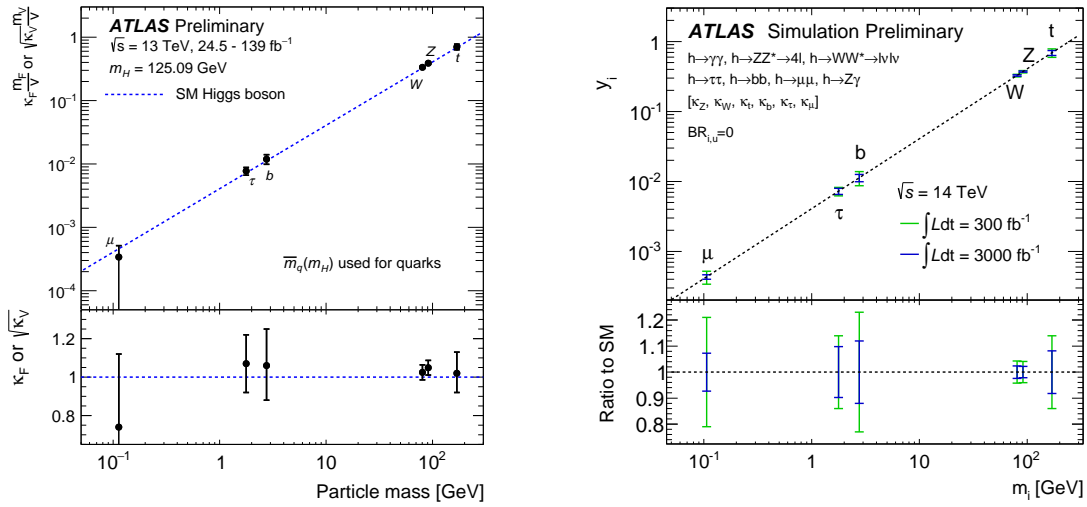


図 1.4 : 重心系エネルギー $\sqrt{s} = 13$ TeV のデータを用いて測定した各粒子とヒッグス粒子との結合定数の測定結果 [3]. 青い点線が標準模型で予想される粒子の質量と結合定数の対応関係を示す。現在のところ標準模型との有意な差は見られない。(右) 統計量に対する湯川結合定数の測定精度の見積もり [4]. 緑が Run-3 までのデータ (300 fb^{-1}), 青が高輝度 LHC のデータ (3000 fb^{-1}) を用いた測定精度の見積もりを示す。

で表されるような、フェルミオンの質量に対する比例関係があるとされる。生成過程や崩壊過程ごとに分類して散乱断面積を測定することによってヒッグス粒子とその他の粒子との湯川結合定数やゲージ結合定数を測定することができ、この比例関係は新物理の寄与によって変化し直線形でなくなりうるため、これを複数の粒子について精密に測定することが新物理の発見につながる。

$$g_{Hff} = \frac{m_f}{v} . \quad (1.1)$$

Run-2 までに測定したデータから測定したヒッグス粒子の結合定数は標準模型の予想値から外れていない。また、第2世代のフェルミオンであるミューオンとの結合定数は第3世代フェルミオンに比べ遥かに小さいために精密な測定が難しい (図 1.4)。高輝度 LHC で得られる高統計を利用した更なる精密検証が待たれる。

更には、ヒッグス粒子の対生成過程を通してヒッグス粒子の自己結合定数を測定することで、ヒッグスポテンシャルの直接的検証も目指す。

1.2.2 超対称性粒子の探索

標準模型で説明できない事象に対する理論的解決として有力なものの一つが超対称性理論 (SUSY) である。SUSY では、標準模型粒子に対して電荷が等しくスピンの $1/2$ だけ違う超対称性パートナー粒子が存在するとする。図 1.5 に超対称性粒子の一覧を示す。

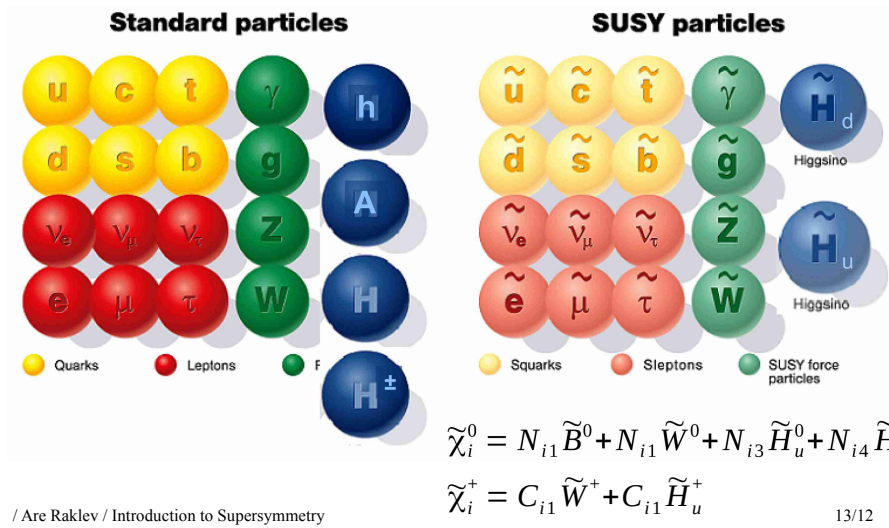


図 1.5 : 超対称性粒子の図 [5]. 標準模型粒子に対し超対称性を持つパートナー粒子の存在が予想されている。

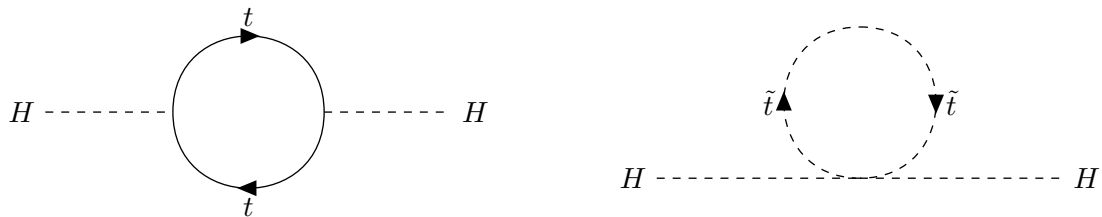


図 1.6 : (左) ヒッグス粒子の質量に対する最も大きな輻射補正であるトップクォーク (t) のループ。高次まで含めた補正量は $\mathcal{O}(10^{34} \text{ GeV}^2)$ に及ぶ。標準模型の枠組みにおいては、ヒッグス粒子の質量はこれが同じオーダーを持つ裸の質量と絶妙な差を持って打ち消しあった結果 125 GeV と得られていると説明される。(右) 超対称性粒子が存在した場合に考えられるトップクォークの超対称性パートナーであるストップ (\tilde{t}) のループ。これがトップクォークのループによる輻射補正と打ち消し合うことで標準模型のカットオフスケール Λ^2 に比例した輻射補正が抑えられ \log の発散に収まる。

SUSY を導入することで、図 1.6 に示すようにトップクォークの輻射補正による二次発散が超対称性パートナーのストップで作られるループにより打ち消され fine-tuning が解決されるほか、電磁相互作用・弱い力・強い力の結合定数が一点で交わること、超対称性粒子で最も軽い中性粒子として予言されるニュートラリーノが暗黒物質の候補となりえる。ATLAS 実験では様々な過程を通して超対称性粒子の直接探索を行っているが現在までに新粒子の兆候は見つかっていない。

SUSY 粒子探索の例として、レプトンの超対称性パートナーであるスレプトンの対生成過程の探索がある。図 1.7 に信号過程のファインマンダイアグラムを示し、スレプトン探索においては、崩壊により荷電レプトンを生じる過程を解析することで直接探索を実行し棄却領域を設定している。Run-2 までのデータで得られている棄却領域を図 1.8 に示す。

スレプトンの予想される生成断面積はカラーを伴う SUSY 粒子に比べ極めて小さく、チャージー

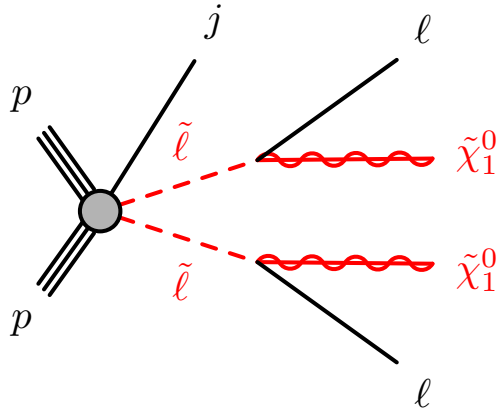


図 1.7: LHC におけるスレプトン (\tilde{l}) の対生成及び崩壊過程の例 [6]. スレプトンの崩壊により信号として検出可能な荷電レプトン (l) 及び中性の超対称性粒子であるニュートラリーノ ($\tilde{\chi}_1^0$) が発生し、ニュートラリーノは R-parity が保存している場合安定粒子であるために横方向の欠損質量として表れる。

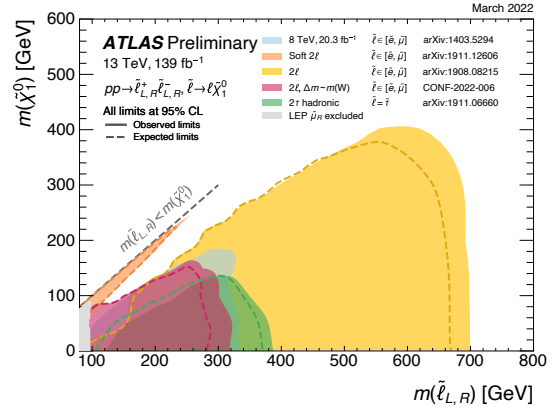


図 1.8: Run-2 までのデータを用いて現在までに ATLAS 実験で棄却されているスレプトン及びニュートラリーノの質量領域 [7].

ノなどのゲージノと比較しても小さい。さらに、崩壊の終状態においてはレプトンのみが検出され、ニュートラリーノは直接検出できないため横方向の欠損質量として表れるが、ニュートラリーノの質量がスレプトンに近いほどレプトンの運動量と欠損質量が小さくなるためにイベントがトリガーされにくいことから統計がさらに少ない。これらの理由からスレプトン探索は感度が伸びておらず、高輝度 LHC での高統計を用いた更なる探索領域の拡大が求められる。

1.3 ミューオントリガーのアップグレードの重要性

これらの新物理を探索していく上で、より効率的に統計を得るため、2029 年より瞬間ルミノシティを Run-3 時点の $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ から $5\text{-}7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ へと増強した「高輝度 LHC」が運転予定である。瞬間ルミノシティの増強に伴い、1 度のバンチ交差における衝突数 (パイルアップ) が増加し、背景事象も大きく増加することが予想されている。図 1.9 に示すように陽子陽子衝突の全断面積に対して物理的に重要な過程の断面積は遥かに小さく、また取得できるイベントレートには限界があるため、高輝度 LHC でも Run-3 までと同じトリガー (データ取得前の事象選別) を用いる場合、レートを抑えるために粒子のエネルギーや運動量に対するトリガー閾値を上げる必要がある。

図 1.10 に 1 つのレプトン (電子またはミューオン) をもってトリガー判定をするシングルレプトントリガーの横運動量 (p_T) 閾値と信号過程に対するアクセプタンスの相関を示す。アップグレードを行わない場合、高輝度 LHC ではレプトントリガーの p_T 閾値を 50 GeV まで上げる必要

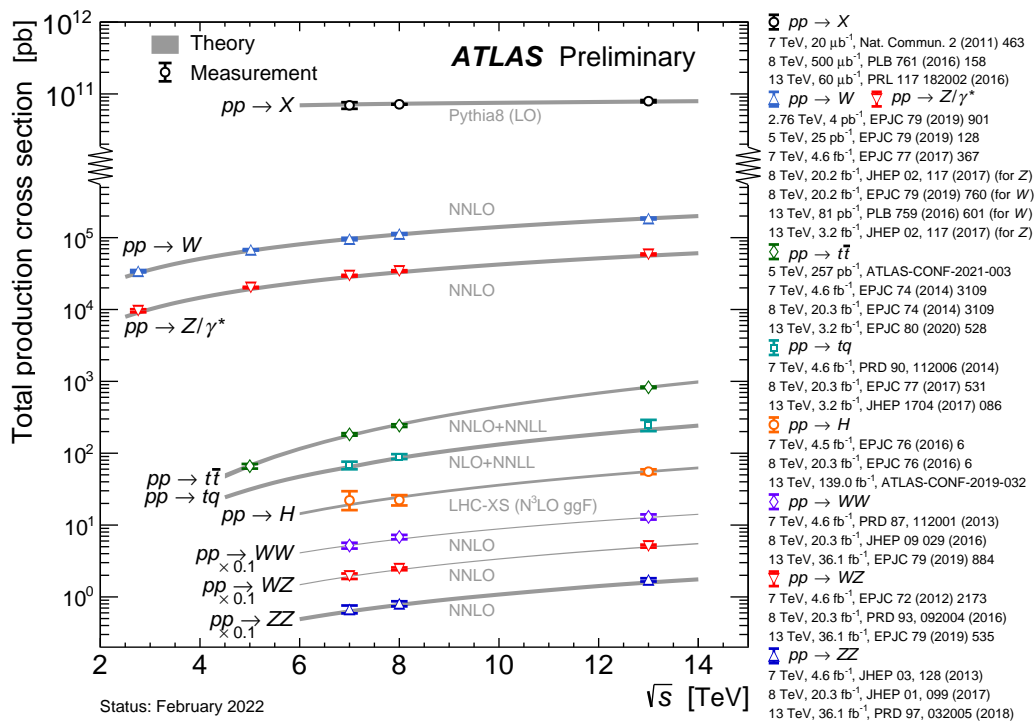


図 1.9 : ATLAS 実験で現在までに実際に測定された, 陽子陽子衝突におけるヒッグス粒子生成などの各物理過程の LHC の重心系エネルギーに対する断面積 [8]. ヒッグス粒子やトップクォーク、ベクターボソン W/Z の生成など, 重要な物理事象の断面積は陽子陽子散乱の全断面積と比べて 9 - 11 桁も小さい。

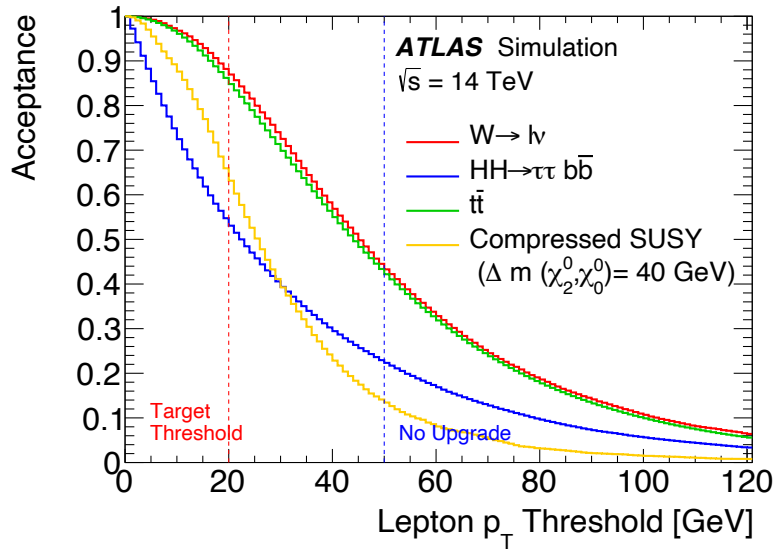


図 1.10 : シングルレプトントリガーの p_T 閾値と各過程に対するアクセプタンスの相関 [9]. アップグレードを行わない場合閾値を 20 GeV から 50 GeV に上げる必要があり, 物理事象のアクセプタンスが大きく下がることになる。

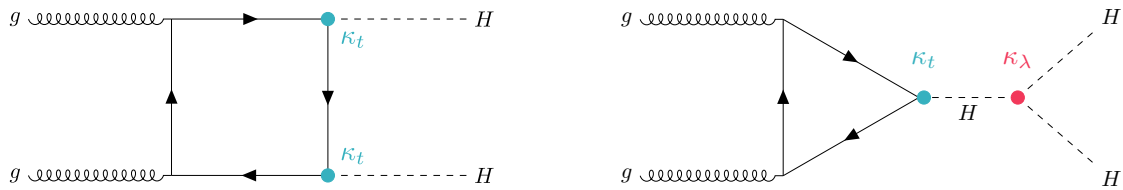


図 1.11 : ヒッグス粒子の自己結合を持たない対生成過程の例 (左) と自己結合を持つ対生成過程の例 (右) [10]. 自己結合を持つ対生成過程が干渉することによって自己結合を持たない対生成過程が抑制される。

があり, 物理事象へのアクセプタンスが大幅に下がってしまう。

図 1.10 のうちヒッグス粒子の対生成過程に着目して影響を述べる。ヒッグス粒子の自己結合の測定は, ヒッグス場のポテンシャル形状の情報が得られるため, ヒッグス機構の直接的な検証を行うことができる点において重要である。このヒッグス粒子の自己結合の測定はヒッグス粒子の対生成過程を用いて行う。図 1.11 にヒッグス粒子の ggF 過程を通した 2 つの主な対生成過程を示す。左のヒッグス粒子が自己結合を伴わない生成過程は, 右の自己結合を伴う生成過程と干渉することによって 1/2 程度に抑制される。従って, 対生成過程の断面積を測定することによって自己結合を測定することが可能である。ヒッグス粒子の対生成過程の断面積はヒッグス粒子の単一生成過程の断面積の 1/1000 程度であり, Run-2 までのデータを用いた測定では標準模型の予想値を大きく上回る上限値を与えるにとどまっている。図 1.12 に Run-2 までのデータによって得られている対生成過程の断面積の上限値を示す。

$HH \rightarrow bb\tau\tau$ 過程はヒッグス粒子の対生成過程で最も有力な過程である。この過程において, タウ粒子のうち 1 つがレプトニックに崩壊し他方がハドロニックに崩壊する事象は, レプトンが 1 つ

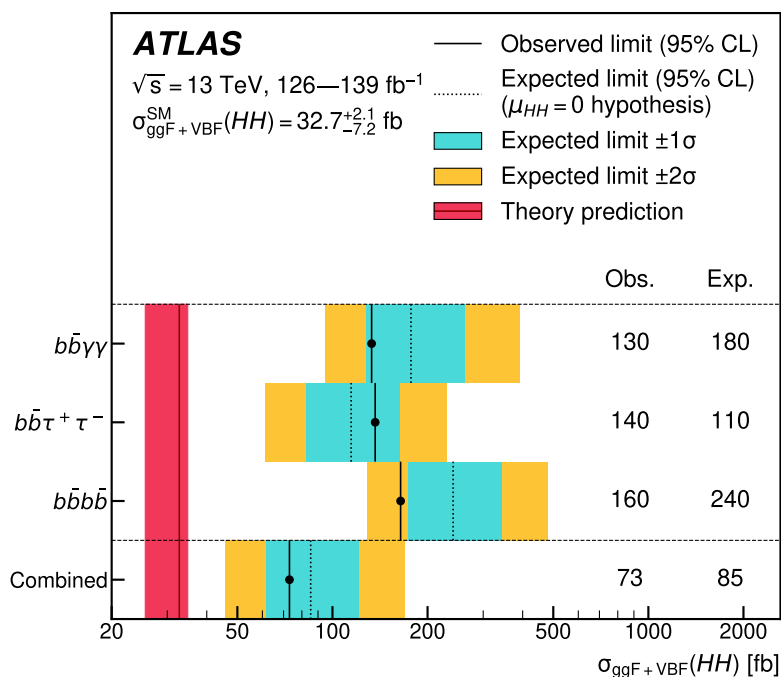


図 1.12 : Run-2 データを用いて測定された VBF と ggF 過程によるヒッグス粒子の対生成過程の断面積 [10]. 赤で示した標準模型での予想値を上回る領域に上限値を与えるにとどまっている.

生じることからシングルレプトントリガーによってトリガー判定をする. 高輝度 LHC におけるシングルレプトントリガーの p_T 閾値に対する, 断面積の標準模型に対する割合の上限値の見積もりを図 1.13 に示す. 図 1.10 に示したように, トリガー閾値を上げるとアクセプタンスが小さくなることによって測定感度が大きく低下することがわかる.

また, 終状態に 2 つのレプトンを持つ物理過程においてもアクセプタンスが低下することが予想されている. 図 1.14 に二つのレプトン信号によってトリガー判定をするダイレプトントリガーの 2 つのレプトンの p_T 閾値に対する物理過程のアクセプタンスを示す. どちらの物理過程においても, アクセプタンスが大きく低下していることがわかる. このように, 初段ミューオントリガー (詳細は後述) を含めたレプトントリガーの p_T 閾値を保つことは高輝度 LHC における物理感度を高めるために大変重要な要素である.

以上のことから, 高輝度環境下で物理への感度を維持するためにはミューオントリガーの大幅なアップグレードが必須である.

1.4 本論文の構成

本論文は全 8 章で構成される.

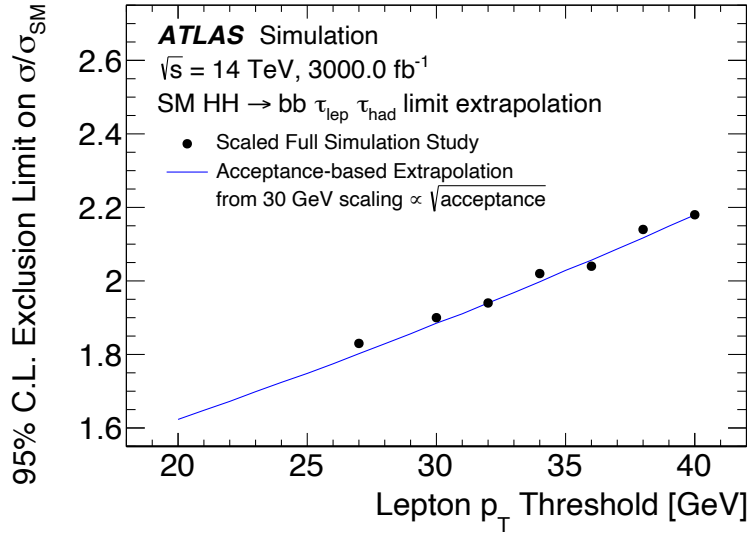


図 1.13 : 高輝度 LHC におけるシングルレプトントリガーの p_T 閾値に対する $HH \rightarrow bb\tau_{lep}\tau_{had}$ 過程の断面積の標準模型に対する割合の上限値の見積り [9]. p_T 閾値を上げることで、与えられる上限値が大きく変わることがわかる。

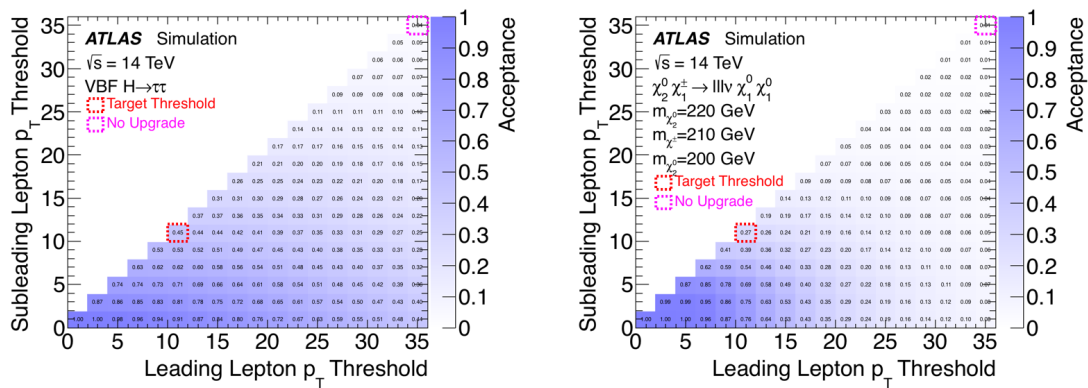


図 1.14 : ダイレプトントリガーの2つのレプトンの p_T 閾値に対する $HH \rightarrow \tau_{lep}\tau_{lep}$ 過程 (右) と $\chi_2^0 \chi_1^\pm \rightarrow ll\nu \chi_1^0 \chi_1^0$ のアクセプタンス [9]. Run-3 のトリガー閾値におけるアクセプタンスを赤、アップグレードをしない場合のトリガー閾値におけるアクセプタンスをピンクで囲って示している。

第2章 LHC-ATLAS 実験の概要について述べる。また高輝度 LHC に向けたアップグレードについても述べる。

第3章 高輝度 LHC におけるエンドキャップ部初段ミューオントリガーの開発について述べる。

第4章 モンテカルロシミュレーションと実データを用いたトリガーロジックの性能評価の結果について述べる。

第5章 トリガーロジックを実装する Sector Logic ボードの概要及び Sector Logic に実装するトリガーロジックのファームウェア開発について述べる。

第6章 実装したファームウェアの検証結果について述べる。

第7章 本論文の結論及び今後の展望を示す。

第2章 LHC-ATLAS 実験

LHC-ATLAS 実験は、LHC 加速器を用いた陽子陽子衝突によって生じた粒子を ATLAS 検出器で観測し、標準模型の精密測定や標準模型を超えた新物理の探索を行う実験である。LHC は 2018 年に Run-2 を終了し、アップグレードを経て 2022 年 7 月より Run-3 を開始している。2025 年に Run-3 を終了後、長期のアップグレードののち 2029 年より輝度を大幅に向上した高輝度 LHC が運転予定である。本章では LHC 加速器及び ATLAS 検出器の概要と、高輝度 LHC に向けたアップグレードについて述べる。

2.1 LHC 加速器

Large Hadron Collider (LHC) 加速器は、スイスとフランスの国境にまたがる欧州原子核研究機構 (CERN) の地下に設置された周長約 27 km の陽子陽子衝突型円形加速器である。LHC は重心系エネルギー 14 TeV、瞬間ルミノシティ $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転できるよう設計されている。陽子ビームはバンチと呼ばれる約 10^{11} 個の陽子のまとまりをもった構造になっており、40 MHz の頻度でバンチ交差させ、1 度の交差で複数の衝突が起こる (パイルアップ)。LHC には 4 ヶ所の衝突点があり、汎用検出器の ATLAS と CMS^[29] の他、重イオン衝突を用いたクォーク・グルーオンプラズマの解明を目的とした ALICE^[30]、b クォークの物理に特化した LHCb^[31] の 4 つの検出器がそれぞれ設置されている。図 2.1 に加速器システム全体の概要を示す。

LHC は 2010 年より本格的に運転を開始し、2010-2012 年 (Run-1)、2015-2018 年 (Run-2) の期間に運転が行われてきた。その後 Phase-1 Upgrade と呼ばれるアップグレードを経て現在は 2022-2025 年の予定での運転期間中 (Run-3) であり、Run-2 のデータと合わせて積分ルミノシティにして 350 fb^{-1} のデータを取得予定である。更に Run-3 終了後 Phase-2 Upgrade を経て、2029 年より高輝度 LHC (High-Luminosity LHC, HL-LHC) の運転が予定されている。それぞれの運転における重心系エネルギー及び最大瞬間ルミノシティ、パイルアップ数を表 2.1 に示す。

2.2 ATLAS 実験

ATLAS 実験は LHC の衝突点の一つに置かれた大型汎用検出器 ATLAS を用いて陽子陽子衝突による高エネルギー物理事象に迫る実験である。2012 年には CMS 実験とともにヒッグス粒子を発見し、標準模型の完成に大きな役割を担ってきた。現在は標準模型の精密測定及び標準模型を超える物理の探索を行なっている。

CERN's Accelerator Complex

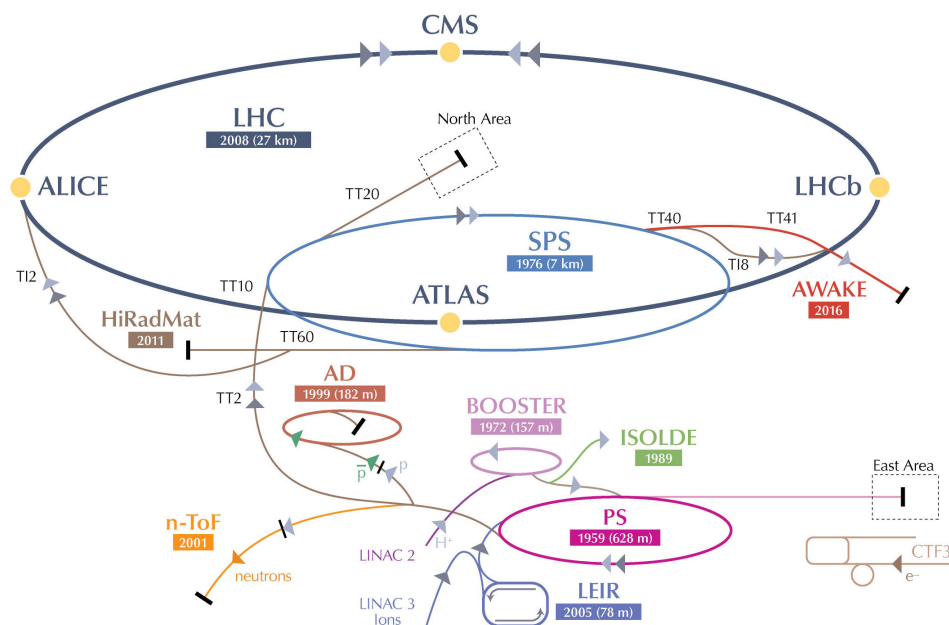


図 2.1 : CERN の加速システムの全体図. [11]

表 2.1 : LHC における重心系エネルギー, 瞬間最高ルミノシティ及びピークパイルアップ数. 瞬間最高ルミノシティは既にデザイン値を超えた値を達成している.

	デザイン	Run-1	Run-2	Run-3	HL-LHC
重心系エネルギー [TeV]	14	7	13	13.6	14
瞬間最高ルミノシティ [$\text{cm}^{-2}\text{s}^{-1}$]	1×10^{34}	0.77×10^{34}	2.0×10^{34}	2.0×10^{34}	$5-7.5 \times 10^{34}$
ピークパイルアップ数	25	45	50-60	50-60	150-200

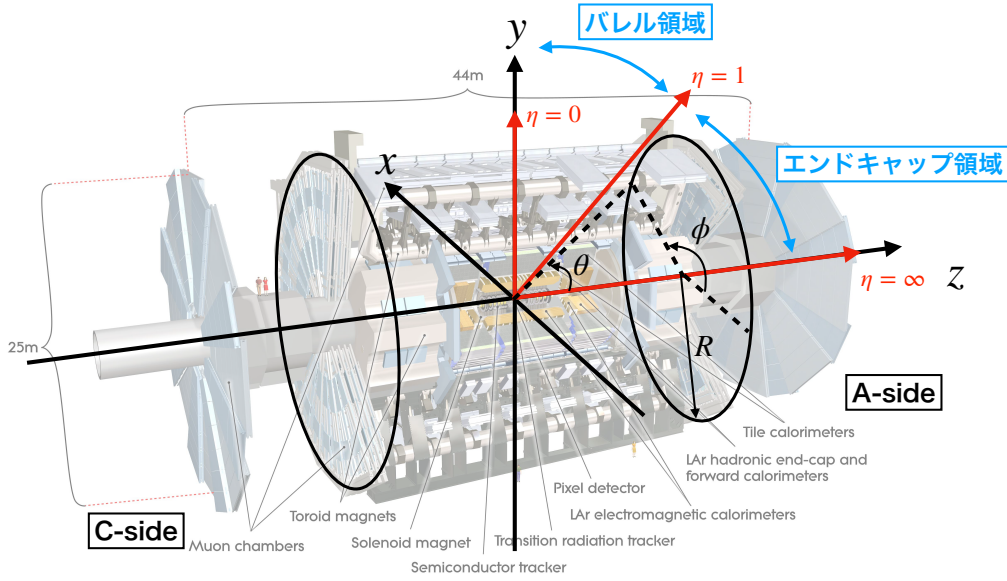


図 2.2 : ATLAS 実験で用いられる座標系 [2]. ビーム軸方向を z 軸, x 軸を LHC の中心方向を正とした右手形をとる. ビーム軸からの角度を表す量として η が用いられ, $|\eta| < 1.05$ の領域をバレル領域, $|\eta| > 1.05$ の領域をエンドキャップ領域と呼ぶ. また, $z > 0$ の領域を A-side, $z < 0$ の領域を C-side と呼ぶ.

2.2.1 ATLAS 実験における座標系と変数

ATLAS 実験では図 2.2 のように直交座標系及び円筒座標系が用いられる. 直交座標系は原点を検出器の中心, z 軸をビーム軸方向にとり, x 軸を LHC の中心方向を正とした右手系をとる. 円筒座標系にてビーム軸周りの角度を方位角 ϕ , ビーム軸からの角度を極角 θ , 動径方向を R としている. また θ 方向については擬ラピディティ η という量で表現することができる. 擬ラピディティ η (式 2.1) はラピディティ $y = \frac{1}{2} \ln \left(\frac{E+p_zc}{E-p_zc} \right)$ [32] の高エネルギー極限であり, 2 粒子の擬ラピディティの差はビーム軸方向のブーストに関わらずローレンツ不変であることから事象を把握する上で有用な量であるため, 通常 θ ではなく η を用いる. また, 粒子間の距離 ΔR はこれを用いて $\Delta R = \sqrt{\Delta\eta^2 + \Delta\phi^2}$ で定義され, これもビーム軸方向のブーストに対してローレンツ不変な量である.

$$\eta \equiv \lim_{E, |p| \rightarrow \infty} \frac{1}{2} \ln \left(\frac{E + p_zc}{E - p_zc} \right) = \frac{1}{2} \ln \left(\frac{1 + \cos \theta}{1 - \cos \theta} \right) = \frac{1}{2} \ln \left(\frac{\cos \frac{\theta}{2}}{\sin \frac{\theta}{2}} \right) = -\ln \tan \left(\frac{\theta}{2} \right). \quad (2.1)$$

ATLAS 検出器では $|\eta| < 1.05$ の円筒側面部分をバレル領域, $|\eta| > 1.05$ の円筒底面部分をエンドキャップ領域と呼ぶ. また, $\eta > 0$ の領域を A-side, $\eta < 0$ の領域を C-side と呼ぶ. 粒子のエネルギー, 運動量を表す際には通常それぞれビーム軸に対して垂直な成分 E_T, p_T を利用する. これは陽子陽子衝突実験においては衝突するクォークやグルーオンの z 軸方向のエネルギーや運動量が不定である一方で, ビーム軸に垂直な方向に対しては運動量の和が 0 であることを利用できるためである. また, このビーム垂直方向に対するエネルギーや運動量の保存則を用いると, ニュー

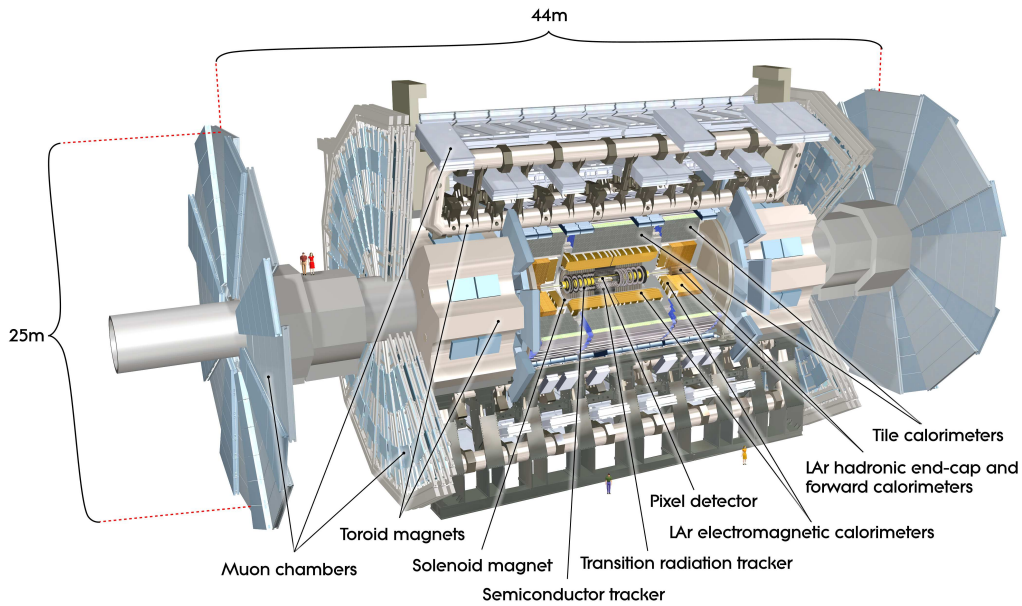


図 2.3 : ATLAS 検出器の全体図 [12].

トリノ等の検出できなかった粒子に持ち去られたエネルギーの2次元的なベクトル和が得られる。これを消失横方向エネルギー E_T^{miss} (missing- E_T , MET) と呼ぶ。

2.2.2 ATLAS 検出器

ATLAS 検出器は LHC の 4 つの衝突点の 1 つに設置された、円筒型の長さ 25 m、長さ 44 m、重さ 7000 トンの汎用検出器である。検出器は内側から内部飛跡検出器、カロリメータ、ミュオン検出器で構成されており、これらの情報を組み合わせて衝突点で生じた多様な粒子の種類やエネルギー、運動量を測定する。図 2.3 に検出器の全体図を示す。衝突点に最も近い内部飛跡検出器はソレノイド磁石の内側に位置し、磁場によって曲げられた荷電粒子の飛跡から粒子の運動量を測定することができる。カロリメータはソレノイドの外側に位置し、内側から順に電子や光子のエネルギーを測定する電磁カロリメータとジェットのエネルギーを測定するハドロンカロリメータの 2 種類のサンプリング型カロリメータからなる。その外側のトロイド磁場の内外にはミュオン検出器が設置され、トロイド磁場によって曲げられた飛跡からミュオンの運動量を測定する。本研究で扱うミュオン検出器については 2.2.4 節で詳しく述べる。

2.2.3 超伝導磁石

ATLAS 検出器では、荷電粒子の運動量を測定するために超伝導磁石による磁場を用いている。超伝導磁石は、衝突点付近で荷電粒子の運動量を測定するためのソレノイド磁石と、カロリメータの外側に位置するミュオンの運動量を測定するためのトロイド磁石からなる。図 2.4 に超伝導磁石の配置を示す。トロイド磁石はバレル部とエンドキャップ部からなり、お互いの干渉を避け

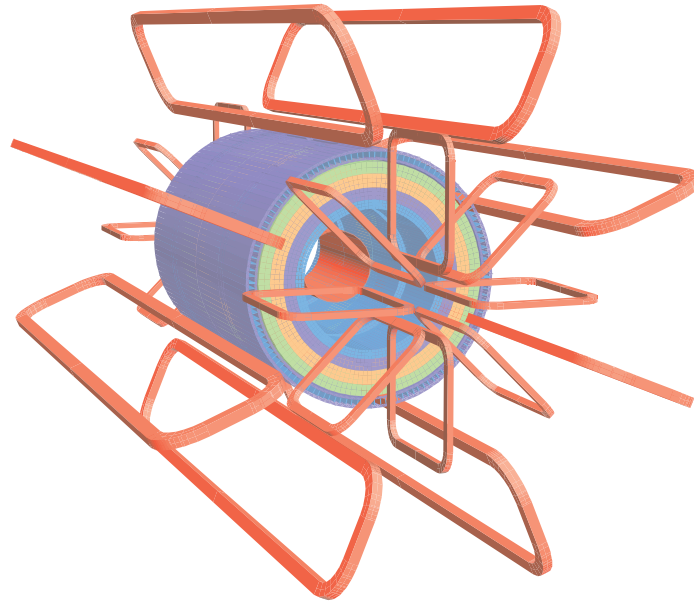


図 2.4 : ATLAS 検出器の超伝導磁石の配置 [12]. 橙色が超伝導磁石の配置を示している.

るため 22.5 度 ($\pi/8$) 回転して設置されている, トロイド磁石は ϕ 方向に 8 回対称性をもって設置されているが, 磁場は η 方向にも ϕ 方向にも均一でない. 図 2.5 に η 方向及び x-y 平面における磁場の様子を示す. $|\eta| = 1.5$ 付近において, バレル部とエンドキャップ部のトロイド磁石の境目であるために磁場の極端に弱い領域が存在し, この領域ではミューオンが運動量によらずあまり曲がらないために p_T 測定が困難である.

2.2.4 ミューオン検出器

ミューオンは寿命が $2.2 \mu\text{s}$ と比較的長く, また電子に比べて制動放射によるエネルギー損失が小さいために物質に対する透過力が高く, カロリーメータを通過する. そこで, 他の粒子が到達しない最外層に位置する検出器でミューオンを検出する. ミューオン検出器は磁場に合わせて ϕ 方向に 8 回対称になっており, その 1 単位のうちバレル部のトロイド磁石が位置する領域を “Small Sector”, トロイド磁石間に位置する領域を “Large Sector” と呼ぶ. 図 2.6 にミューオン検出器の配置を示す. 以下に初段ミューオントリガーに関わる主なミューオン検出器について述べる.

Thin Gap Chamber (TGC)

Thin Gap Chamber 検出器は, エンドキャップ領域 ($1.05 < |\eta| < 2.4$) でトリガーに用いられるミューオン検出器である. TGC の写真を図 2.7 に示す. TGC は Multi Wired Proportional Chamber (MWPC) の一種であり, ワイヤーが 1.8 mm 間隔で張られ, 反対側の面にはワイヤーと直交する向きにストリップが配置されている. 図 2.8 に TGC の構造を示す. ワイヤーで R (η) 方向, ストリップで ϕ 方向の位置情報を読み出しており, これによりミューオンの 2 次元位置情

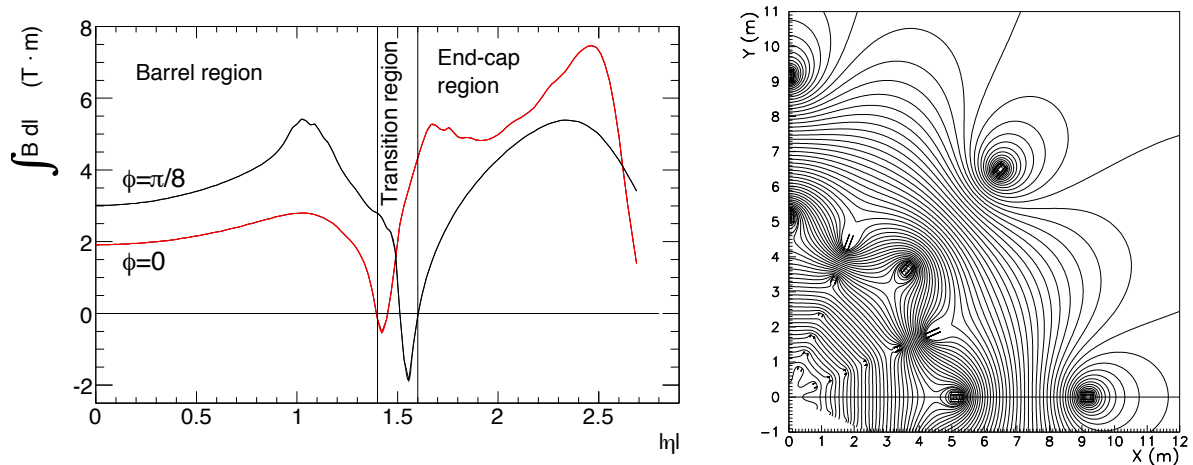


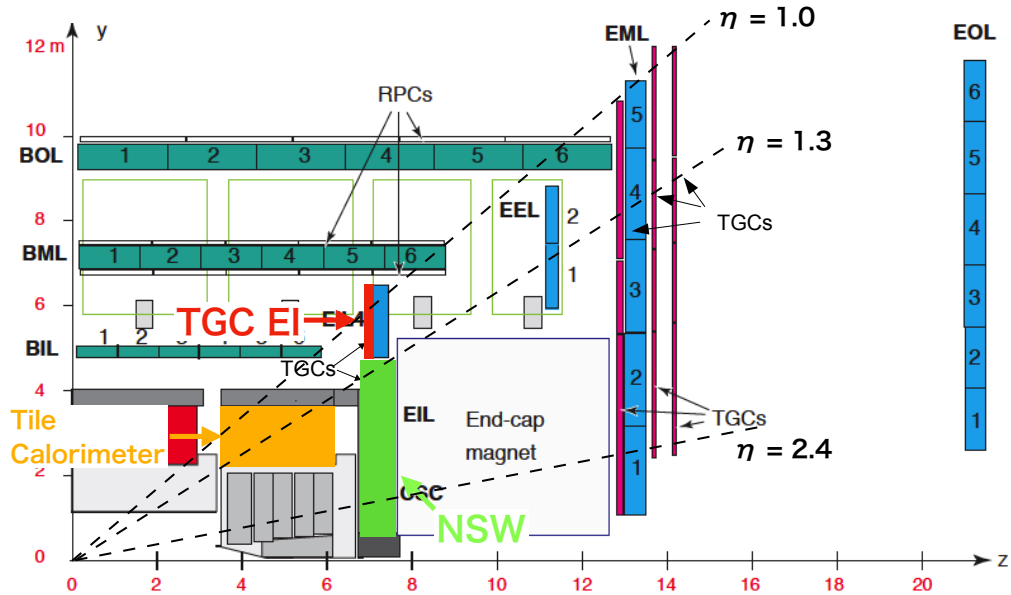
図 2.5 : (左) トロイド磁石による磁場の η 依存性^[12]. $|\eta| = 1.5$ 付近は Transition region と呼ばれ、バレル部とエンドキャップ部のトロイド磁石の境界であるために磁場が極端に弱い。赤い線と黒い線はそれぞれ $\phi = 0$ と $\phi = \pi/8$ における η に対する依存性を示している。(右) トロイド磁石による磁場のエンドキャップ部における xy 平面での分布^[13]. 特にトロイド磁石の付近で、磁場が均一でないことがわかる。

報を得る。TGC はガスギャップやワイヤー間隔が小さいために時間応答がよく、信号の到達時間は 99% の確率で 25 ns 以内であり、素早い判断が要求されるトリガーに適している。TGC の位置分解能は R 方向に 2 ~ 6 mm, ϕ 方向に 3 ~ 7 mm である。

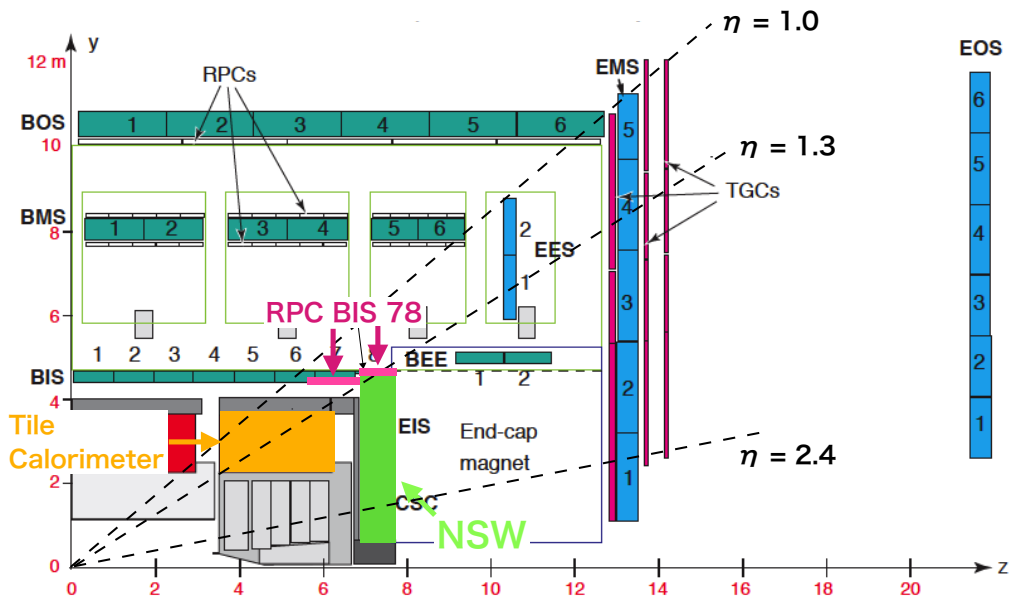
TGC には 2 層構造 (Doublet) と 3 層構造 (Triplet) の 2 種類がある。図 2.9 にそれぞれの構造を示す。Doublet では 2 層のワイヤー及び 2 層のストリップ面から信号が読み出され、Triplet では 3 層の中央にストリップが存在しないために 3 層のワイヤー及び 2 層のストリップ面から信号が読み出される。これらの層状にまとめた単位をステーションと呼び、トロイド磁場の内側にステーションが 1 つ、磁場の外側に Triplet, Doublet, Doublet の合計 7 層からなる 3 つのステーションが設置されている。

New Small Wheel (NSW)

NSW は $1.3 < |\eta| < 2.7$ のエンドキャップ領域の全 ϕ 方向を覆う、トロイド磁場の内側に設置されたトリガー及び精密測定用のミュオン検出器である。NSW の全体及び 1 セクターの構造を図 2.10 に示す。NSW は small-strip TGC (sTGC) と Micromegas (MM) の 2 種類の検出器を 4 層ずつ組み合わせた構造をしており、位置情報及び飛跡の再構成による角度情報を取得する。初段トリガーにおいては、 η 分解能は 0.005, ϕ 分解能は 10 mrad, ビーム軸に対する角度分解能は 1 mrad である。sTGC は TGC と同じ MWPC で、TGC よりも短い 3.2 mm の間隔で配置されたストリップで R 方向位置を読み出す。電荷情報を用いた重心計算を行うことで 60 ~ 150 μm の R 方向位置分解能を持つほか、粗い位置の読み出しにはパッドと呼ばれる幅の広い読み出しカソードを用いる。MM は平面電極と金属のメッシュで構成された検出器である。信号の時間差からド



(a) Large Sector でのミュオン検出器の配置図.



(b) Small Sector でのミュオン検出器の配置図.

図 2.6 : Run-3 時点でのミュオン検出器の配置図 [14]. エンドキャップ部でミュオントリガーに用いられる検出器としては, TGC (EI), RPC BIS78, NSW, Tile カロリメータがあるほか, 精密測定用の検出器として NSW 及び青で示された MDT がある. トリガーには, $1.05 < |\eta| < 1.3$ の領域では TGC に加えて Small Sector に設置された RPC BIS78, Large Sector に設置された TGC EI, および Tile カロリメータを, $1.3 < |\eta| < 2.4$ の領域では TGC と NSW を用いる.

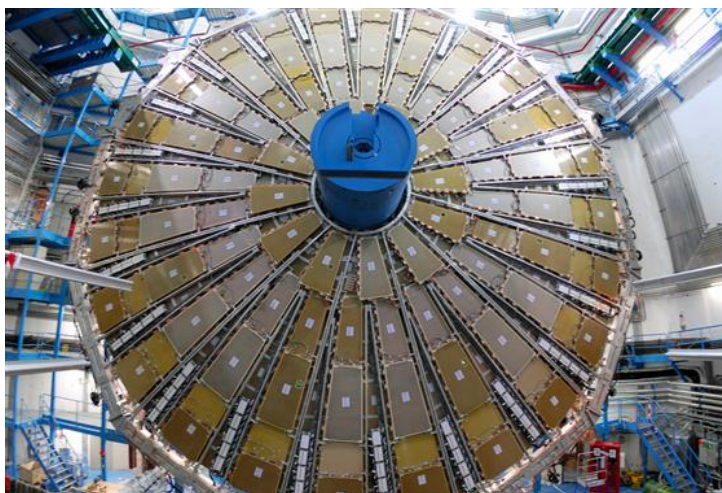


図 2.7 : TGC 検出器の写真 [15]. 写真は円筒形の ATLAS 検出器の蓋にあたる部分に設置されている TGC Big Wheel (BW) のもの.

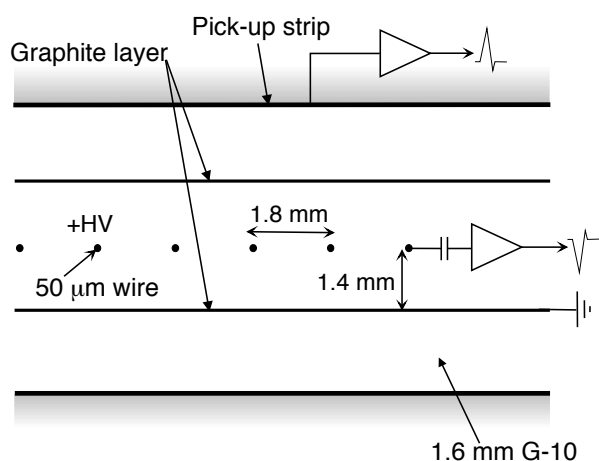


図 2.8 : TGC 検出器の構造 [12]. アノードワイヤーから R 方向, カソードストリップから ϕ 方向の位置情報を測定する.

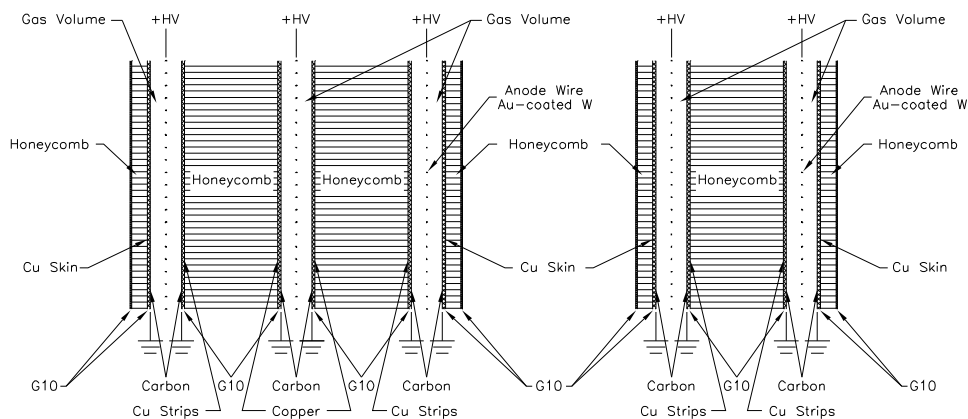


図 2.9 : TGC Doublet と Triplet の断面図 [12]. Triplet については, ワイヤー面が 3 層構造であるが, ストリップ面は 2 層構造である.

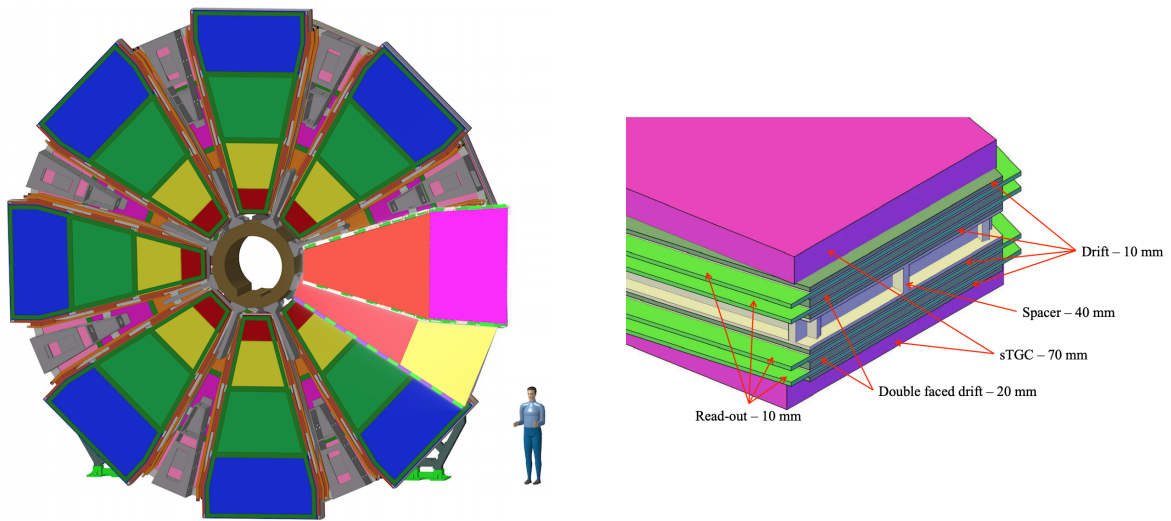


図 2.10 : (左) NSW の構造 [16]. Large Sector 及び Small Sector の 2 つのチェンバーを交互に配置している. (右) NSW の 1 チェンバーの構成 [17]. 4 層構造の sTGC の間に 4 層構造の MM が 2 つ挟まれた 16 層構造になっている.

リフト距離を見積もることにより検出器に対して垂直に入射していないミュオンにも高い位置分解能を得ており, 1 つの MM は 40° の入射角度の粒子に対して約 $90 \mu\text{m}$ の位置分解能を持つ.

Resistive Plate Chamber (RPC)

RPC は $|\eta| < 1.05$ のバレル領域でトリガーに用いられるミュオン検出器である. 図 2.11 に RPC の構造を示す. RPC は高抵抗のプレートを用いており, 2 mm の間隔をあけた直交するストリップで η と ϕ の位置情報を読み出す. 分解能は z 方向に 10 mm, ϕ 方向に 10 mm である. RPC は Run-1 よりバレル部において R 方向に 3 層設置されており, それぞれが Doublet で構成されている. 更に, Run-3 では A-side のみトロイド磁場の内部の small sector ($1.05 < \eta < 1.25$) 領域に Triplet 構造を持つ RPC BIS78 が設置された. RPC BIS78 はエンドキャップ領域に存在することから, エンドキャップ部のミュオントリガーにおいても用いられる.

Monitored Drift Tube (MDT)

MDT はバレル及びエンドキャップ領域に設置された精密測定用のミュオン検出器である. 図 2.12 に MDT の動作原理及び構造を示す. MDT は直径約 30 mm のドリフトチューブを 6 または 8 層並べた構造になっており, 4 本の光学レーザーを用いて温度によるチェンバーの歪みを常にモニターしている. ミュオンの通過によって生じた電子は, チューブの中心に張られているワイヤーに集められ, そのドリフト時間から通過したチューブ中心からの距離を求める. 複数のドリフトチューブで得られた通過位置の中心からの距離情報を用いることで通過位置及び角度を再構成する. 最大ドリフト時間は約 700 ns, 位置分解能は $80 \mu\text{m}$ である. MDT はそのドリフト時

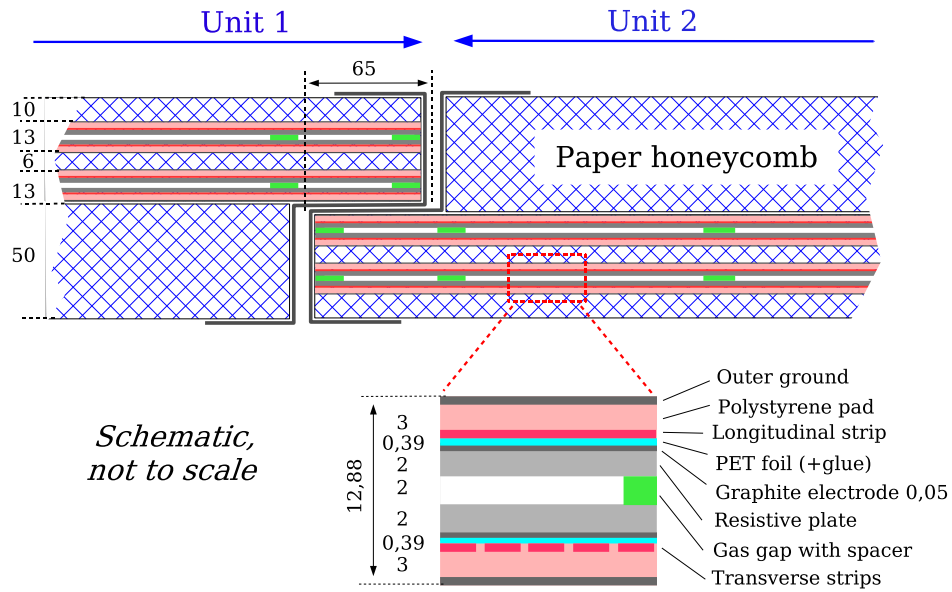


図 2.11 : RPC の構造図 [12]. Doublet 構造を持った Unit が 2 層オーバーラップを持って配置されている。

間からこれまで精密測定のみにも用いられてきたが、高輝度 LHC においては初段トリガー（後述）にも用いられる予定である。

Tile カロリメータ

Tile カロリメータは電磁カロリメータの外側に設置されたハドロンカロリメータであり、図 2.13 に示すような鉄及びタイル状のシンチレータを交互に重ねた構造を持つ。Tile カロリメータを ϕ 方向に 64 分割、R 方向に A 層、B/C 層、D 層の 3 層に分割した単位をセルと呼び、各セルの信号は独立に読み出される。最外層の D 層に到達する粒子のほとんどがミューオンであることを利用して、エンドキャップ領域でミューオン検出器としてトリガー判定にも用いられる。図 2.14 に示すように、エンドキャップ部のミューオントリガーでは D5 及び D6 のセルの情報を用いる。

2.2.5 トリガーシステム

LHC 加速器による陽子陽子衝突頻度が 40 MHz であるのに対して、ATLAS 実験のシステムにおけるデータの記録速度は約 1 kHz である。そのため、重要な物理事象のみを選別し効率よく取得する「トリガー」が実験の統計を直接的に左右する要素として重要である。ATLAS 検出器のトリガーは、ハードウェアにより高速なトリガー判定を行う Level-1 Trigger (L1 Trigger, 初段トリガー) と、ハードウェアにより精密なトリガー判定を行う High-Level Trigger (HLT) で構成されている。図 2.15 にトリガー及び読み出しシステムの概要を示す。

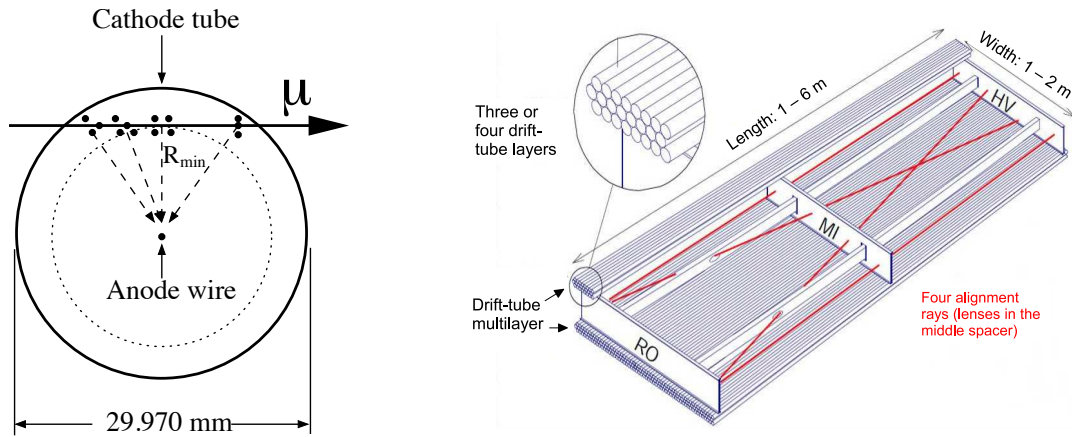


図 2.12 : (左)ドリフトチューブの断面図 [12]. 最も中心に近い点で生じた電子が到達した時間を測定することにより通過位置を再構成する。(右) MDTの構造図 [12]. ドリフトチューブが6層または8層積まれた構造をもち、4本の工学レーザーを用いて温度によるチェンバーの歪みを検出する。

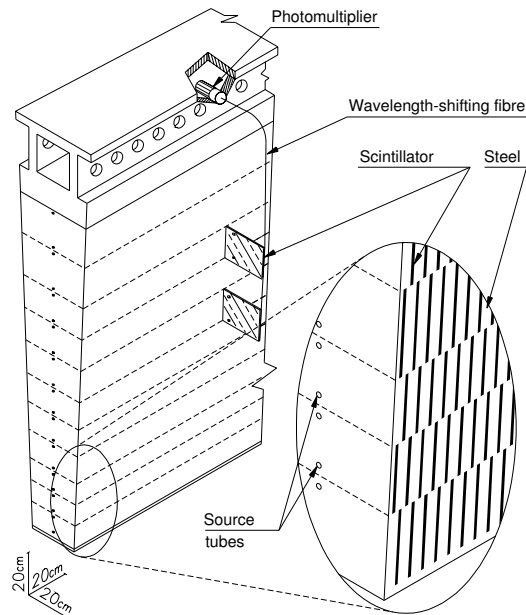


図 2.13 : Tile カロリメータの構造図 [12]. 鉄とタイル状のシンチレータが交互に重なった構造であり、シンチレータから出た光はタイルの端から2本の波長変換ファイバーを用いて読み出され、モジュールの外側に設置されているPMTに集められる。

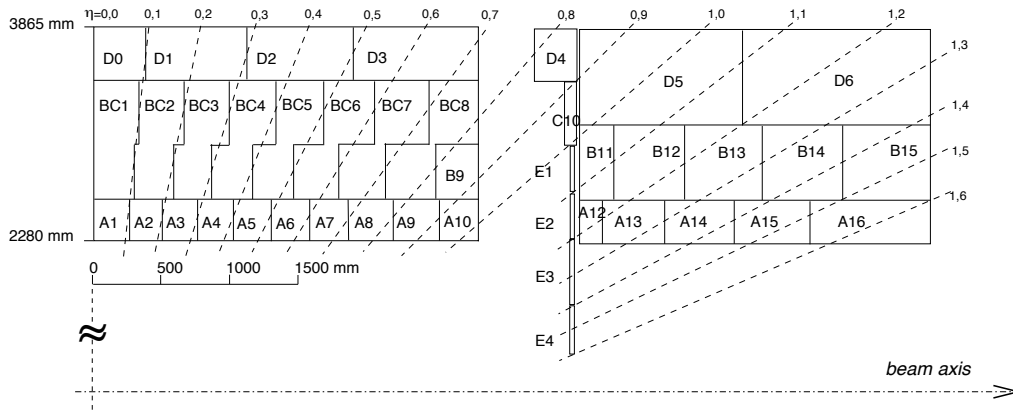


図 2.14 : Tile カロリメータのセルの配置図 [12]. エンドキャップ部のミュオントリガーでは最外層でエンドキャップ領域の $1.05 < |\eta| < 1.3$ に位置する D5 及び D6 のエネルギー情報を用いる。

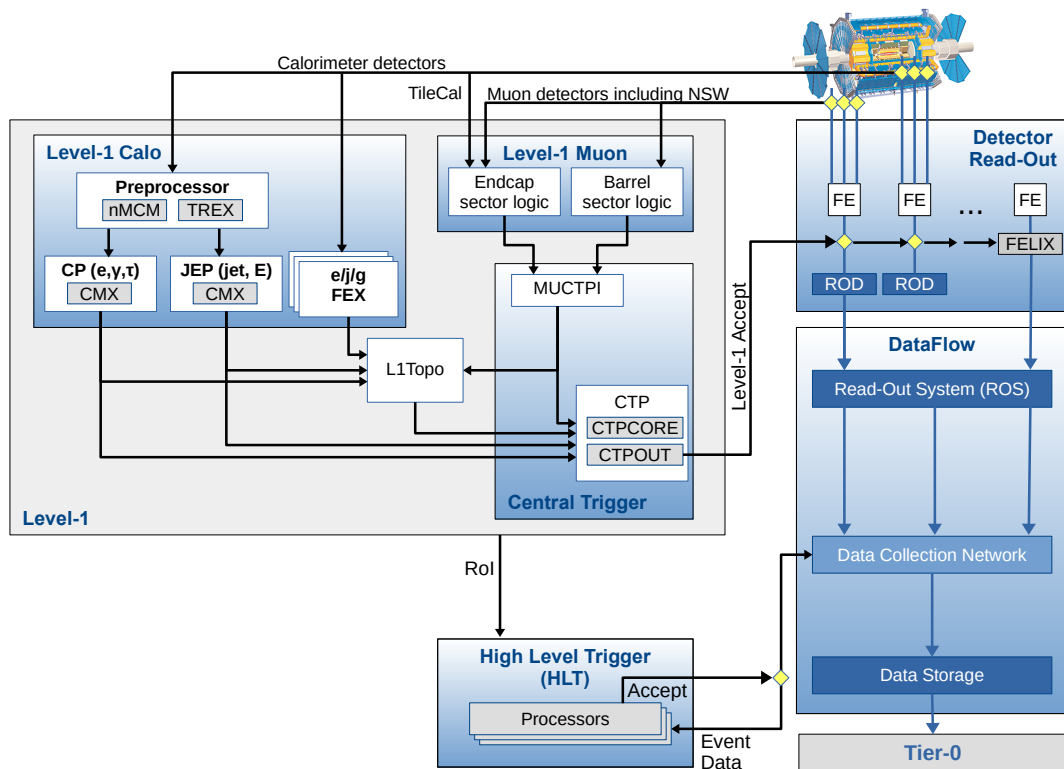


図 2.15 : Run-3 におけるトリガーシステムの概要 [19]. トリガーシステムは L1 Trigger と HLT の 2 段階で構成されている。L1 Trigger は Level-1 Muon と Level-1 Calo に大別され、CTP に集められたトリガー情報に基づいて最終的な L1 Trigger の最終的な判定を行う。L1 Trigger を発行されたイベントは ソフトウェアを用いた High Level Trigger にてより精密なトリガー判定が行われる。

Level-1 Trigger

初段トリガーは ATLAS 検出器から送られてくる 40 MHz のデータに対してトリガー判定を行い、 $2.5 \mu\text{s}$ 以内にイベントレートを 100 kHz まで下げる。高速なトリガーの実現のために、Application Specific Integrated Circuit (ASIC) や Field Programmable Gate Array (FPGA) などの論理回路で構成されるハードウェアを用いる。ASIC は特定の用途向けに複数の回路を 1 つにまとめたもので、動作速度が高速で消費電力も低い一方で回路の変更はできない。一方で FPGA は ASIC に比べ処理速度が遅い一方で、何度でも書き換え可能であるというメリットがある。これらの特徴から、Level-1 Trigger では処理が決まっているより前段の回路に ASIC を使い、FPGA を状況に応じたトリガーロジックなどが求められるより後段の回路に用いるなどの使い分けを行なっている。

Level-1 Trigger は図 2.15 に示すように Level-1 Muon (L1Muon) と Level-1 Calo (L1Calo) に大別される。L1Muon はバレル部の RPC とエンドキャップ部の TGC から情報を受け取り、それぞれ独立にミューオン候補の判定を行ったのち、Muon-to-CTP interface (MUCTPI) で統合される。L1Calo は電磁カロリメータとハドロンカロリメータの情報を統合し、取得したエネルギー及びそのシャワー形状から電子/光子と τ 粒子の候補、ジェット候補の判定を行う。その後、これらのトリガー情報は Central Trigger Processor (CTP) と Topological Trigger (L1Topo) に送られる。L1Topo は、L1Calo と L1Muon から受け取ったトリガーオブジェクトの位置や横運動量の情報を組み合わせてトリガーを判定する。CTP は L1Muon, L1Calo, L1Topo から情報を受け取り、L1 Trigger の最終的な判定を行う。L1 Trigger が発行された場合、各検出器のフロントエンド回路には Level-1 Accept (L1A) 信号が送られ、トリガーを発行したイベントの情報が読み出される。初段トリガーでは、衝突事象が起きてから常に一定の時間でトリガーの判定を行う “Fixed Latency” システムを採用している。フロントエンド回路状のバッファメモリは常に一定の時間データを保持し、L1A を受け取った場合にはデータを後段の ReadOut Driver (ROD) に送り、受け取らなかった場合は保持していたデータを破棄する。

High-Level Trigger

HLT は初段トリガーでトリガーが発行されたイベントについて、CPU とソフトウェアを用いてミューオン、電子、光子などをオフライン解析に近いアルゴリズムで再構成することにより、初段トリガーよりも精密なトリガー判定を行う。具体的には、初段トリガーで用いられなかった内部飛跡検出器の情報、精密測定用のミューオン検出器の情報、L1Calo で用いたものより細かい位置分解能のカロリメータ情報などを用いて、飛跡や反応点の再構成、より高精度な E_T や p_T の計算を行う。一方で、使用する情報については初段トリガーで定義された粒子のトリガー判定領域 (RoI) に対してその周辺の検出器情報に絞ることで判定時間やリソースを抑えている。トリガーレートは HLT により最終的に 1 kHz まで削減される。

Trigger	Typical offline selection	Trigger Selection		Level-1 Rate	HLT Rate
		Level-1 [GeV]	HLT [GeV]	[kHz]	[Hz]
				$L = 5 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$	
Single leptons	Single iso μ , $p_T > 21 \text{ GeV}$	15	20	7	130
	Single e , $p_T > 25 \text{ GeV}$	20	24	18	139
	Single μ , $p_T > 42 \text{ GeV}$	20	40	5	33
	Single τ , $p_T > 90 \text{ GeV}$	60	80	2	41
Two leptons	Two μ 's, each $p_T > 11 \text{ GeV}$	2×10	2×10	0.8	19
	Two μ 's, $p_T > 19, 10 \text{ GeV}$	15	18, 8	7	18
	Two loose e 's, each $p_T > 15 \text{ GeV}$	2×10	2×12	10	5
	One e & one μ , $p_T > 10, 26 \text{ GeV}$	20 (μ)	7, 24	5	1
	One loose e & one μ , $p_T > 19, 15 \text{ GeV}$	15, 10	17, 14	0.4	2
	Two τ 's, $p_T > 40, 30 \text{ GeV}$	20, 12	35, 25	2	22
	One τ , one μ , $p_T > 30, 15 \text{ GeV}$	12, 10 (+jets)	25, 14	0.5	10
	One τ , one e , $p_T > 30, 19 \text{ GeV}$	12, 15 (+jets)	25, 17	1	3.9
Three leptons	Three loose e 's, $p_T > 19, 11, 11 \text{ GeV}$	$15, 2 \times 7$	$17, 2 \times 9$	3	< 0.1
	Three μ 's, each $p_T > 8 \text{ GeV}$	3×6	3×6	< 0.1	4
	Three μ 's, $p_T > 19, 2 \times 6 \text{ GeV}$	15	$18, 2 \times 4$	7	2
	Two μ 's & one e , $p_T > 2 \times 11, 14 \text{ GeV}$	2×10 (μ 's)	$2 \times 10, 12$	0.8	0.2
	Two loose e 's & one μ , $p_T > 2 \times 11, 11 \text{ GeV}$	$2 \times 8, 10$	$2 \times 12, 10$	0.3	< 0.1
One photon	One γ , $p_T > 125 \text{ GeV}$	22	120	8	20
Two photons	Two loose γ 's, $p_T > 40, 30 \text{ GeV}$	2×15	35, 25	1.5	12
	Two tight γ 's, $p_T > 25, 25 \text{ GeV}$	2×15	2×20	1.5	7
Single jet	Jet ($R = 0.4$), $p_T > 400 \text{ GeV}$	100	360	0.9	18
	Jet ($R = 1.0$), $p_T > 400 \text{ GeV}$	100	360	0.9	23
E_T^{miss}	$E_T^{\text{miss}} > 180 \text{ GeV}$	50	70	0.7	55
Multi-jets	Four jets, each $p_T > 95 \text{ GeV}$	3×40	4×85	0.3	20
	Five jets, each $p_T > 70 \text{ GeV}$	4×20	5×60	0.4	15
	Six jets, each $p_T > 55 \text{ GeV}$	4×15	6×45	1.0	12
b -jets	One loose b , $p_T > 235 \text{ GeV}$	100	225	0.9	35
	Two medium b 's, $p_T > 160, 60 \text{ GeV}$	100	150, 50	0.9	9
	One b & three jets, each $p_T > 75 \text{ GeV}$	3×25	4×65	0.9	11
	Two b & two jets, each $p_T > 45 \text{ GeV}$	3×25	4×35	0.9	9
B -physics	Two μ 's, $p_T > 6, 4 \text{ GeV}$ plus dedicated J/ψ -physics selection	6, 4	6, 4	8	52
Total				70	1400

図 2.16 : Run-2 におけるトリガーマニューの一例 [20]. 記録するオブジェクトの種類や数ごとに L1 Trigger 及び HLT でトリガー閾値が定められ、レートが配分されている。

トリガーマニュー

初段トリガー及び HLT では、限られたレートの中で解析に必要な事象を配分して収めなければならない。トリガーマニューはどういったトリガーにどれだけのレートを配分するかをまとめたものである。図 2.16 に Run-2 におけるトリガーマニューの一例を示す。

表 2.2 : LHC および高輝度 LHC の運転予定. 2025 年までの Run-3 の運転後, アップグレード期間 (Long Shutdown 3) を経て 2029 年より高輝度 LHC が開始予定である.

	LHC Run-3	Long Shutdown 3	高輝度 LHC (Run-4,5)
期間	2022-2025	2026 - 2028	2029 -
積分ルミノシティ	450 fb ⁻¹	-	3000 fb ⁻¹

2.3 高輝度 LHC に向けたアップグレード

2029 年より, 瞬間ルミノシティを $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ まで増強した高輝度 LHC が開始予定であり, 10 年間で積分ルミノシティ 3000 fb⁻¹ のデータを取得を予定している. 表 2.2 に高輝度 LHC を含めた運転予定を示す. 高輝度 LHC に向けて, 加速器のアップグレードや, 高輝度に対応するための ATLAS 検出器やトリガーシステムのアップグレードが行われる. アップグレードのうち, 以下で本研究に関わるミューオン検出器及びトリガーシステムについて述べる.

2.3.1 ミューオン検出器のアップグレード

高輝度環境下でも物理感度を維持するため, 以下の検出器のアップグレードを行う.

RPC BIS78

RPC BIS78 は図 2.6 に示したバレル領域に設置されるが, Run-3 で A-side のみに設置されている. 高輝度 LHC に向けたアップグレードにおいて, C-side にも対称にチェンバーを設置する.

TGC EI

磁場領域の内側において $1.0 < |\eta| < 1.3$ の Large Sector 領域に設置されているトリガー用検出器の TGC EI は, バレル部のトロイド磁石やカロリメータ, 支持構造と干渉しないように, 図 2.17 のような複雑な構造を持っている. TGC EI は Run-3 時点では 2 層構造を持ち, 2 層中 1 層のヒットがあることを要求している. 高輝度 LHC において TGC EI のヒットレートは 450 Hz/cm² と予想されており, トリガーレートは最大 9.2 MHz (バンチ交差 40 MHz の約 22%) であるためフェイクトリガーの削減性能は低いことがわかる. 更には, 2 層のうち 1 層が動作しなくなった場合, TGC EI はトリガー用検出器として使用できなくなり, 局所的にフェイクトリガーによるトリガーレートが増加してしまう. そのため, 高輝度 LHC において TGC EI はより高い分解能を持つ 3 層構造のものに取り替えられる. Triplet を導入することによって, トリガー判定において 3 層中 2 層のヒットを要求することができ, 測定精度やノイズによるヒットに対する削減性能を上げることができる. 3 層のうち 1 層が動作しなくなった場合にも, 残りの 2 層でこれまでと同じトリガーシステムを使用できるため, トリガーレートの大幅な増加を防ぐことができる.

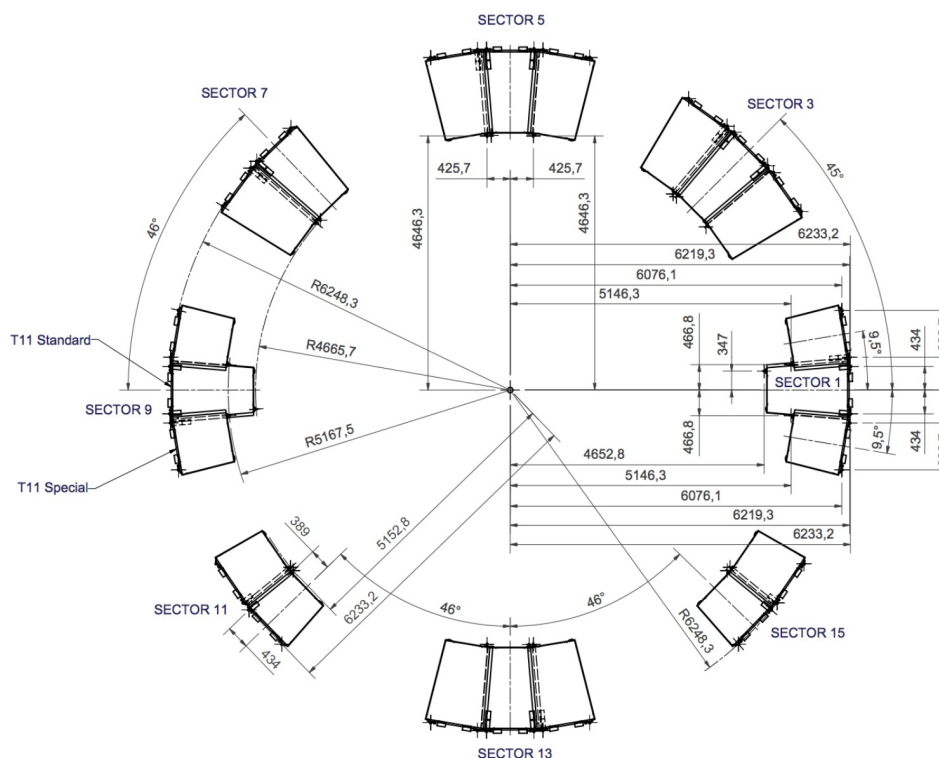


図 2.17 : TGC EI の配置図 [21]. バレル部のトロイド磁石やカロリメータ, 支持構造と干渉しないように配置されている.

2.3.2 トリガーシステムのアップグレード

高輝度 LHC では, ルミノシティの増加に伴いパイルアップが増加するため, 背景事象によるトリガーレートが増加する. 1.3 節で述べたように, これまでのトリガーシステムのままでは興味のある物理事象のアクセプタンスを大幅に落とすことになってしまうため, 高輝度 LHC に向けて大規模なトリガーシステムのアップグレードを行う. 高輝度 LHC では, 初段トリガーレートの許容量を 100 kHz から 1 MHz に増強することで, トリガーの p_T に対する閾値を維持したままトリガーレートの増加に対応する. 更に, 初段トリガーの判定時間を $2.5 \mu\text{s}$ から $10 \mu\text{s}$ に延ばすことで, より複雑なトリガーアルゴリズムを導入し, トリガーの性能を向上させて物理に対する感度を向上させる. 高輝度 LHC におけるトリガーシステムはハードウェアトリガーの Level-0 Trigger (L0 Trigger, 初段トリガー) とソフトウェアトリガーである Event Filter (EF) で構成されている. 図 2.18 に高輝度 LHC のトリガーシステムの概要を示す.

Level-0 Trigger (L0 Trigger)

L0 Trigger は, L0 Calo, L0 Muon, MUCTPI, Global Trigger と CTP で構成される. L0 Calo においては, Run-3 の L1 Calo における Feature Extractor (FEX^[33]) の機能を引き継ぎ, 電子, タウ粒子, ジェットの判定と E_T^{miss} の計算を行う. これに加え, forward Feature Extractor (fFEX)

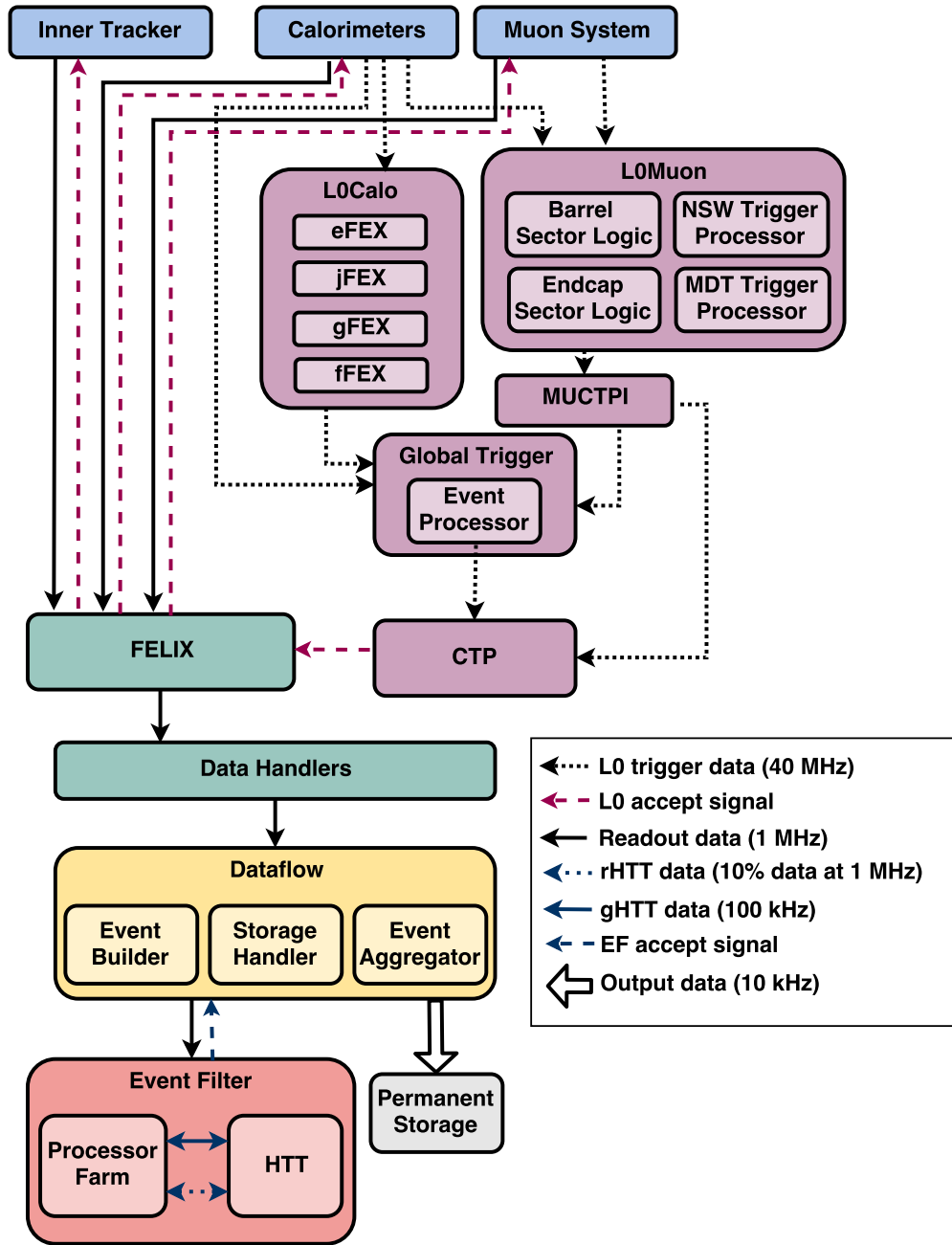


図 2.18 : 高輝度 LHC におけるトリガーシステムの概要 [21]. トリガーシステムは L0 Trigger と Event Filter の 2 段階で構成されている. L0 Trigger は L0 Calo と L0 Muon に大別され, これらで判定されたトリガー情報を用いて Global Trigger において統合的なトリガー判定を行う. 最終的な L0 Trigger の決定は CTP において行われる.

が導入され、 $3.2 < |\eta| < 4.0$ の領域でカロリメータを用いた電子の識別が可能になる。L0 Muon では、ミュオン検出器の全てのヒット情報を用いてミュオン候補の識別を行う。更に、精密測定用の MDT をトリガーに用いて、TGC や RPC の情報と組み合わせることでより高精度なトリガー判定を行い、MUCTPI でバレル部とエンドキャップ部を束ねる。L0 Muon については次章でより詳しく述べる。

Global Trigger は L1 Calo と MUCTPI から送られてきた位置や p_T , E_T などの情報をもとに不変質量などを計算することにより特徴的なトポロジーを持つ事象を選び出す。選ばれたイベントについては、カロリメータの最も細分化された情報と組み合わせることで、より高精度での電子/光子、タウ粒子、ミュオン、ジェットの判定を行う。CTP はトリガーレートが 1 MHz を超えないようにトリガー条件ごとに決められた pre-scaling ファクターをかけてトリガーを発行する。トリガーを発行した場合、Level-0 Accept (L0A) 信号を書く検出器のフロントエンド回路に送り、トリガーを発行したイベントの情報を読み出す。

Event Filter (EF)

EF は Data Flow から送られてくる 1 MHz のデータに対して、ソフトウェアを用いてオフライン解析に近いアルゴリズムを用いることでより精密なトリガー判定を行う。EF は CPU ベースの Processor Farm とハードウェアを用いた Hardware-based Tracking for the Trigger (HTT) プロセッサで構成されている。EF においてトリガーレートは 10 kHz まで削減される。

Trigger Menu

高輝度 LHC における L0 Trigger と EF におけるレートの配分である Trigger Menu の一例を図 2.19 に示す。L0 Trigger レートや EF のレートが増強され、高輝度環境下でも様々な物理への感度を保つことができる。

以上のアップグレードにより、高輝度 LHC における $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ の高輝度環境下でも重要な物理に高い感度を持つトリガーシステムを構築する。

Trigger Selection	Run 1 Offline p_T Threshold [GeV]	Run 2 (2017) Offline p_T Threshold [GeV]	Planned HL-LHC Offline p_T Threshold [GeV]	L0 Rate [kHz]	After regional tracking cuts [kHz]	Event Filter Rate [kHz]
isolated single e	25	27	22	200	40	1.5
isolated single μ	25	27	20	45	45	1.5
single γ	120	145	120	5	5	0.3
forward e			35	40	8	0.2
di- γ	25	25	25,25		20	0.2
di- e	15	18	10,10	60	10	0.2
di- μ	15	15	10,10	10	2	0.2
$e - \mu$	17,6	8,25 / 18,15	10,10	45	10	0.2
single τ	100	170	150	3	3	0.35
di- τ	40,30	40,30	40,30	200	40	0.5 ⁺⁺⁺
single b -jet	200	235	180		25	0.35 ⁺⁺⁺
single jet	370	460	400	25		0.25
large- R jet	470	500	300	40	40	0.5
four-jet (w/ b -tags)		45 ⁺ (1-tag)	65(2-tags)			0.1
four-jet	85	125	100	100	20	0.2
H_T	700	700	375	50	10	0.2 ⁺⁺⁺
E_T^{miss}	150	200	210	60	5	0.4
VBF inclusive			2 \times 75 w/ ($\Delta\eta > 2.5$ & $\Delta\phi < 2.5$)	33	5	0.5 ⁺⁺⁺
B -physics ⁺⁺				50	10	0.5
Supporting Trigs				100	40	2
Total				1066	338	10.4

図 2.19 : 高輝度 LHC におけるトリガメニューの例 [21]. 記録するオブジェクトの種類や数ごとに L0 Trigger 及び Event Filter でトリガー閾値が定められ, レートが配分されている. L0 Trigger レートは Run-3 で対応する Level-1 レートの 10 倍程度, Event Filter レートは Run-3 で対応する HLT レートの 6 倍程度に強化される.

第3章 高輝度LHCにおけるエンドキャップ部初段ミュオントリガーの開発

本章では、高輝度LHCに向けた初段ミュオントリガーのアップグレードについて説明したのち、その具体的なトリガーアルゴリズムの開発について述べる。

3.1 Thin Gap Chamber

TGCは図3.1に示すように、磁場領域の内側にEI (“Endcap Inner”) が、外側にM1, M2, M3と呼ばれる3つのステーションが配置されている。M1, M2, M3はまとめてBig Wheel (BW) と呼ばれ、エンドキャップ部を広い領域でカバーすることからエンドキャップ部ミュオントリガーの主たる検出器として用いられる。M1は3層構造 (triplet と呼ぶ)、M2, M3は2層構造 (doublet と呼ぶ) を持ち、図3.2に示すように複数のチェンバーによって全 ϕ 領域をカバーしている。一方でEIは2.3.1節で述べたように、Run-3時点では2層構造をもち、高輝度LHCにおいて3層構造にアップグレードされる。また、EIは設置されているR領域にバレル部トロイド磁石があるためにLarge Sectorのみをカバーしている。

3.1.1 トリガー単位

TGC BWはTrigger Sectorと呼ばれる単位に大きく分けられる。図3.3にTrigger Sectorの模式図を示す。Trigger Sector $1.05 < |\eta| < 1.9$ のエンドキャップ領域を ϕ 方向に48分割したものの、 $1.9 < |\eta| < 2.4$ のフォワード領域を ϕ 方向に24分割したものを指し、基本的にこの単位の中で処理を行う。また、Run-3におけるトリガーの最小単位領域はRegion of Interest (RoI) と呼ばれる。

3.1.2 トリガーの概要

衝突点で発生したミュオンは磁場の内側の検出器とトロイド磁場領域を通過してTGC BWに入射する。トロイド磁場は ϕ 方向の磁場を主成分としてもつため、ミュオンの飛跡は η 方向に曲げられる。ただし、トロイド磁石は完全な ϕ 方向磁場ではなく、特に磁石付近ではR方向にも磁場成分をもち、更には衝突点付近のソレノイド磁石がz方向の磁場成分を持つために、ミュオンは ϕ 方向にも曲げられる。ミュオンの p_T が高いほど磁場によって飛跡が曲がりにくいた

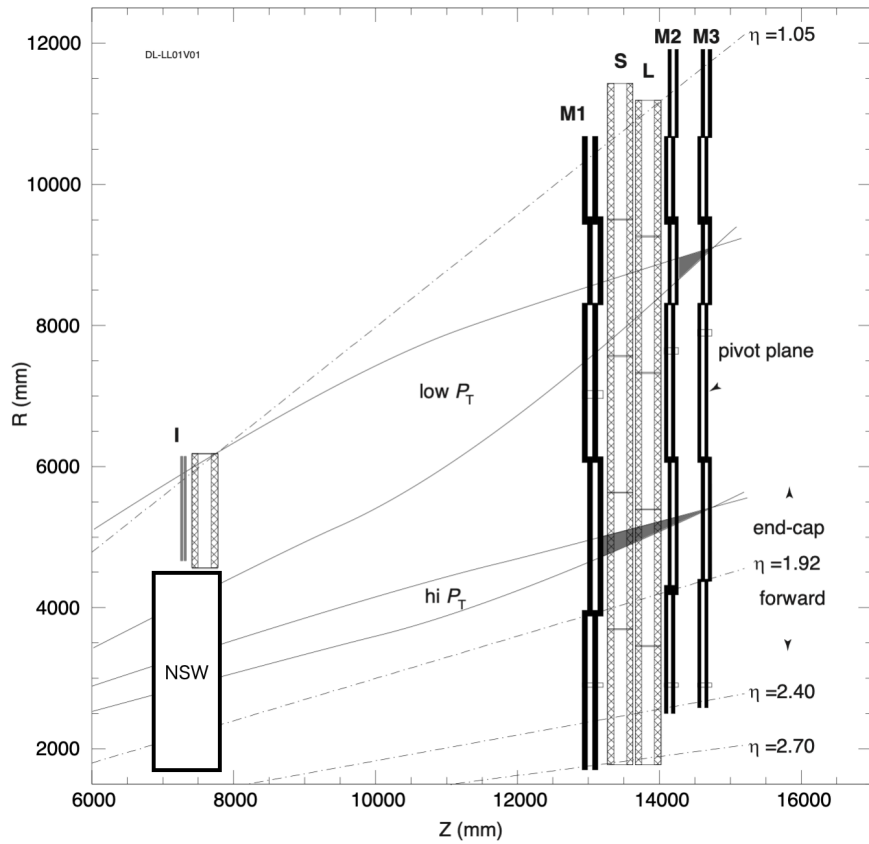


図 3.1 : TGC の R-Z 平面における配置図 [22]. 磁場外部に設置された TGC BW と磁場内部に設置された TGC EI で構成されており, TGC BW は衝突点に近い方から M1, M2, M3 の3つのステーションからなる. M1-M3 のそれぞれのステーションは z 方向に入れ違いに設置された複数のチェンバーからなる.

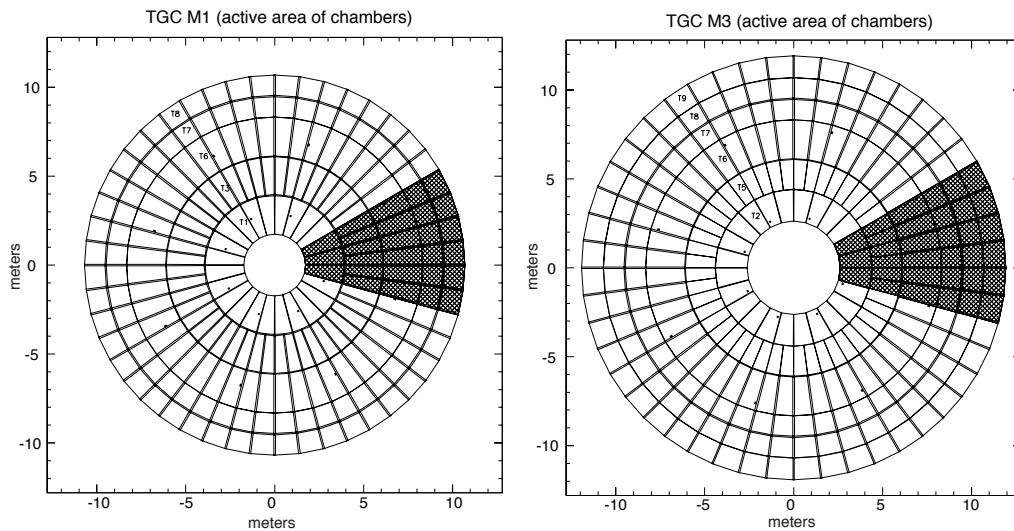


図 3.2 : TGC の M1, M3 ステーションの配置図 [22]. 実線で囲まれた1つのマスが1つのチェンバーに相当する. M2 も同様に全 ϕ 領域をカバーしている.

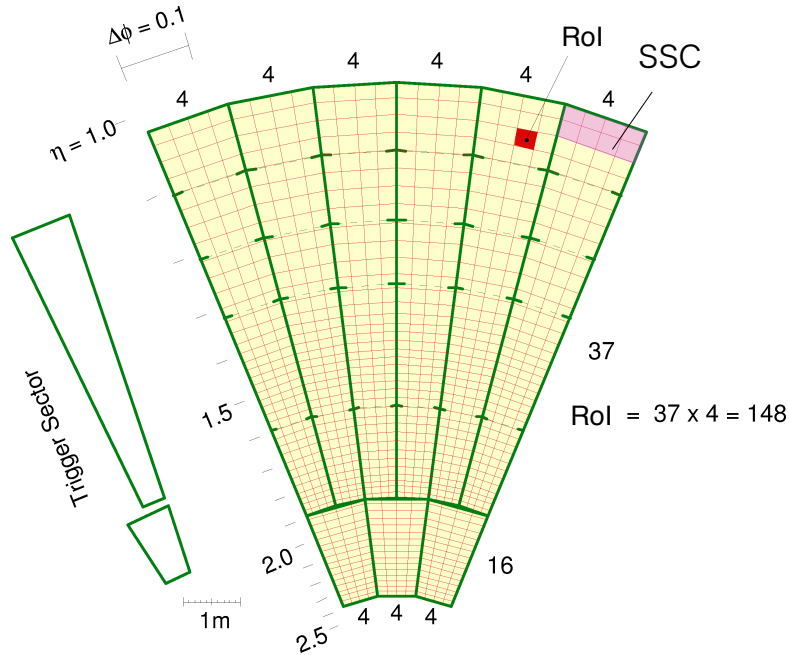


図 3.3 : TGC のトリガー判定に用いられる単位の模式図. 図の領域は ϕ 方向に $1/8$ を切り出したものである. 緑で囲まれた領域が Trigger Sector であり, η 方向の分割であるエンドキャップ領域とフォワード領域によって ϕ 方向の分割幅が異なる. 赤の領域は RoI を示す.

め, その飛跡情報から p_T を計算することができ, これに閾値を設けることでトリガーをかけることができる. 図 3.4 に Run-3 におけるエンドキャップ部初段ミュオントリガーの TGC BW でのトリガーロジックの概要を示す. M1, M2, M3 のヒット位置と無限運動量で通過した場合の直線との M3 に対する M1 での相対的な R , ϕ 位置の差を計算することで p_T の判定を行う. 更に, TGC BW の情報で得られたミュオン候補については, 磁場の内側に位置する検出器とコインシデンスをとる. これを Inner Coincidence と呼ぶ. Inner Coincidence の目的の一つは, 図 3.5 に示すような衝突点由来でない荷電粒子によるトリガー (フェイクトリガー) を削減することにある. フェイクトリガーは陽子陽子衝突で生じた粒子がビームパイプなどと衝突することで陽子をはじめとする荷電粒子が生成し, これが TGC BW にヒットを残すことで, それが衝突点由来に見えることによって引き起こされる. これに対し, 磁場内部検出器におけるヒットを要求することで, このフェイクトリガーを削減することができる. もう一つの目的として, NSW など磁場内部の高い位置・角度分解能を持つ検出器の情報と TGC BW における飛跡情報を組み合わせて p_T を計算することで, TGC BW 単体よりも p_T 計算の精度を上げることがある. これにより, p_T 閾値以下のミュオンによるトリガーの発行数を減らし, トリガー精度を高めることができる. [23][24]

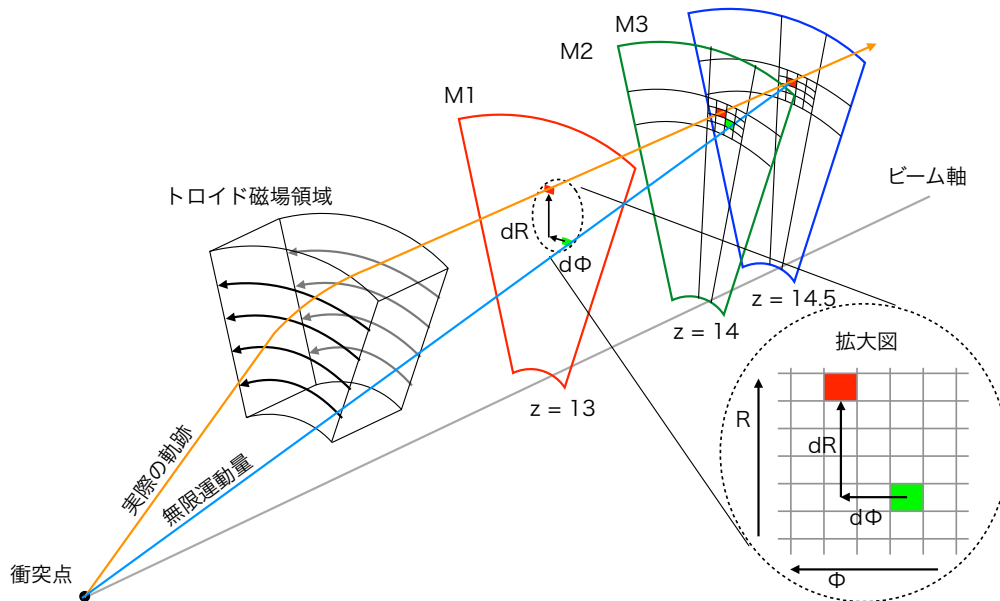


図 3.4 : Run-3 における初段エンドキャップ部ミュオントリガーロジックの概要 [23]. M1, M2, M3 のヒット位置と無限運動量で通過した場合の直線との M3 に対する M1 での相対的な R , ϕ 位置の差を計算することで p_T の判定を行う.

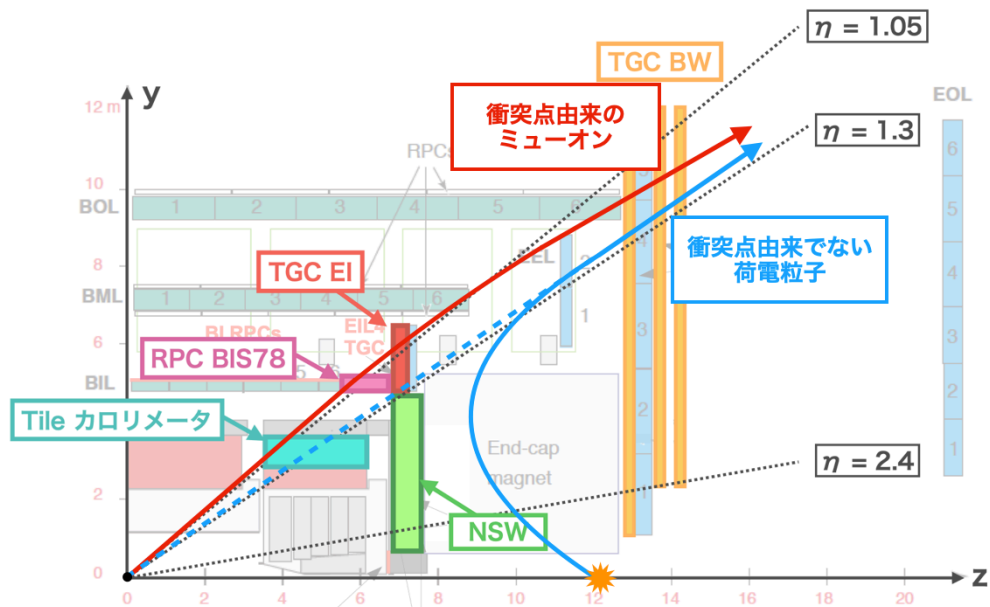


図 3.5 : 衝突点由来でない荷電粒子によるフェイクトリガーの例. 陽子陽子衝突により生じた粒子がビームパイプと衝突することで生じた荷電粒子が TGC BW に衝突点由来の粒子であるかのようなヒットを残しトリガーが判定される. トロイド磁場の内側に設置した検出器とコインシデンスを取ることでこれを削減する.

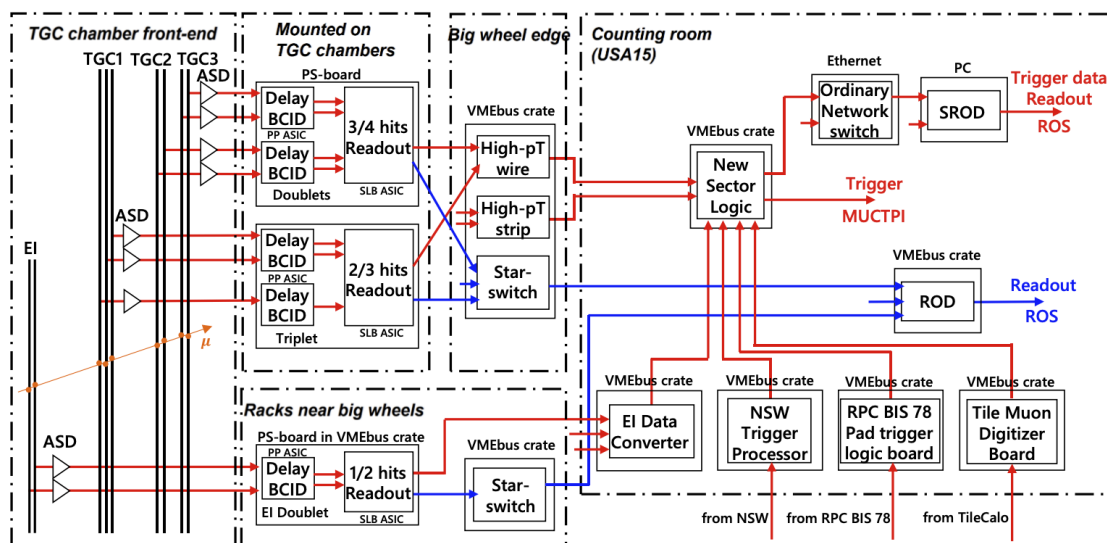


図 3.6 : Run-3 におけるトリガー回路の概要 [18]. 赤い線がトリガーの流れ, 青い線が読み出し処理の流れを示す. TGC チェンバーに取り付けられたボードから回路室に至るまでの複数の段階でトリガー処理が行われている.

3.2 Run-3 におけるトリガーの概要と高輝度LHCに向けたアップグレード

3.2.1 Run-3 におけるトリガーの概要

Run-3 のエンドキャップ部初段ミュオントリガーのトリガー回路を図 3.6 に示す. Run-3 のトリガー回路は複数のボードで構成され, 段階的にトリガー処理が行われる. トリガー判定の流れを以下に示す.

- 1) TGC BW で検出された信号が Amplifier Shaper Discriminator (ASD) ボードにてデジタル信号に増幅・整形され, 閾値を超えた信号が出力される.
- 2) Patch Panel and Slave Board ASIC (PS) ボードに搭載された Patch-Panel ASIC において, ASD から送信された信号のケーブル長などを踏まえたタイミング調整を行う.
- 3) PS ボードに搭載された Slave Board (SLB) において, ワイヤーストリップそれぞれのヒット数に要求を課してコインシデンスをとる. 処理の単位としては M1 Triplet と, M2 と M3 の Doublet を束ねたものに分けられ, それぞれ3層中2層, 4層中3層でコインシデンスが取れたもののうち検出位置の差が小さいものを絞り込んで出力する. 図 3.7 に M2-M3 の SLB におけるコインシデンスロジックの概要を示す.
- 4) High PT (HPT) ボードにおいて, M1 の SLB と M2-M3 の SLB におけるコインシデンス結果から M1-M3 間のコインシデンスをとる. M1 と M3 のチャンネル情報から両者の位置

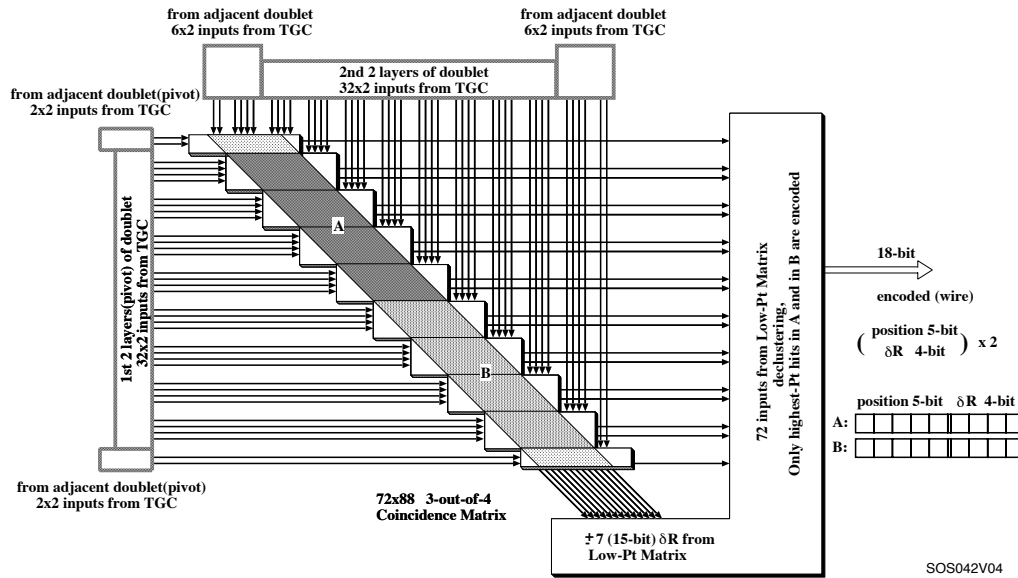


図 3.7: M2-M3 で用いられる SLB のコインシデンスロジックの概要図 [22]. 左からの入力が M2 の 2 層のチャンネル情報, 上からの入力が M3 の 2 層のチャンネル情報を示す. 対角線上でコインシデンスが取れたものは, 位置の小さいものから候補数を絞って HPT ボードに送られる.

の差 (ΔR または $\Delta\phi$) を計算し, 小さいものから出力する.

- 5) トリガー判定回路である Sector Logic (SL) において, ワイヤー及びストリップの HPT ボードから送られてくる ΔR , $\Delta\phi$ と RoI に定義された Coincidence Window (CW) と呼ばれるマップを用いて p_T を計算する.
- 6) 得られたミュオンの候補について, RoI の位置情報を用いて磁場の内側に位置する検出器 (NSW, RPC BIS78, TGC EI, Tile calorimeter) の飛跡情報とマッチングをとる. トリガー判定されたミュオン候補の情報は p_T 閾値の高いものから, Trigger Sector ごとに最大 4 候補を MUCTPI に送信する.

Run-3 におけるトリガーは複数のボード間でトリガーロジックが段階的に処理される設計をもち, 1 枚の PS ボードから 2-4 つのヒット点しか出力できない, 1 枚の HPT ボードから最大 2 つのミュオン候補しか出力できないなど, 後段に送られる情報が制限されている. また, Run-3 においては, 磁場内部検出器とコインシデンスを取る際 TGC BW の位置情報は SLB でコインシデンスをとることによって得られる分解能に比べて 16 倍粗い RoI の精度でしか処理できず, TGC EI とのコインシデンスにおいては EI 側のヒット情報はワイヤー・ストリップ共に 8 ch の OR をとった粗い位置しか出せないなど, 位置分解能の面でも制限がある.

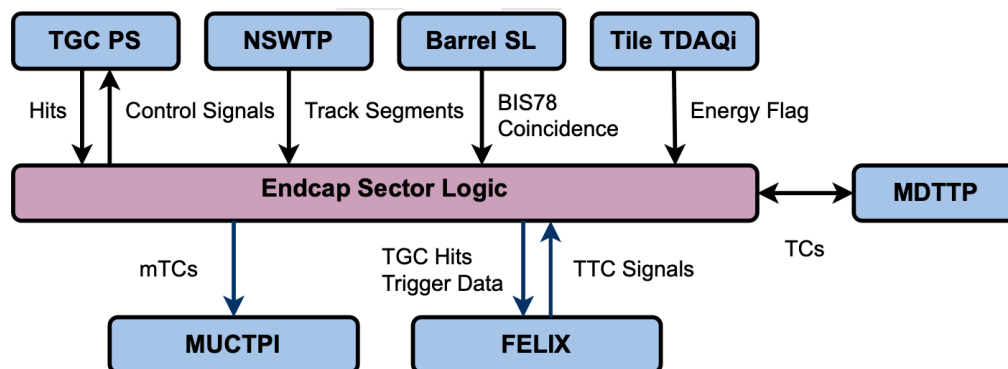


図 3.8 : 高輝度 LHC における Endcap SL と, TGC やその他の検出器, 後段とのやりとりの概要図. TGC からのヒット情報は全て Endcap SL に送られて処理され, さらにその他の磁場内部検出器の情報を受け取ってトリガー処理を行う. Endcap SL でトリガー判定されたミュオン飛跡の候補は MDT TP に送られ, MDT の情報を用いてより高い p_T 分解能でミュオンの候補選別を行う. 最終的なトリガー候補は MUCTPI へ送られ, 検出器から読み出した情報は FELIX へ送られる.

3.2.2 高輝度 LHC に向けたアップグレードの概要

高輝度 LHC におけるエンドキャップ部初段ミュオントリガーの概要を図 3.8 に示す. アップグレードにより ASD を除いたエレクトロニクスが刷新され, TGC BW のヒット情報を全て SL に送り, TGC BW 及び磁場内部検出器を用いたトリガーロジックを Endcap Sector Logic (Endcap SL) が一手に担う形に変更される. 更に, 初段トリガーの陽子陽子衝突から処理が終了するまでにかかる時間 (レイテンシー) の要求値が $2.5 \mu\text{s}$ から $10 \mu\text{s}$ に伸びたことを生かして, Inner Coincidence を通過したミュオン候補について MDT の情報を用いたより高精度なトリガー判定も行う. 以下にエレクトロニクスのアップグレードについて述べる.

エレクトロニクスのアップグレード

図 3.9 に高輝度 LHC におけるエンドキャップ部初段ミュオントリガー回路の概要を示す. TGC BW の信号は, ASD で整形されたのち PS ボードに送られる. 高輝度 LHC で使用される PS ボードの詳細については付録 A に記載する. 1 枚の PS ボードは 16 枚の ASD ボードから合計 256 チャンネルの信号を受け取り, タイミング調整とバンチ識別を行い, 衝突バンチを識別する情報 (BCID) などを含む 64 bit の回路情報を追加して 2 本の光トランシーバーを用いて後段の Endcap SL に送る.

Trigger Timing Control (TTC) 信号は LHC のクロック信号や回路リセット信号のことであり, LHC のクロック信号は PS ボードの光トランシーバーにおける基準クロックとして用いられる. そのため, PS ボードでは, 安定的にシステムを動作させるため, 光トランシーバーからのみでなく Service Patch Panel (SPP) ボードからも TTC 信号を受け取る. PS ボード上の FPGA のファームウェアは JTAG Assistance Hub (JATHub) を用いて制御, コンフィギュレーションを行う. ま

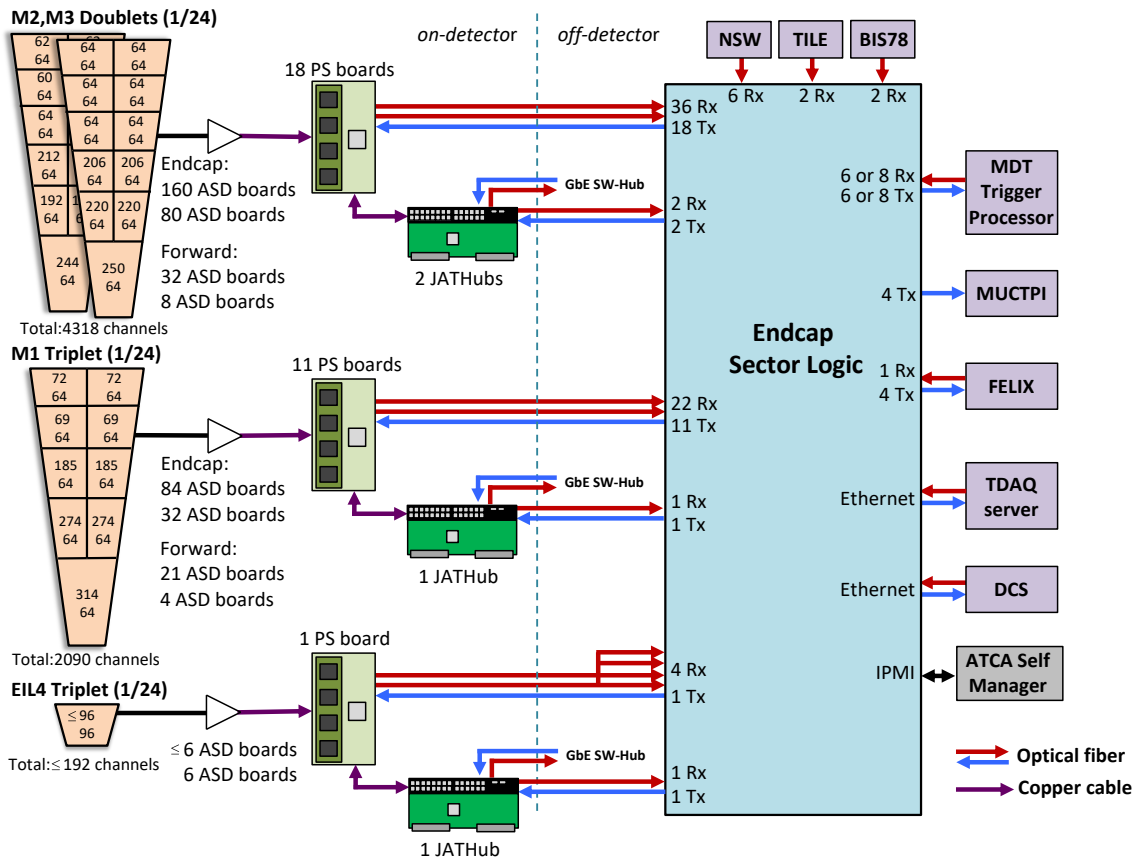


図 3.9：高輝度 LHC におけるエンドキャップ部初段ミュオントリガー回路の概要. TGC チェンバーの中の数字は上がワイヤーのチャンネル数, 下がストリップのチャンネル数を示す. ASD にて整形された TGC BW のヒット情報は PS board でタイミング調整及びバンチ識別が行われたのち Endcap SL へ送信される. Endcap SL は全ヒット情報及び磁場内部検出器から送信された情報を用いてトリガー処理を行い, MDT Trigger Processor によるトリガー処理ののちトリガー情報を MUCTPI に, 読み出し情報を FELIX に出力する. また, TDAQ server や DCS, ATCA Shelf Manager との通信を通して PS board や SL の制御が行われるほか, PS board の制御には JATHub も用いられる.

た, JATHub は ATLAS 実験室内における放射線によって引き起こされる FPGA のエラーの監視・回復も行う. ATLAS 実験室外部から, 光 Ethernet 通信を用いて JATHub に接続し, FPGA の制御を行う.

PS ボードが受け取った全チャンネルのヒット情報は全て Endcap SL に送られ. 磁場内部検出器の情報も含めて包括的に処理を行う. Endcap SL については 5 章で詳細に述べる.

TGC EI に関するアップグレード

TGC EI は高輝度 LHC において Doublet から Triplet にアップグレードされる. アップグレード前後の η 位置情報の概要を図 3.10 に示す. Run-3 では 8 ch をまとめた領域において 2 層の OR を出力していたが, 高輝度 LHC では Triplet の全チャンネル情報を Endcap SL に送信すること

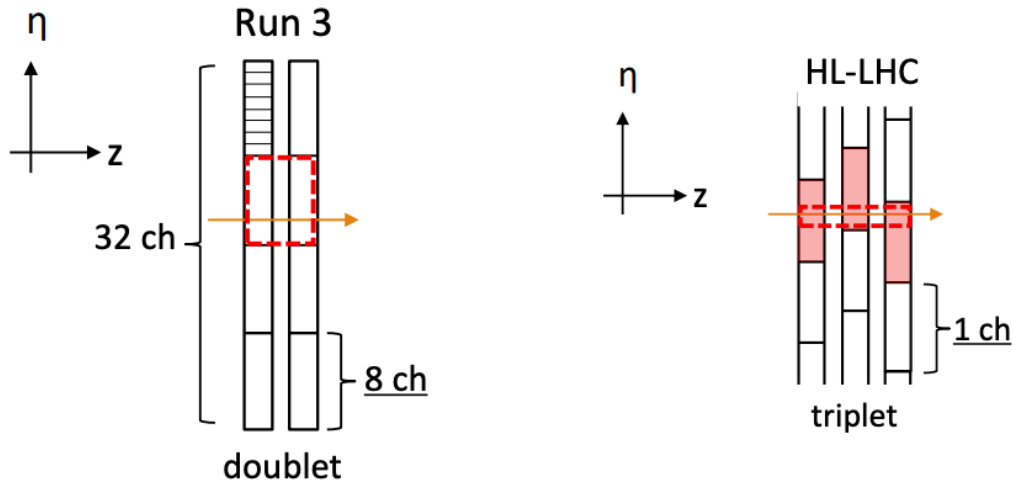


図 3.10 : TGC EI Doublet (左) と Triplet (右) における η 位置測定の概要^[14]. それぞれミュオンが通過した際、赤い破線で囲った領域を最小単位としてトリガー情報を出力できる.

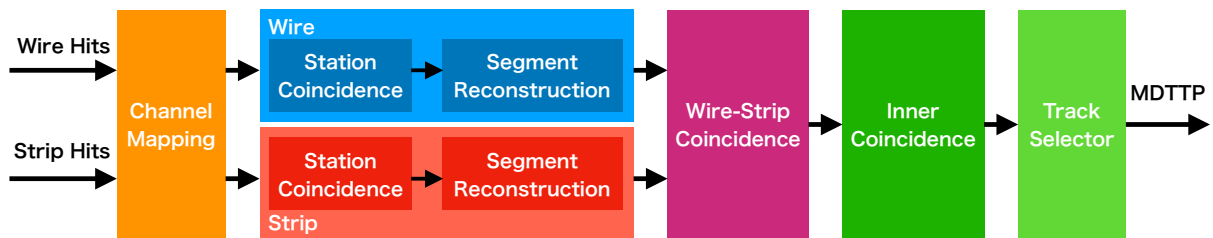


図 3.11 : 初段ミュオントリガーアルゴリズムの流れ. Channel Mapping による処理後はワイヤーとストリップで独立に処理が行われ、その後 Wire-Strip Coincidence で統合して処理する. さらに Inner Coincidence にて磁場内部検出器の情報を用いた処理を行い、Track Selector で後段に送信する飛跡候補の選別を行ったのち、MDT Trigger Processor (MDT TP) に飛跡情報を送信する.

で、Run-3 よりも高精度に TGC BW とのコインシデンスを取ることが可能となる.

3.3 高輝度 LHC における初段ミュオントリガーのアルゴリズム

図 3.11 にエンドキャップ部初段ミュオントリガーアルゴリズムの流れを示す. TGC BW から送られてきた全チャンネルのヒット情報は多段階に分けて処理され、そのうち磁場内部検出器の情報と組み合わせた判定を行う. 判定後のミュオン候補は MDT に送られ、更に高精度な判定を行う. 以下でアルゴリズムの概要を説明する.

3.3.1 TGC BW を用いたトリガーアルゴリズム

Endcap SL では、PS ボードより送られてきた TGC BW のヒット情報を図 3.11 に示したように以下の段階に分けて処理を行う。

- 1) Channel Mapping: TGC BW から送られてきたチャンネル情報を整理する。
- 2) Station Coincidence: ステーション内でコインシデンス処理を行い代表点情報を得る。
- 3) Segment Reconstruction: ステーション間で代表点情報を組み合わせて飛跡の位置・角度情報を再構成する。
- 4) Wire-Strip Coincidence: ワイヤーストリップで再構成された飛跡情報を組み合わせ p_T を判定する。

それぞれのアルゴリズムについて以下で説明する。

Channel Mapping

TGC BW の全チャンネルのヒット情報は多くの光リンクから送られてくるため、飛跡再構成に先んじてこれを統一的に処理するべくマッピングする処理 (Channel Mapping) が行われる。ヒット情報を整理し、ワイヤーストリップでそれぞれ必要な OR をとる作業を行う。TGC BW のエンドキャップ領域は η 方向に M1 は 4 つ、M2, M3 は 5 つのチェンバーで構成されており、それぞれ不感領域がないように僅かなオーバーラップを持って配置されていることから、ワイヤーストリップについて、これらのチェンバー間のオーバーラップにあたるチャンネルの OR をとって信号をまとめる操作を行う。また、ストリップについてはチェンバーごとに飛跡の再構成が行われるが、ミュオンは主に η 方向に曲がるため、複数のチェンバーに跨った飛跡を残す可能性が考えられる。これによる再構成効率の低下を防ぐための方策として、図 3.12 に示すように、M1 及び M2 においてそれぞれチェンバー間で信号の OR をとる操作を行い、M3 チェンバーごとに適切な領域の M1, M2 チェンバーの信号を用いて再構成を行えるようにする。

Station Coincidence

図 3.13 に Station Coincidence の概要を示す。TGC BW のワイヤーストリップは M1 が 3 層、M2, M3 がそれぞれ 2 層で構成されており、それぞれのステーションで各層を互いに η 方向に位置をずらして配置している。また、ストリップについても M1, M2, M3 の全てが 2 層で構成されており、それぞれのステーションで各層を互いに ϕ 方向に位置をずらして配置している。そのため、ワイヤーストリップのそれぞれで、チャンネルが重複した領域を「代表点」として定義する (staggering) ことで位置分解能を向上しつつデータ量を削減することができる。各層のチャンネルごとのヒット情報の中で代表点ごとのコインシデンスをとり、ヒットのあった代表点情報を出力する。この操作を Station Coincidence と呼ぶ。

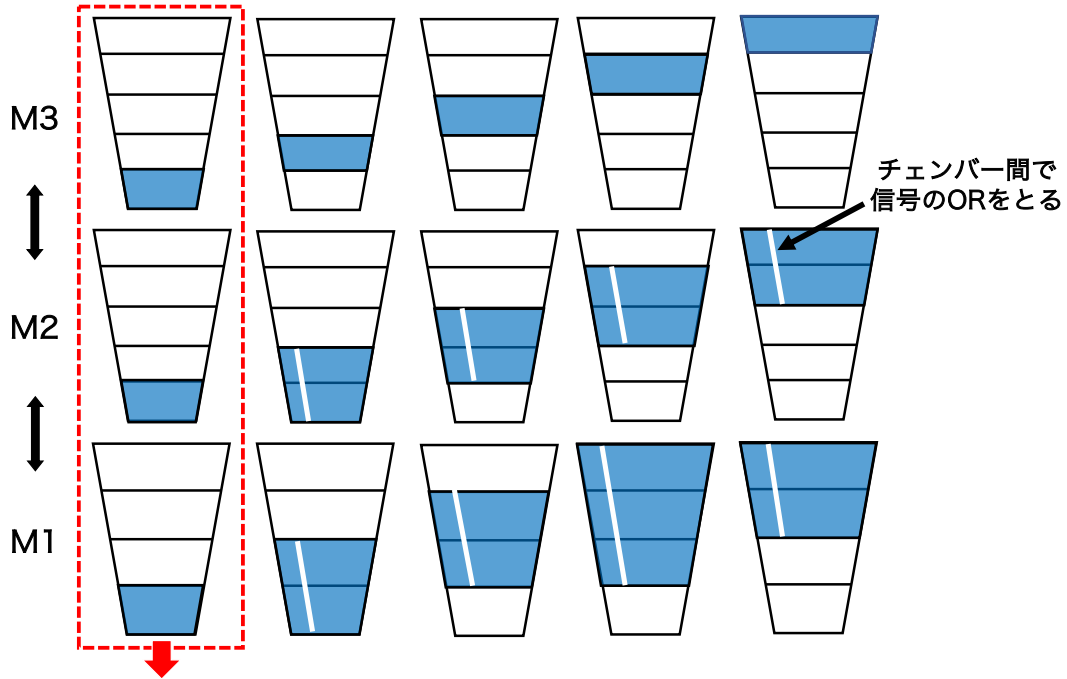


図 3.12 : ストリップにおけるチェンバー間の OR の取り方. M3 のそれぞれのチェンバーに対してステーション間でコインシデンスを取る際, M1, M2 ではより広い範囲のチェンバーの情報を参照できるように OR を取った情報を後段に流す.

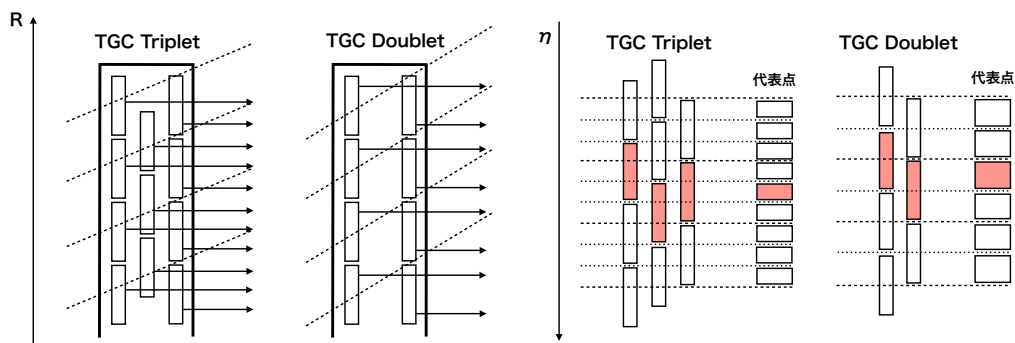


図 3.13 : Doublet 及び Triplet 構造における Station Coincidence の概要. [2]. η 方向に対して位置をずらして配置しているため, 重複する部分を各ステーションの代表点として定義することで, データ量を減らしつつ位置分解能を向上できる.

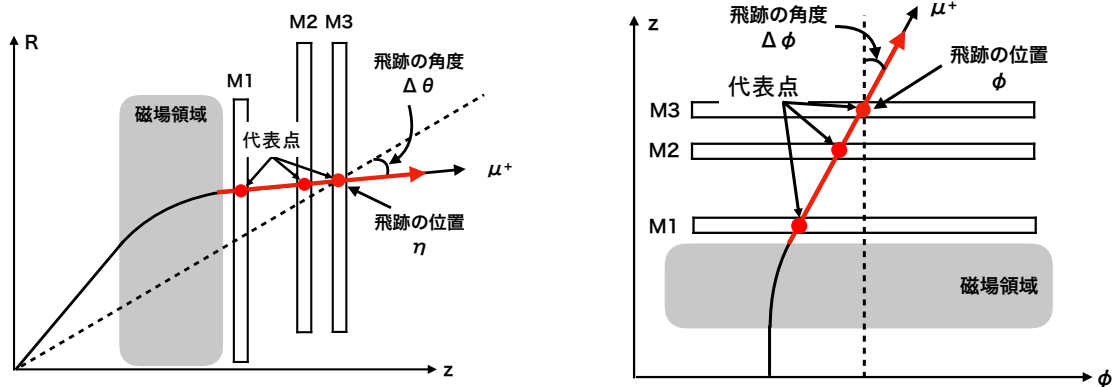


図 3.14 : η 方向 (左) 及び ϕ 方向 (右) についてパターンとして保存する飛跡の情報 [2]. 赤い線はパターンマッチングアルゴリズムによって再構成される飛跡を表し. 黒い転線は衝突点と M3 ステーションにおける飛跡の位置を結ぶ直線を表している. 再構成した飛跡と黒い点線で示した無限運動量飛跡との角度をパターンとして保存する.

Segment Reconstruction

各ステーション内部でコインシデンスをとり出力された代表点情報をもとに、ワイヤー及びストリップそれぞれで飛跡の再構成を行う。これを Segment Reconstruction と呼ぶ。Segment Reconstruction においては、各ステーションの代表点ごとのヒット情報から飛跡の角度及び位置情報を出力する。角度情報の出力にあたっては、代表点の組み合わせに対して飛跡の角度情報を対応づけたリスト (パターンリスト) を作成することで、複雑な計算を必要とせずに高速な飛跡再構成を行うことができる。これをパターンマッチングアルゴリズムと呼ぶ。ワイヤー、ストリップにおけるパターンに保存する角度情報を図 3.14 に示す。パターンとして保存する飛跡の角度情報 ($\Delta\theta, \Delta\phi$) は、再構成した飛跡と衝突点と M3 ステーションにおける飛跡の位置を結ぶ直線との角度差である。この角度情報と M3 のヒット位置及び該当するパターンにヒットした層の総数を後段に出力する。パターンリストの作成手法については付録 B.1 に述べる。

ある M3 の代表点にヒットを残した $p_T 4 \text{ GeV}$ のミュオンが他のステーションで残しうる角度幅から、ワイヤー及びストリップにおいてパターンマッチングを行う最小領域 (block) を定めている。図 3.15 に最小領域の模式図を示す。ワイヤーのパターンマッチングを行う領域は M1 の代表点 128 ID, M2 の代表点 32 ID, M3 の代表点 4 ID で定義され、M3 の代表点 4 ID ごとにこの領域の中で代表点を組み合わせて再構成を行う。ストリップについても同様に、パターンマッチングを行う領域は M1 の代表点 32 ID, M2 の代表点 16 ID, M3 の代表点 8 ID で定義されており、この領域の中で代表点を組み合わせる。

Wire-Strip Coincidence による飛跡再構成と p_T の判定

Wire-Strip Coincidence では、ワイヤー、ストリップのそれぞれで角度及び位置を再構成した飛跡を組み合わせて処理を行う。

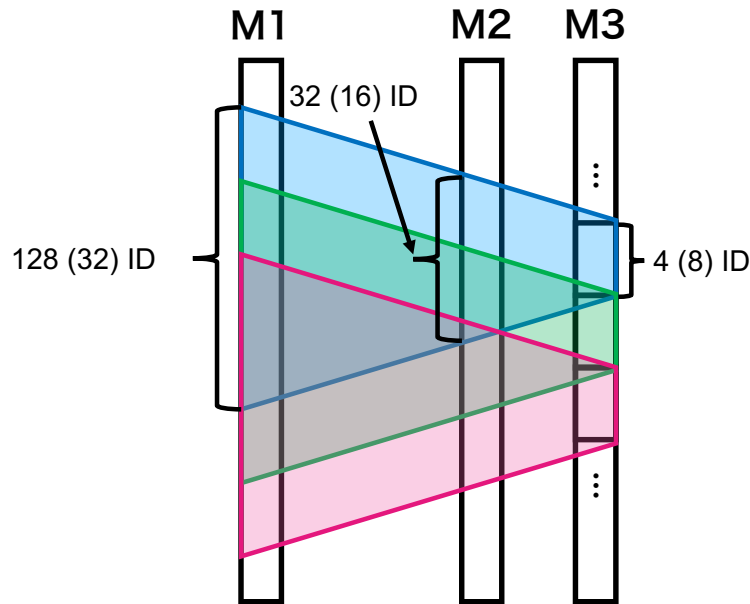


図 3.15 : パターンマッチングを行う最小領域の模式図. ワイヤー (カッコ内はストリップ) の各ステーションで用いる代表点の数を示している. M3 の 4 ID ごとに平行移動してそれぞれの領域を設定している.

ワイヤー及びストリップで独立に再構成された飛跡の角度情報 ($\Delta\theta, \Delta\phi$) には p_T が高いほど飛跡が曲がりにくく角度が小さくなりやすいという相関関係がある. これを用いて block ごとに Coincidence Window (CW) を定義し p_T の計算を行う. 図 3.16 にワイヤー, ストリップでの飛跡再構成後の Coincidence Window を用いた p_T 閾値の判定の概念図を示す. CW の作成手順については 3.4.2 で詳しく述べる.

さらに, 後段で使用する η 位置情報について, ϕ 位置情報を踏まえた補正を行った上で座標情報として出力する. このアルゴリズムの開発については 3.4.1 で詳しく述べる.

3.3.2 磁場内部の検出器を用いたトリガーアルゴリズム

磁場領域の内側には, 図 3.17, 図 3.18 に示すように, NSW, RPC BIS78, TGC EI, Tile カロリメータの 4 種類の検出器が設置されている. 各検出器のカバーする領域が異なるため, TGC BW で再構成された飛跡の位置に対応して適切な検出器とコインシデンスをとる. 以下で各検出器とのコインシデンスアルゴリズムについて説明する.

NSW とのコインシデンスアルゴリズム

$1.3 < |\eta| < 2.4$ の領域では, TGC BW で再構成された飛跡の位置と New Small Wheel (NSW) で再構成された高い分解能を持つ飛跡の位置・角度の情報を用いたコインシデンスをとる (NSW Coincidence). TGC BW で再構成された飛跡の η 位置情報 (η_{TGC}) と, NSW から Endcap SL に

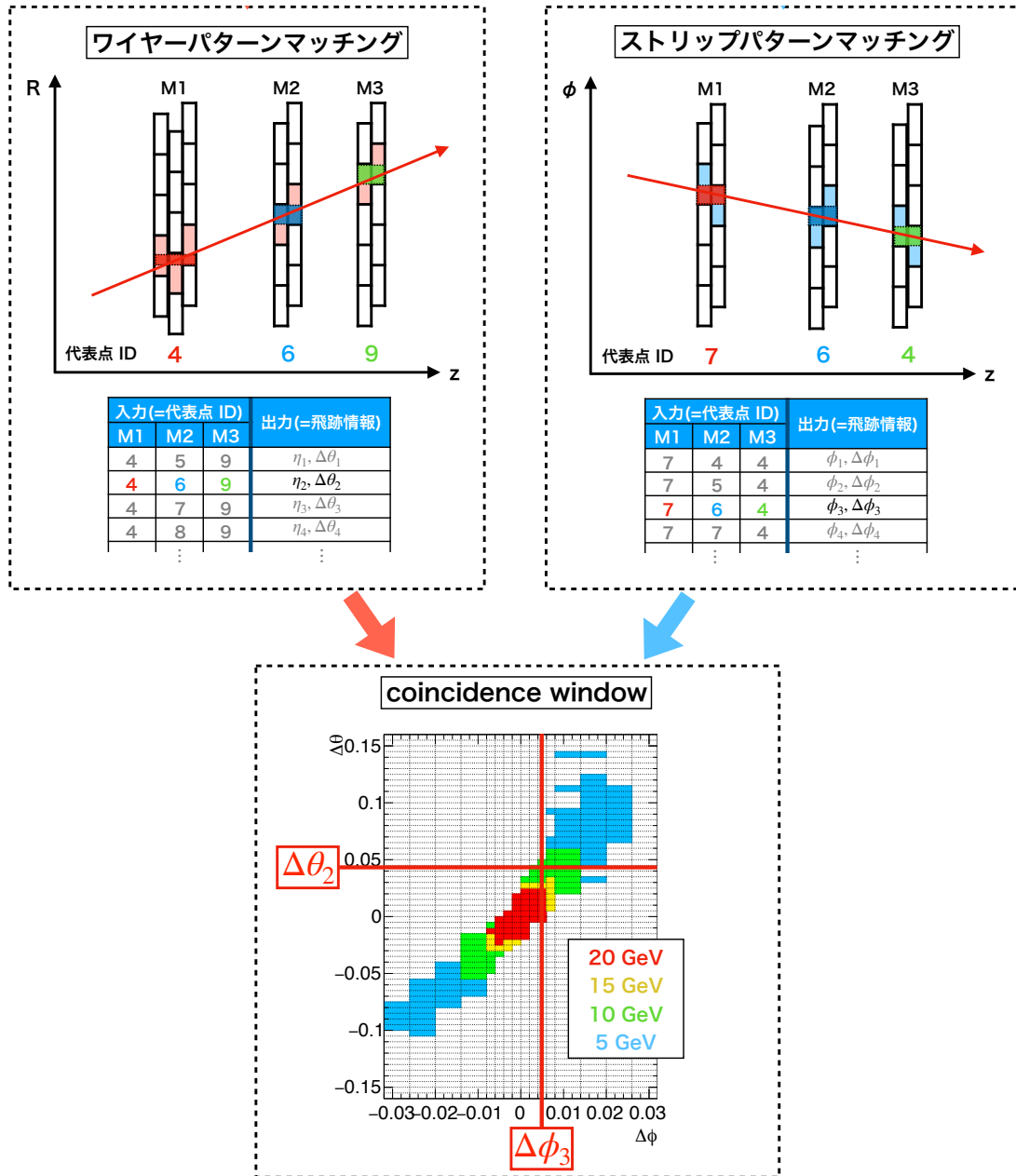


図 3.16 : Coincidence Window を用いた p_T 判定の概念図 [2]. ワイヤーとストリップで独立に飛跡再構成を行い得られた角度情報を CW の入力として p_T 閾値を求める.

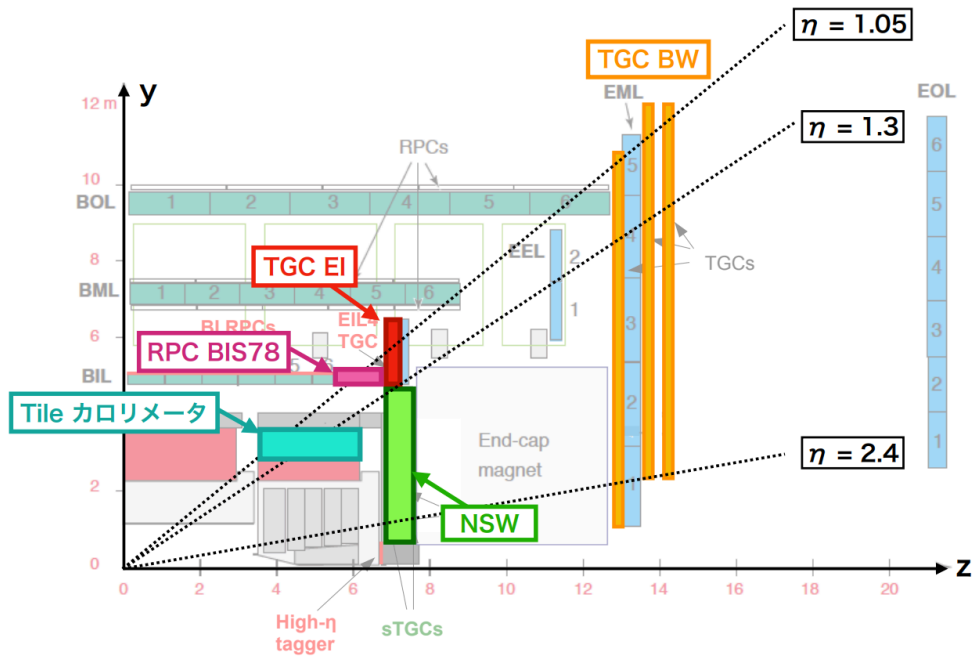


図 3.17 : ミューオン検出器の R-z 図 [2]. TGC EI と RPC BIS78 は図 3.18 に示すように異なる ϕ 領域に設置されている.

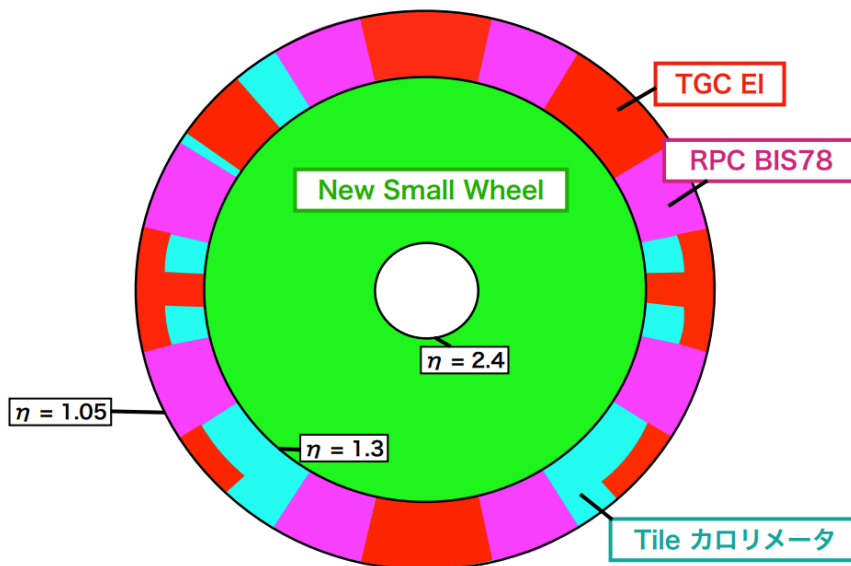


図 3.18 : 磁場内部の検出器でカバーされる $\eta - \phi$ 領域をビーム軸方向からみた図 [2]. TGC EI と RPC BIS78 はバレル部トロイド磁石やカロリメータ, 支持構造と干渉しないように ϕ 領域をそれぞれ一部しかカバーしていない. TGC EI と RPC BIS78 とのコインシデンスを優先的に取る一方で, 両者によってカバーできない領域については, $1.0 < |\eta| < 1.3$ の全 ϕ 領域をカバーする Tile カロリメータによる情報を用いて粗いコインシデンスをとる.

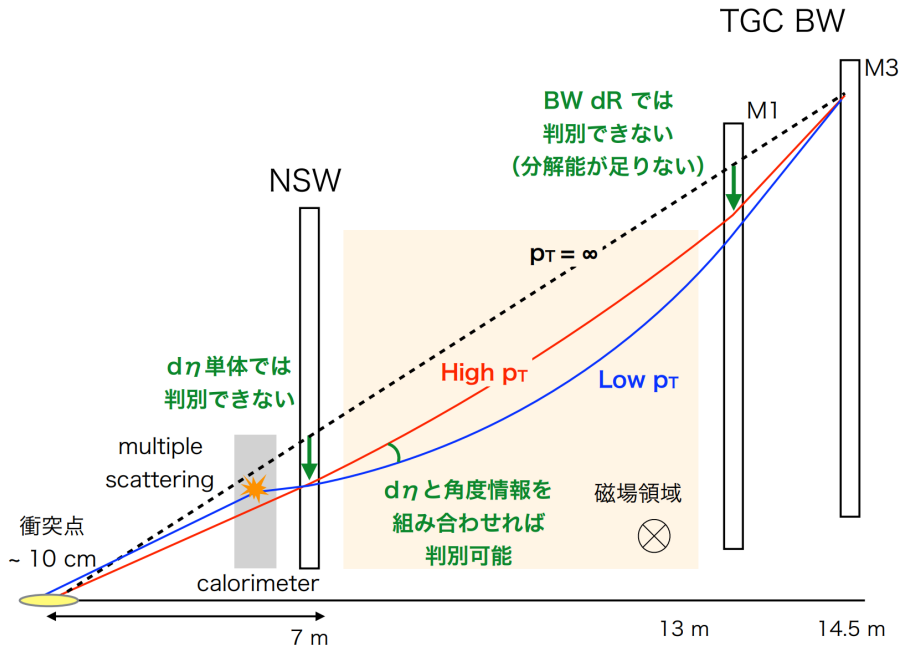


図 3.19 : NSW における角度情報及び位置情報を用いたトリガーアルゴリズムの概要図 [23].

送られてきた飛跡の η 方向の位置情報 (η_{NSW}) の差として $d\eta$ を下のように定義する.

$$d\eta = \eta_{TGC} - \eta_{NSW} \tag{3.1}$$

図 3.19 に NSW を用いたトリガーアルゴリズムの概要図を示す. $d\eta$ はミュオンの p_T と曲がり方の関係性から p_T に対しある程度相関を持つ量であるが, 実際は, 全てのミュオンが衝突点の 1 点において発生し磁場領域に真っ直ぐ入射するわけではなく, 衝突点はわずかに広がりを持ち, さらに発生したミュオンは検出器内部の物質 (主に物質量の大きいカロリメータ) と多重散乱をするために磁場領域に対する入射角は広がりを持つ. そのため, TGC と NSW の η 位置の差のみでは, 高い p_T のミュオンと低い p_T のミュオンがこれらの影響を受けた場合の判別ができない. そこで, ミュオンが NSW を通過し磁場領域に入射した角度 ($\Delta\theta_{NSW}$) を NSW から受け取り, これと $d\eta$ の相関を見ることで, 衝突点の広がり と多重散乱を考慮して p_T を判定することができる. 先行研究において, MC において NSW の飛跡情報を用いて $p_T > 5 \text{ GeV}$ のミュオンを含むように, $d\eta$ を $-0.175 \sim 0.175$ の範囲, $\Delta\theta_{NSW}$ を $-0.015 \sim 0.015 \text{ rad}$ の範囲で CW の開発が作成された [14]. 図 3.20 に NSW の $\Delta\eta_{NSW}$ と $d\eta$ を用いた CW の例を示す.

TGC EI とのコインシデンスアルゴリズム

$1.05 < |\eta| < 1.3$ の Large Sector では, TGC BW で再構成された飛跡の位置と TGC EI のヒット位置の差を用いたコインシデンスをとる (EI Coincidence). 3.2.2 節で述べたように, TGC EI は高輝度 LHC において Doublet から Triplet にアップグレードされる予定であり, ワイヤー及び

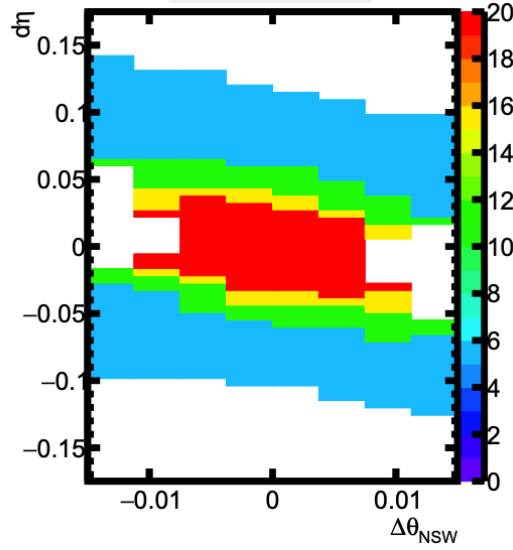


図 3.20 : NSW Coincidence における Coincidence Window の例 [14].

ストリップから読み出しを行ってその全ヒット情報を用いたコインシデンスが可能である。EI で得られた情報は Endcap SL にて TGC BW のロジックと同様に Station Coincidence (3.3.1 節) をとったのち、 η , ϕ 位置を用いたコインシデンスをとることを予定している。

ここでは、先行研究 [2][14] において開発されている η 位置情報を用いたコインシデンスについて述べる。TGC BW で再構成された飛跡の η 位置 (η_{BW}) と TGC EI における η 位置 (η_{EI}) の差 $|d\eta|$ を次のように定義する。

$$|d\eta| = |\eta_{BW} - \eta_{EI}| \quad (3.2)$$

図 3.21 に TGC EI 分解能における $|d\eta|$ と p_T の相関及び $|d\eta|$ の閾値を示す。 p_T の低いミュオンは磁場により大きく η 方向に曲げられるため、 p_T 閾値周辺のミュオンが通過した時の $|d\eta|$ の分布に対して閾値を設けることで低い p_T のミュオンによるトリガーを削減する。

RPC BIS78 とのコインシデンスアルゴリズム

$1.05 < |\eta| < 1.3$ の Small Sector では、TGC BW で再構成された位置情報と RPC BIS78 における位置情報を用いたコインシデンスをとる (RPC Coincidence)。RPC BIS78 とのコインシデンスにおいては、Run-3 で A-side において用いられるものと同様に η 及び ϕ 位置の差を用いたコインシデンスをとる。TGC BW でのヒット位置 (η_{TGC}, ϕ_{TGC}) と RPC BIS78 でのヒット位置 (η_{RPC}, ϕ_{RPC}) の差を以下のように定義する。

$$d\eta = \eta_{TGC} - \eta_{RPC} \quad (3.3)$$

$$d\phi = \phi_{TGC} - \phi_{RPC} \quad (3.4)$$

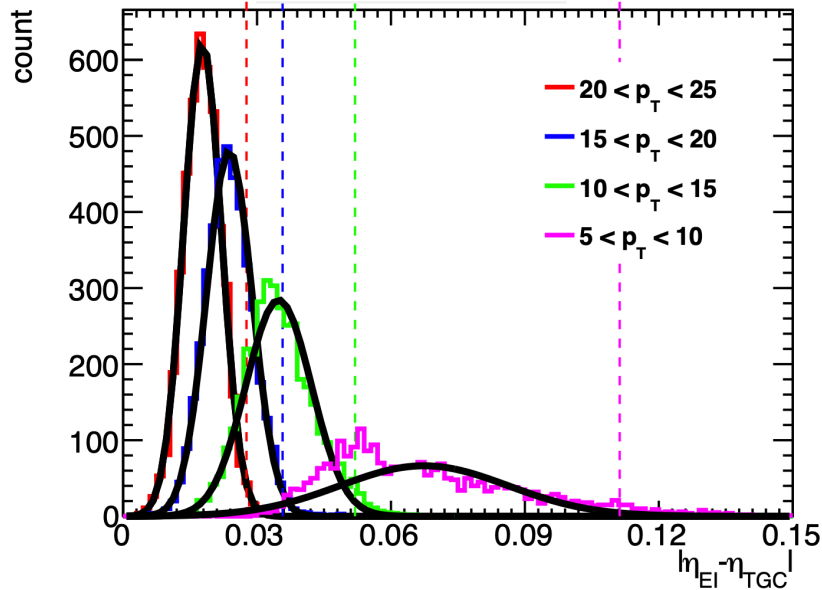


図 3.21 : EI Coincidence における $d\eta$ の p_T による分布の違いと $d\eta$ の閾値^[14]. 点線が各 p_T 閾値に対して与える $d\eta$ の閾値を示す.

RPC BIS78 とのコインシデンスアルゴリズムの概要を図 3.22 に示す.

RPC BIS78 が存在する Small Sector 領域ではトロイド磁石が位置することから、磁場の向きの不均一性が著しく、ミュオンは ϕ 方向にも曲がる. RPC BIS78 を通過するミュオンが TGC BW のヒット位置との間に生じる $|d\eta|$, $|d\phi|$ の分布を図 3.23 に示す. 理想的なトロイド磁場においては η 方向にしか曲がらないミュオンが ϕ 方向にも同程度に曲がっていることがわかる. このようにミュオンの p_T と η 及び ϕ との相関があることから、 $d\eta$, $d\phi$ を用いた CW を適用してフェイクトリガーの削減及び p_T の判定を行う. 本研究で行った CW の開発については 3.4.2 節で詳しく述べる.

3.3.2 節で述べたようにミュオンの磁場領域に対する入射角が広がりを持つことから、磁場領域に入射する際の角度 $\Delta\theta_{RPC}$ と $d\eta$, $\Delta\phi_{RPC}$ と $d\phi$ の相関を用いることによる性能の更なる向上も今後行う予定である.

Tile カロリメータとのコインシデンスアルゴリズム

Tile カロリメータを用いたトリガーアルゴリズムでは、Tile カロリメータの D 層を通過する粒子の 99 % がミュオンであることを利用して、D セルに落としたエネルギーに閾値を設け、ミュオンの通過を要求することで、衝突点由来でないミュオンによるトリガーを削減する (Tile Coincidence). 図 3.24 に Tile カロリメータのセルの配置を示す. TGC BW においてトリガーが $1.2 < |\eta| < 1.3$ で発行された場合ミュオンは D6 セルを通過するため、D6 セルに落としたエネルギーを使用してトリガーを判定する. TGC BW においてトリガーが $1.05 < |\eta| < 1.2$ で発行された場合、ミュオンは D5・D6 セルの 2 つを通過する可能性があるため、D5・D6 セルに

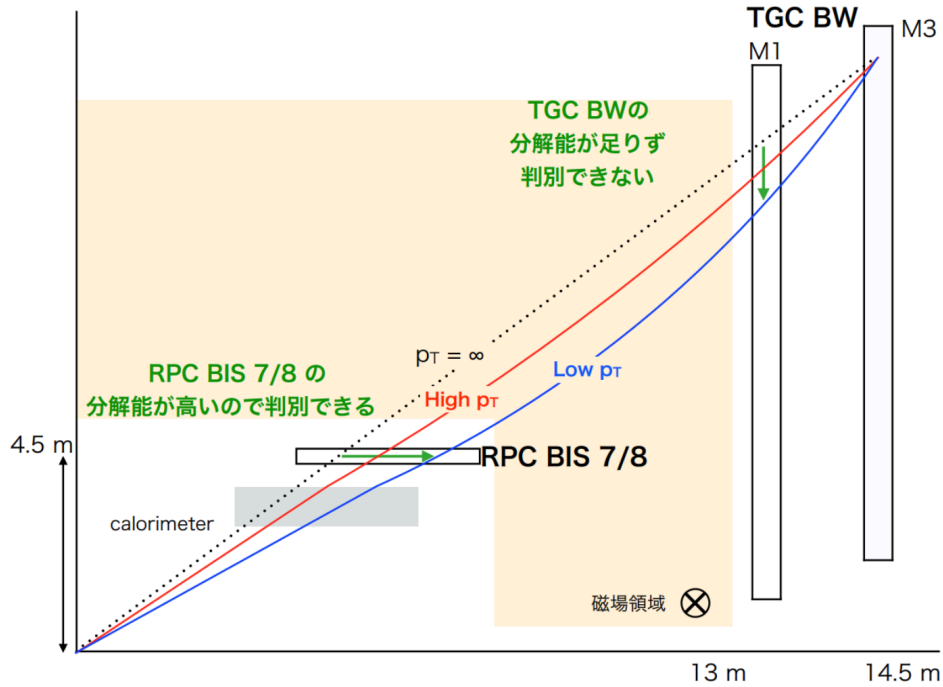


図 3.22 : RPC BIS78 における位置情報を用いたトリガーアルゴリズムの概要図 [24]. 図は η 方向について述べたものであるが, ϕ 方向についても同様の関係性があり, トリガーアルゴリズムとして用いることができる.

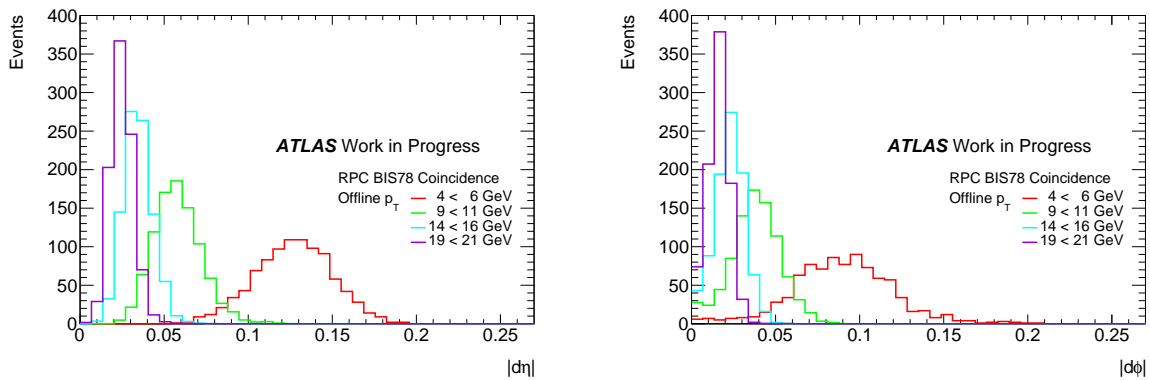


図 3.23 : RPC BIS78 と TGC BW の間で生じる $|d\eta|$ (左) 及び $|d\phi|$ (右) の p_T ごとの分布. どちらもヒストグラム間でイベント数を規格化している. ϕ 方向にも η 方向と同程度に曲がるのがわかる.

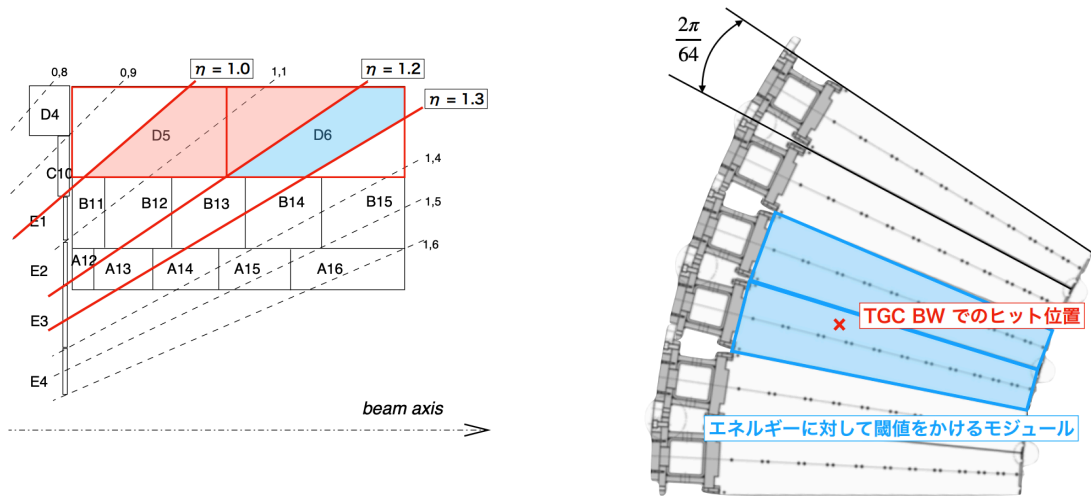


図 3.24 : Tile Coincidence の概要図 [2]. (左) TGC BW の $1.2 < |\eta| < 1.3$ の領域でトリガーが発行された場合, D6 セルのエネルギーに対して閾値をかけ, コインシデンスをとる. $1.05 < |\eta| < 1.2$ の場合, D5・D6 の2つのセルのエネルギーの合計に対して閾値をかける. (右) p_T 閾値 20. 15 (10, 5) GeV では TGC BW で発行したトリガーの ϕ 位置に対して最も近い 2 (3) つのモジュールのいずれかとのコインシデンスを要求する.

落とししたエネルギーの合計を使用してトリガーを判定する. ミューオンの ϕ 方向の曲がり具合を考慮して, TGC BW で発行されたトリガーの ϕ 位置に対して最も近い 2 つ (3 つ) のモジュールの D セルのエネルギーを確認し, いずれかのエネルギーが閾値を超えていればトリガーを発行する [2].

3.3.3 MDT を用いたトリガーアルゴリズム

MDT TP では, レイテンシーの増強を生かして, ドリフト時間が長いために Run-3 まで用いられてこなかった MDT の情報を用いて, TGC BW で再構成された飛跡に対してより高精度なトリガー判定を行う. MDT TP では, Endcap SL において TGC BW 及び磁場内部検出器を用いて再構成されたミュオン飛跡の位置及び角度を用いることで, 飛跡が存在すると想定される小領域に限定した高速な再構成を行うことができる. 図 3.25 に MDT における 2 及び 3 つのステーションを用いた運動量再構成の概念図を示す. 飛跡の位置や p_T を判定したのち, 飛跡候補は Endcap SL に戻され, MUCTPI に送られる.

3.4 高輝度LHCにおける初段ミュオントリガーアルゴリズムの開発

本研究において, 初段ミュオントリガーに用いるアルゴリズムの開発を行った. 以下でそれぞれの開発について述べる.

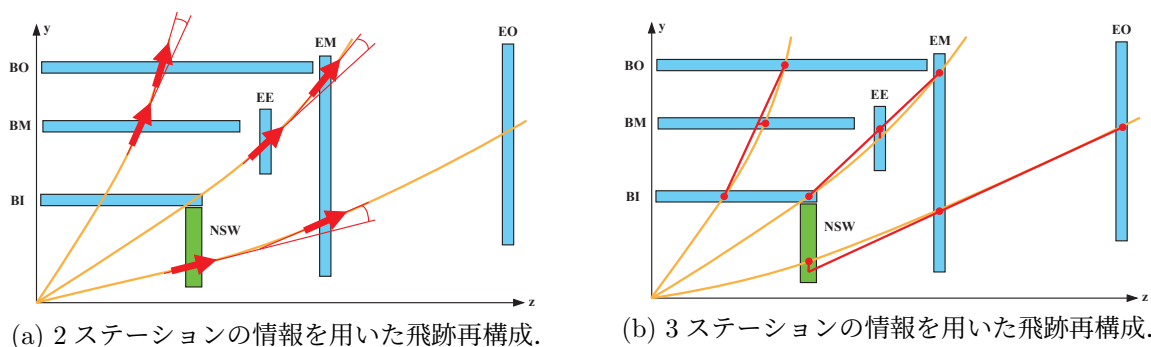


図 3.25 : MDT TP における 2 及び 3 つのステーションを用いた飛跡再構成の概念図. (左) 2 つのステーションを用いた飛跡再構成手法においては, 2 つのステーションにおける飛跡の角度の差分を用いて p_T を判定する. (右) 3 つのステーションを用いた飛跡再構成では, 2 つのステーションの飛跡位置を結ぶ直線に対するもう 1 つのステーションにおける飛跡位置の差を用いて p_T を判定する. エンドキャップ領域においては NSW の情報も用いて判定を行う.

3.4.1 飛跡の位置情報を用いた位置の補正と η 座標の読み出し

ワイヤーにおいて飛跡情報として出力される位置情報は代表点 ID の番号であるが, 後段のトリガーアルゴリズムにおいて位置情報は η で表すことが求められており, 適切な変換を施す必要性がある. 図 3.26 に示すように, ワイヤーの ID は η に対して均一に並んでいない. 更に, 図 3.27 に示すように, TGC BW のワイヤーはチェンバー中心の ϕ に対して垂直な直線上に張られているため, ある代表点 ID の情報が示す η 座標は ϕ によって変化する. 図 3.28 にストリップ代表点の違いによる η の補正量の例を示す. TGC BW におけるワイヤーの代表点 ID の幅は η にして 0.001 程度であり, ϕ による補正量は TGC BW の位置分解能に対して十分影響を及ぼしうる大きさを持つことがわかる. これらを踏まえ, ストリップの代表点位置及びその位置におけるワイヤーの代表点 ID に該当する補正後の η 位置をパターンとして保存しておき, これを出力する.

3.4.2 RPC Coincidence における Coincidence Window の開発

3.3.2 節に述べたように, RPC Coincidence においては, 図 3.23 に示したように TGC BW における飛跡と RPC BIS78 での飛跡との間で η および ϕ 位置の差が生じることから, CW を用いて p_T を判定しフェイクミューオンを削減する. Single Muon MC を用いて, CW の作成を行った. 使用した MC には RPC BIS78 はまだ導入されていないため, 設置予定の領域における真の飛跡情報を用い, これを RPC BIS78 から送信されるデータの分解能で smearing することで, RPC BIS78 の飛跡情報を再現した. CW の作成においては, 磁場が非一様であることから場所によりミューオンの曲がり方が異なるため, RPC とコインシデンスを取る領域を分割してそれぞれに CW を作成することが望ましい. 一方で, MC の統計量が限られており細分化しすぎると Window に多くの穴が生じてしまいかえって検出効率を落とすほか, 細分化することでファームウェア

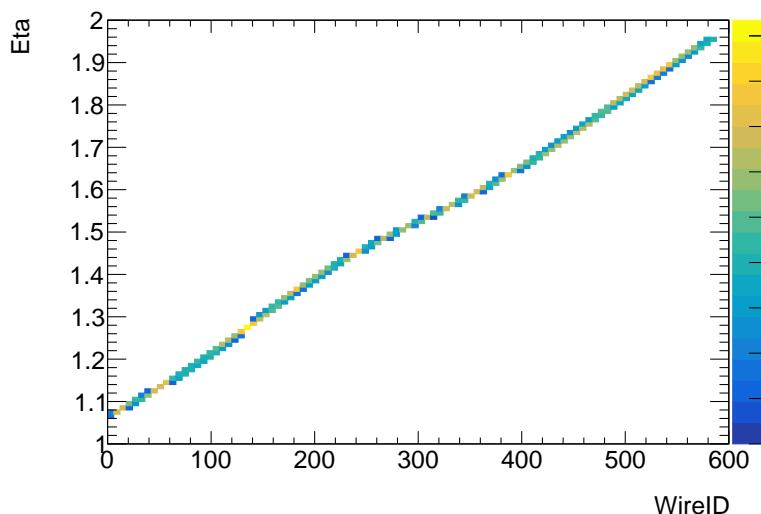


図 3.26 : エンドキャップ領域におけるワイヤーの代表点 ID に対する η の分布. 線形な関係性を持たない.

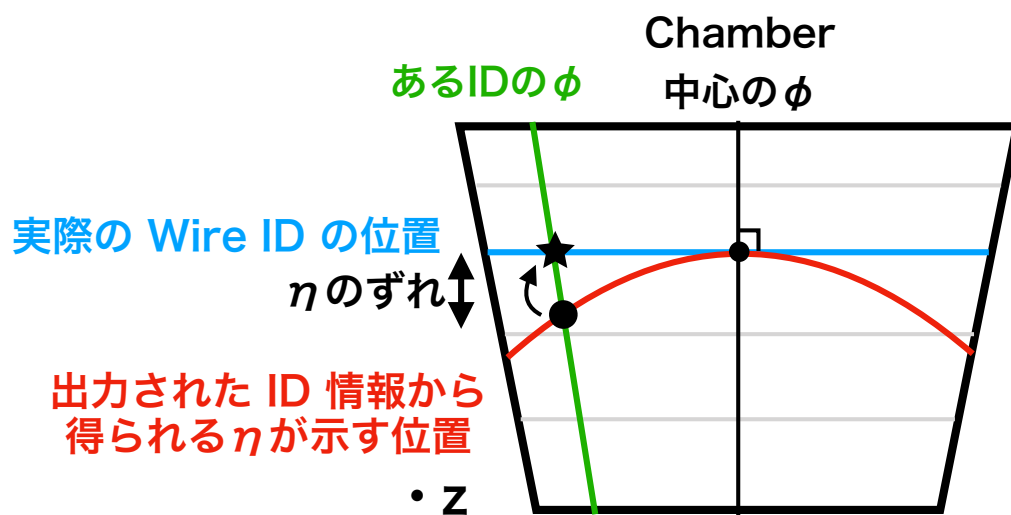


図 3.27 : ϕ 方向の位置によって生じる実際の η 位置とのずれの概念図. ワイヤーがチェンバー内で直線状に張られているために, チェンバー内の ϕ 位置によってワイヤー情報から画一的に求めた η との間にずれが生じる.

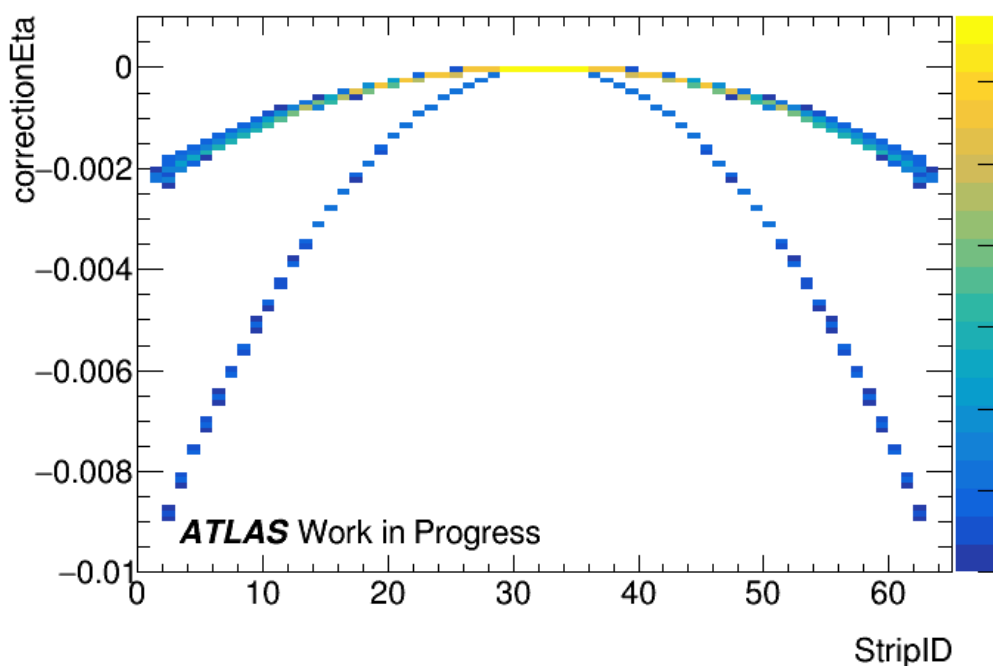
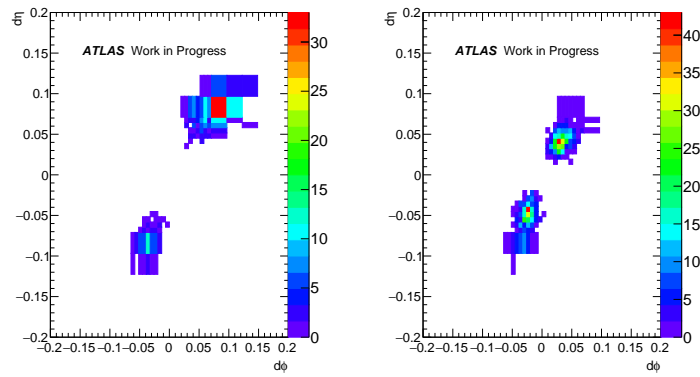


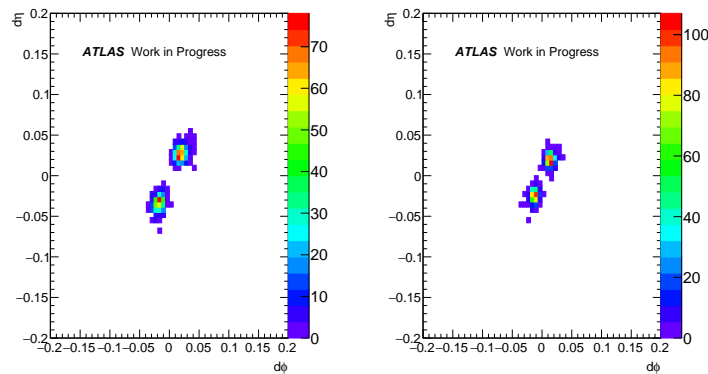
図 3.28 : ある領域における, ワイヤ代表点 ID に対応する画一的な η に対するストリップの代表点 ID 位置における実際の η の補正量. 傾きの小さい曲線はエンドキャップ領域のもの, 傾きの大きい曲線はストリップ代表点の幅が広いフォワード領域のものを示している.

の実装におけるリソースが増大することを踏まえて, 領域の分割を最適化する必要がある. 本研究では, η 方向に 5 グループ, ϕ 方向に 8 グループに分けた各領域において CW を定義した. CW は $p_T > 5 \text{ GeV}$ のミュオンを含むように, $d\eta$ を $-0.2 \sim 0.2$, $d\phi$ を $-0.2 \sim 0.2 \text{ rad}$ の範囲で作成した. CW のビン分けについては 3.4.2 節で後述する. CW の作成は, 先行研究における BW での CW 作成方法を参考にした [2]. 手順を以下に示す.

- 1) 図 3.29 のように, 各 5, 10, 15, 20 GeV の p_T 閾値に対して前後 1 GeV 以内の p_T を持つミュオンが通過した場合の $d\eta$, $d\phi$ の 2 次元分布を作成する. この 2 次元分布においてエントリー数の多いマスから順に, 全体のエントリー数の 99 % 以上となるまでマスを集め, これを Window とする.
- 2) 磁場の強い領域では p_T が 20 GeV でもミュオンがある程度曲げられた結果 Window の中心に穴が開く場合があり, これによってより高い p_T を持つミュオンの検出効率が低下する. そのため, 図 3.30 のように 20 GeV の Window に対し p_T が 40, 60, 80 GeV 付近のミュオンについて同様に作成した Window を加える. ここで作成した各 p_T 閾値の Window を図 3.31 に示す.
- 3) p_T 閾値の小さい Window から順に重ね合わせることで, その領域での CW を作成する. 作成した CW を図 3.32a に示す.



(a) p_T 5 GeV の $d\eta \cdot d\phi$ の分布. (b) p_T 10 GeV の $d\eta \cdot d\phi$ の分布.

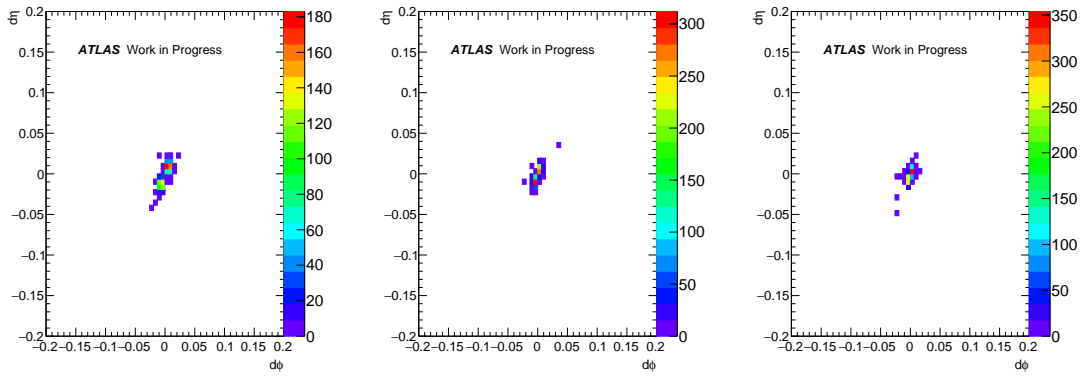


(c) p_T 15 GeV の $d\eta \cdot d\phi$ の分布. (d) p_T 20 GeV の $d\eta \cdot d\phi$ の分布.

図 3.29 : RPC Coincidence における各 p_T 閾値のミュオンの分布. 電荷ごとにミュオンが分布しており, p_T が低いミュオンほど曲がり具合が大きい. 20 GeV でもミュオンはある程度曲がるため, 中心部を通過するより高い p_T を持つミュオンに対しては検出効率が下がる.

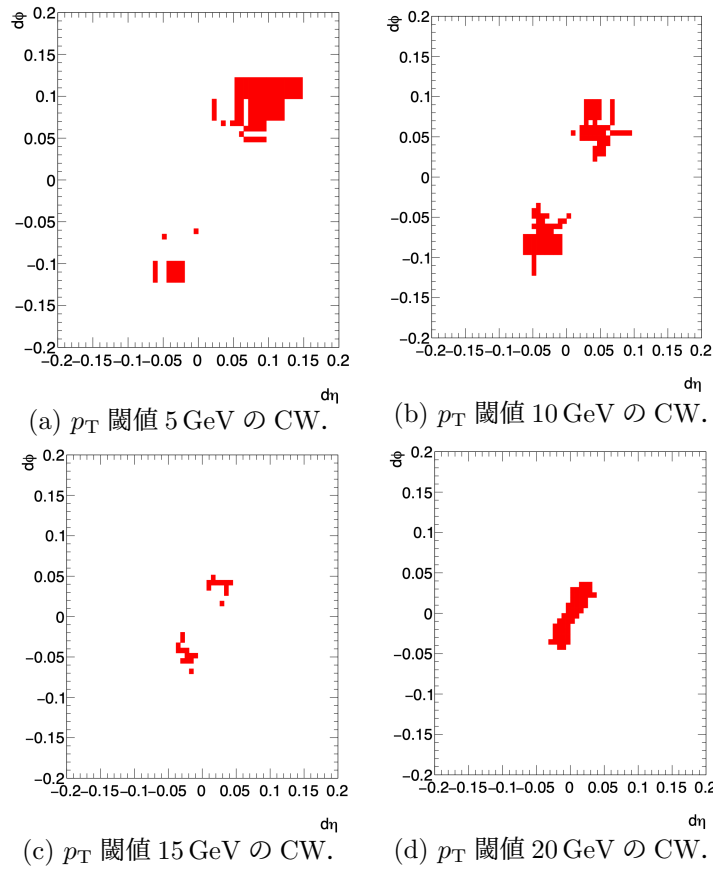
- 4) MC の統計が少ないことにより CW には穴が空いてしまっている領域が存在していたり, 非常に稀なイベントによって離れた位置に CW のマスが開いている場合がある. そこで, CW が正しく判定できるよう CW を滑らかにするため 2 つの処理を行う. まず, 2 つのエントリーがあるマスに挟まれているマスを Window として開くようにする. 次に, あるマスについて周りの全てのマスの p_T 閾値が低い場合には p_T 閾値を 1 段階下げる. これらの処理を行った後の CW を図 3.32b に示す.

以上の手順で作成した CW を用いて, 測定された飛跡の $d\eta$ と $d\phi$ から p_T を判定する. 図 3.33 に領域ごとの CW の例を示す. 領域によってトロイド磁石の影響を受けて ϕ 方向を含め曲がり方が異なることがわかる. 磁場によってミュオンが曲がることから, CW は RPC BIS78 の存在領域の外側についても設定している. 全領域における CW については付録 B.2 に示す.



(a) p_T 40 GeV の $d\eta \cdot d\phi$ の分布. (b) p_T 60 GeV の $d\eta \cdot d\phi$ の分布. (c) p_T 80 GeV の $d\eta \cdot d\phi$ の分布.

図 3.30 : 20 GeV の Window に足し合わせる各 p_T のミュオンの分布. これらを足し合わせるにより 20 GeV の Window で中心部に生じた穴を埋める.



(a) p_T 閾値 5 GeV の CW.

(b) p_T 閾値 10 GeV の CW.

(c) p_T 閾値 15 GeV の CW.

(d) p_T 閾値 20 GeV の CW.

図 3.31 : p_T 閾値 5, 10, 15, 20 GeV の CW.

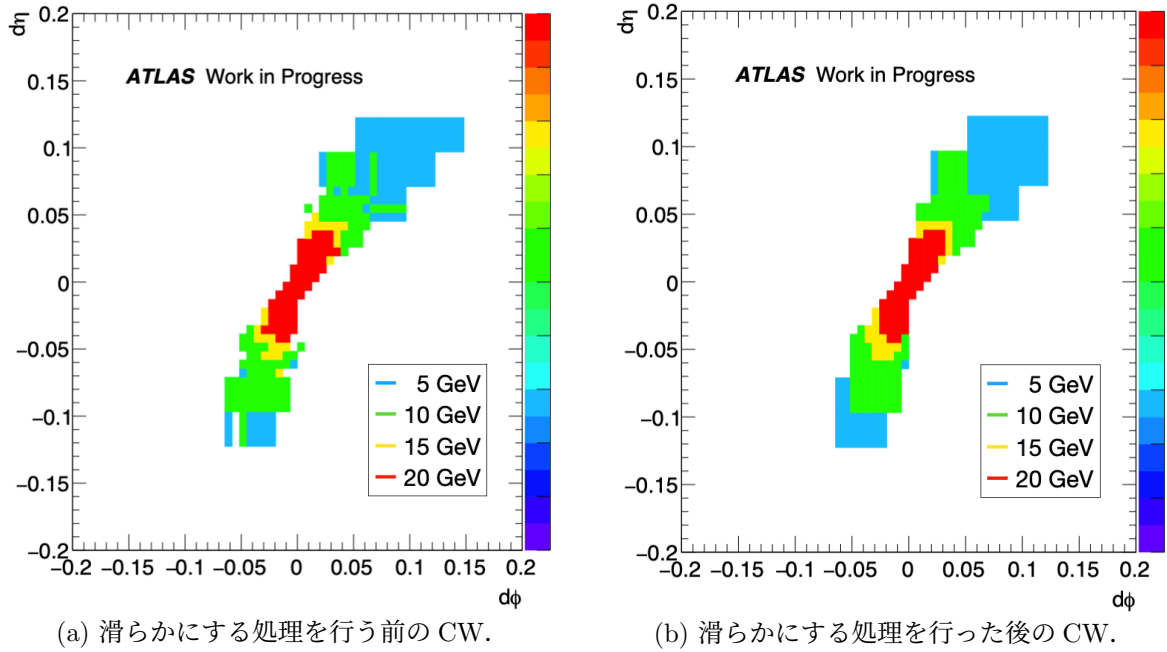


図 3.32 : 滑らかにする処理の前後の CW の例. 統計が少ないことで生じた穴や非常に稀なイベントによって開き過ぎているマスを閉じることができている.

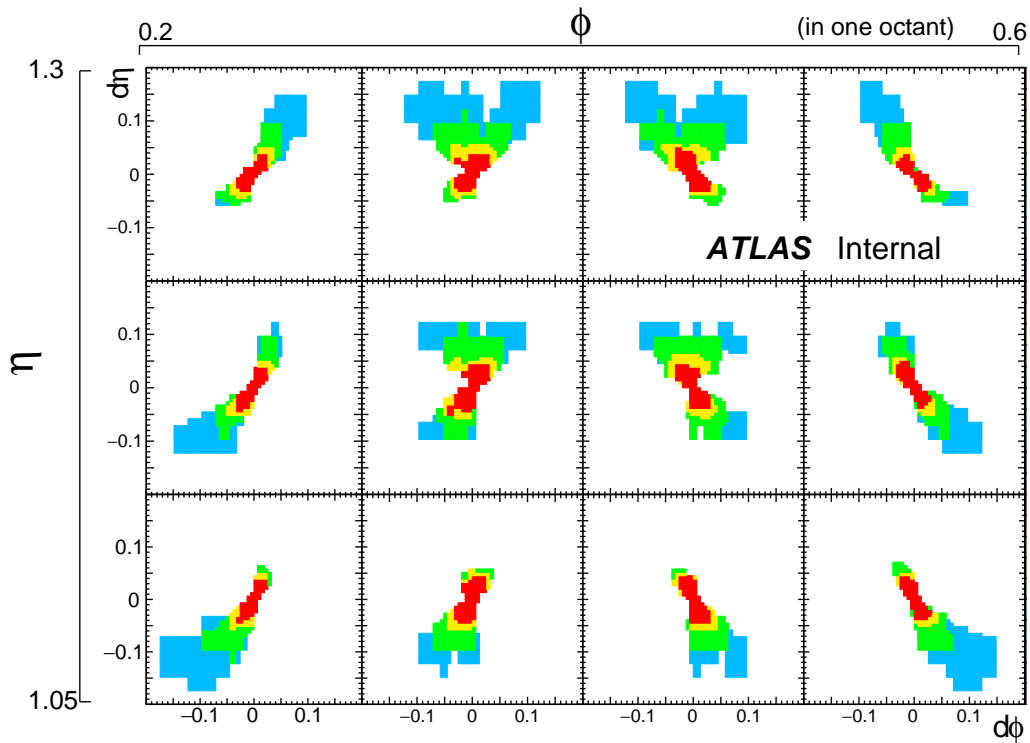


図 3.33 : RPC BIS78 の存在領域における CW の例. RPC BIS78 存在領域は η 方向に 3 つ, ϕ 方向に 4 つ分の領域に相当する. 領域による $d\eta$, $d\phi$ の分布の違いが見えている.

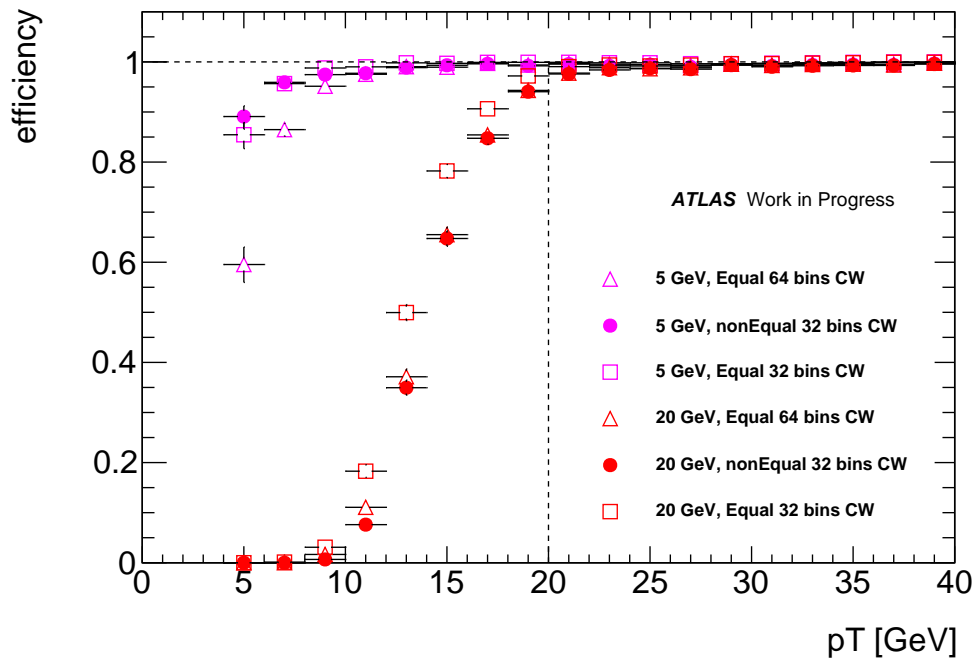


図 3.34 : ビンの設定ごとの p_T 閾値 5, 20 GeV に対する p_T ごとの検出効率の分布. 塗りつぶした丸で示した一定でないビン幅を用いた CW において, p_T 閾値付近での検出効率と, 高い p_T 閾値における低い p_T のミュオンを排除する精度を両立していることがわかる.

CW のビン幅の設定

CW の 1 マスの幅は各変数 ($d\eta$, $d\phi$) の分解能と同程度のもので飛跡に対して最も細かく p_T を判定できると考えられる. TGC と RPC BIS78 の η 位置分解能はそれぞれ 1×10^{-3} と 4×10^{-4} , ϕ 位置分解能はそれぞれ 6×10^{-4} rad と 1×10^{-3} rad であることから $d\eta$, $d\phi$ の分解能はそれぞれ 1×10^{-3} 程度である. しかし, この分解能に従って分割すると統計数が少ないために CW に穴が生じ検出効率が低下してしまう他, FPGA のリソース上も可能な使用量を大きく上回るという問題がある. 特に低い p_T のものは Window 作成の都合上イベント数が少なくなりやすく, また分布も広がりやすいため, ビンを広くすることが必要である. 一方で, 同じビン幅を高 p_T のミュオンが集まる中心部に対して適用すると, 高 p_T の Window が低い p_T のミュオンを通してしまい, レートが高くなってしまふ. これらに対する解決案として, RPC の CW は中心部を小さいビン幅, 周辺部を 4 倍のビン幅という非等間隔に設定することでリソース及び統計量と p_T 分解能が両立できる可能性がある. 本研究では 32 ビンを等幅に設定したもの, 32 ビンで中心のみビン幅が小さいもの, 64 ビンを等幅に設定したものを設定し, これを比較した. 検出効率は TGC BW でトリガーを発行し, かつ RPC BIS78 を通過したミュオンに対する p_T 閾値を超えたミュオンの数の relative efficiency で与える. 図 3.34 に各設定での CW を用いて得られる p_T 閾値 5, 20 GeV における p_T ごとの検出効率を示す.

非等間隔な 32 ビンの CW は, p_T 閾値 20 GeV において閾値より低い p_T を削りながら閾値より

高い p_T で高い検出効率を保ち、また p_T 閾値 5 GeV において閾値付近での検出効率が最も高く、リソースを削減しながら高い性能を出すことができる。このことから、中心部のみビン幅が小さく 32 ビンを持つ CW を採用することとした。ただし、今後 MC で更なる統計を用いて CW を作る際には、それに応じて領域やビンの分割手法については適宜最適化が必要である。

第4章 高輝度LHCにおける初段ミュオントリガーの性能評価

TGC BW におけるミュオンの再構成アルゴリズム (3.3.1 節) と、新たに開発・最適化を行った RPC BIS78 を含めた磁場領域の内側にある検出器を用いたトリガーアルゴリズム (3.3.2 節), およびこれらを組み合わせたトリガーの検出効率・トリガーレートの評価を行った. 検出効率の評価では Single Muon MC を, トリガーレートの評価では実データを使用した. 実データを用いる際には, MDT などにおける飛跡情報を用いてデータには存在しない検出器の測定分解能を再現する. NSW と TGC EI については, 設置される予定の領域にデータを取得した Run-2 時点で設置されている MDT と TGC での飛跡情報を組み合わせて, 高輝度 LHC での TGC EI Triplet と NSW の分解能で測定された飛跡情報を再現した. 一方, RPC BIS78 については現段階においてはレートの正確な評価が難しいため, 今後シミュレーションが用意出来次第評価を進める.

実データを用いる際には, シミュレーションにおける検出器の理想位置に対する実際のアライメントを踏まえたパターンリストを用いて評価を行う.

4.1 モンテカルロシミュレーションを用いた検出効率の評価

4.1.1 各トリガーアルゴリズムの検出効率の評価

Wire-Strip Coincidence における検出効率

Single Muon MC を用いて, 先行研究^[2]において開発された TGC BW における角度情報を用いた CW の検出効率を評価した. 検出効率は, オフラインで再構成したミュオンの p_T の分布について p_T 閾値 20, 15, 10, 5 GeV 以上と判定されたミュオンの割合で定義した. 図 4.1 に, CW を用いた TGC BW での飛跡検出効率を示す. 高い p_T に対する検出効率を保ちつつ, 閾値より低い p_T のミュオンを削減できていることがわかる.

Inner Coincidence における検出効率

TGC BW で再構成されたミュオン飛跡について, Inner Coincidence をとった時の検出効率を評価した. 検出効率は, TGC BW において再構成され各検出器とコインシデンスをとったミュオンのオフラインで再構成された p_T ごとの分布について, 閾値以上の p_T を持つと判定された割合によって評価した.

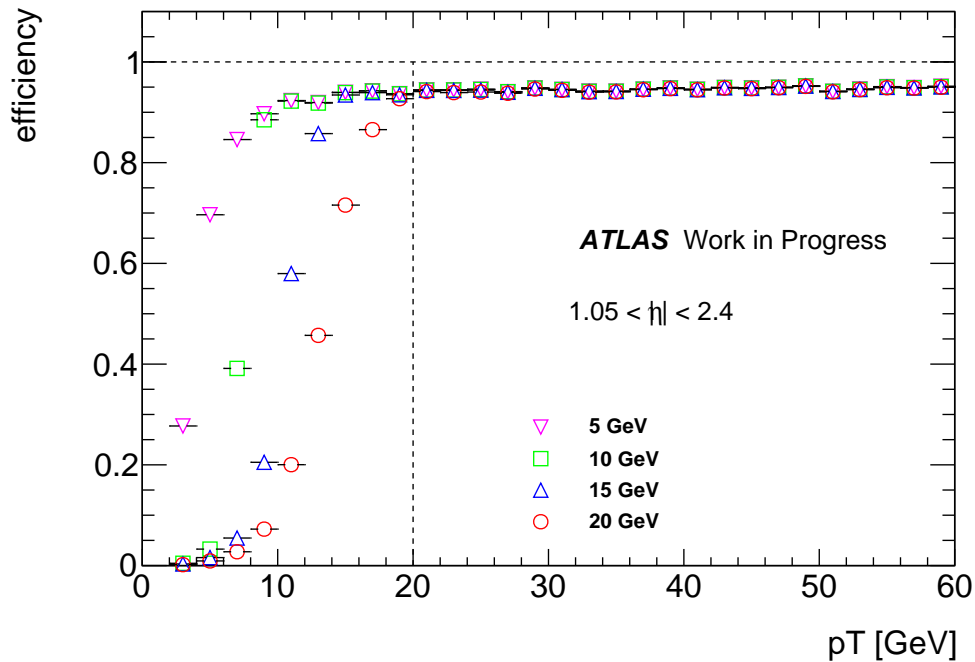


図 4.1 : 各 p_T 閾値での CW の検出効率.

NSW Coincidence における検出効率

先行研究 [14] にて開発された CW を用いて NSW とコインシデンスをとった場合の p_T ごとの検出効率を図 4.2 に示す.

EI Coincidence における検出効率

先行研究 [2][14] で設定された $d\eta$ 閾値により EI Coincidence をとったミュオンの p_T ごとの検出効率を図 4.3 に示す.

RPC Coincidence における検出効率

本研究で開発した CW を用いて RPC Coincidence をとった際の p_T 閾値 20, 15, 10, 5 GeV におけるミュオンの p_T ごとの検出効率を図 4.4 に示す. 作成した CW を用いることで, p_T 閾値 20 GeV において Plateau efficiency を 99.7% に保ちながら低い p_T を削減することができる.

4.1.2 領域ごとの検出効率の評価

Single Muon MC を用いて, エンドキャップ部初段ミュオントリガーの TGC BW における飛跡再構成から Inner Coincidence までの全トリガーアルゴリズムを施した後のミュオン p_T 閾値 20, 15, 10, 5 GeV での検出効率を評価した. 図 3.17 に示すように, $|\eta| < 1.3$ 領域と $1.3 < |\eta|$ ではコインシデンスをとる内部検出器が大きく違うため, それぞれの領域に分けて検出効率の評価を行った. 検出効率は, オフラインで再構成したミュオンの p_T の分布について閾値以上の p_T

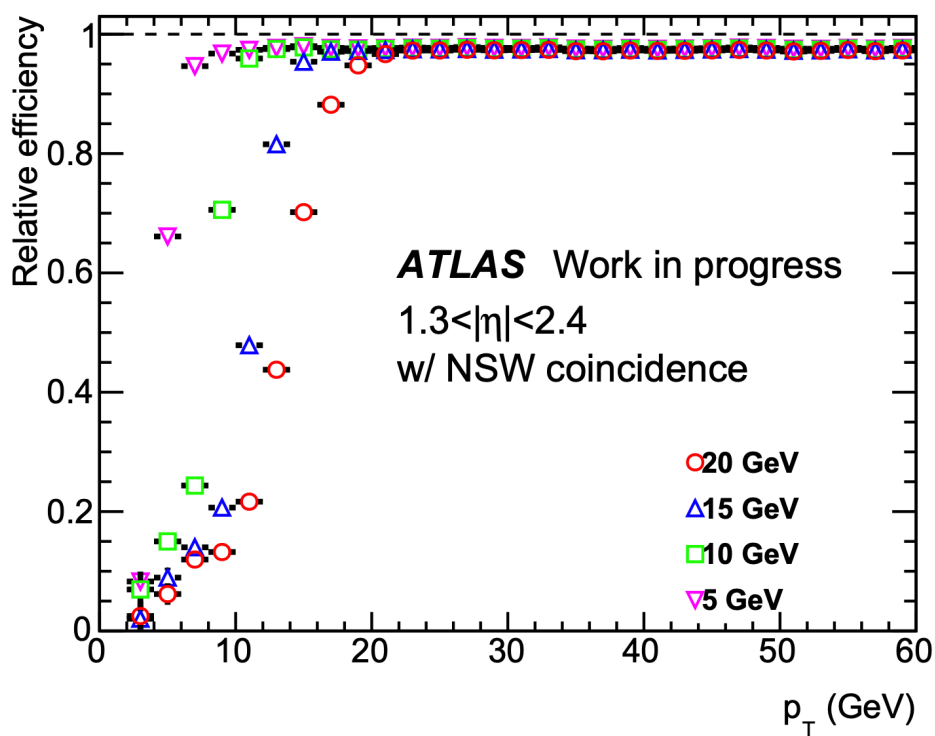


図 4.2 : NSW Coincidence をとったミュオンの p_T ごとの検出効率 [14].

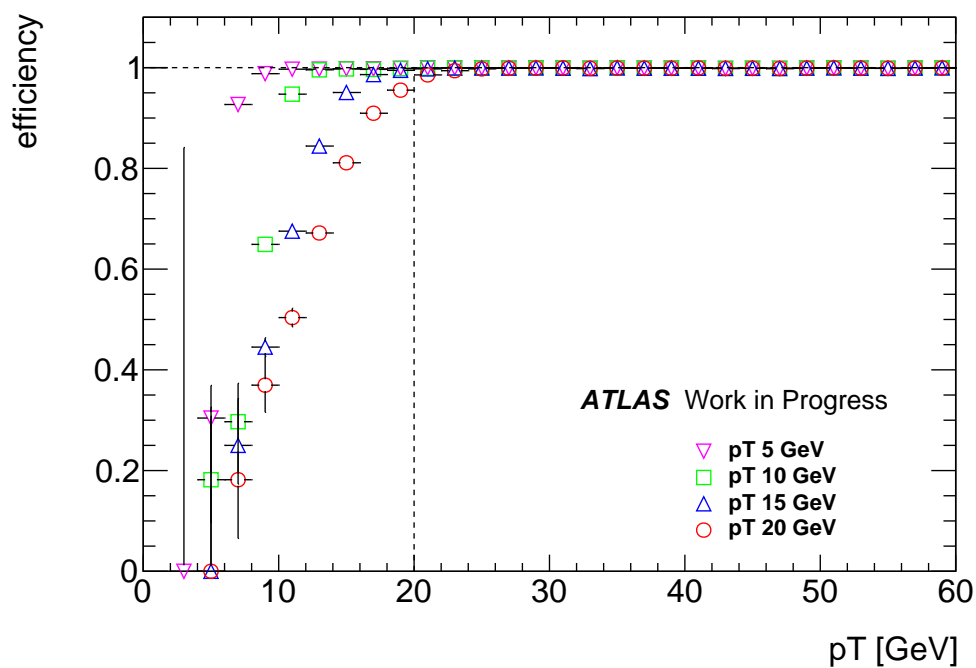


図 4.3 : EI Coincidence をとったミュオンの p_T ごとの検出効率.

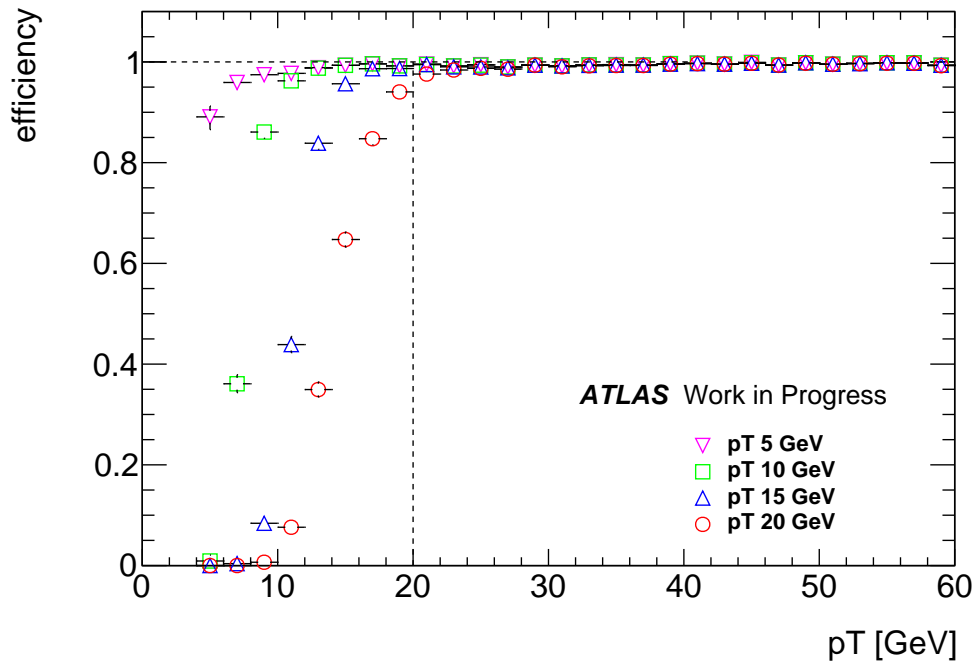


図 4.4 : RPC Coincidence をとったミュオンの p_T ごとの検出効率.

をもつと判定されたミュオンの割合で定義した. 4段階で設定した p_T 閾値ごとの検出効率は以下のフェルミ分布関数でフィッティングして評価した.

$$f(p_T) = \frac{\epsilon}{e^{\frac{p_T - \mu}{\sigma}} + 1} \tag{4.1}$$

- ϵ : Plateau efficiency (プラトー領域での検出効率)
- μ : Effective threshold ($f(p_T) = \epsilon/2$ となる p_T の値で, p_T 閾値を示す量)
- σ : Resolution (立ち上がりの鋭さ)

$|\eta| < 1.3$ における検出効率

$1.05 < |\eta| < 1.3$ では, TGC BW で p_T を判定後, TGC EI 及び RPC BIS78 と優先的にコインシデンスをとり, 2つの検出器がカバーしていない領域で Tile カロリーメータを用いる. 衝突点付近で $|\eta| \sim 1.05$ のミュオンは磁場で曲げられることにより TGC で再構成可能な飛跡を残さないことが多くあり, これにより検出効率が正しく評価できないことから, $|\eta| < 1.3$ 領域について効率を判定する際のオフラインミュオンは $1.1 < |\eta| < 1.3$ のもののみを用いる. 図 4.5 に $1.1 < |\eta| < 1.3$ に p_T 閾値ごとの検出効率を示すとともに, 表 4.1 にフィッティングにより得られたパラメータを示す.

低い p_T のミュオンによるトリガーを削減しつつ, 閾値以上のミュオンに対して高い検出効率を保っていることがわかる.

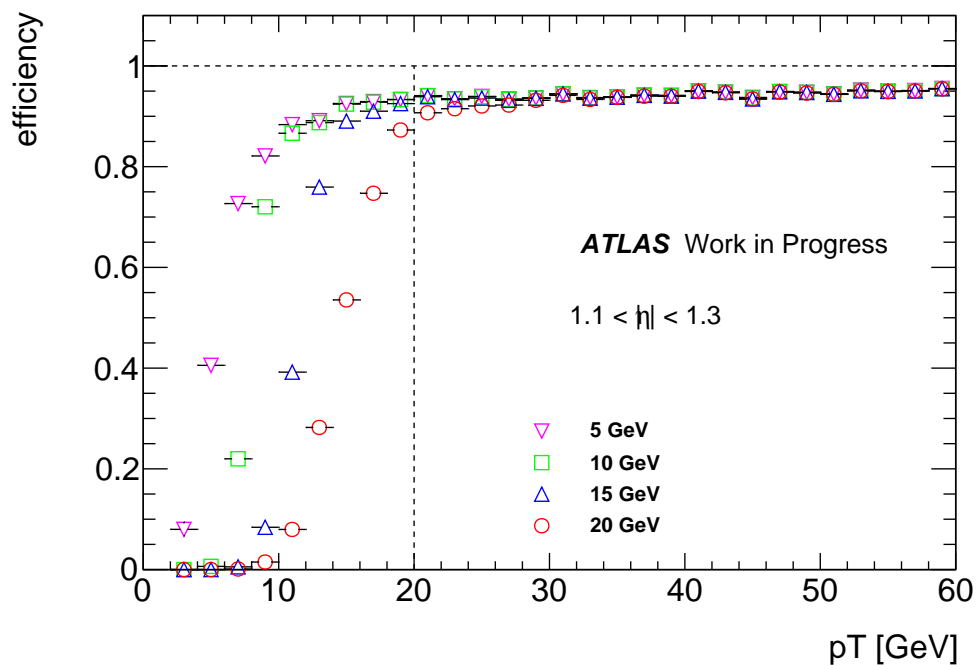


図 4.5 : 5 - 20 GeV の各 p_T 閾値での $1.1 < |\eta| < 1.3$ における検出効率. パラメータは表 4.1 に示す.

表 4.1 : 5 - 20 GeV の各 p_T 閾値についての $1.1 < |\eta| < 1.3$ および $1.3 < |\eta| < 2.4$ 領域での検出効率のフィッティングの結果.

p_T 閾値 [GeV]	$1.1 < \eta < 1.3$				$1.3 < \eta < 2.4$			
	5	10	15	20	5	10	15	20
Plateau efficiency [%]	94.1	93.9	94.0	93.9	94.9	95.1	95.1	94.9
Effective threshold [GeV]	5.4	8.1	11.5	14.7	5.1	8.5	11.9	14.9
Resolution [GeV]	1.77	0.86	1.06	1.59	0.81	0.72	1.00	1.36

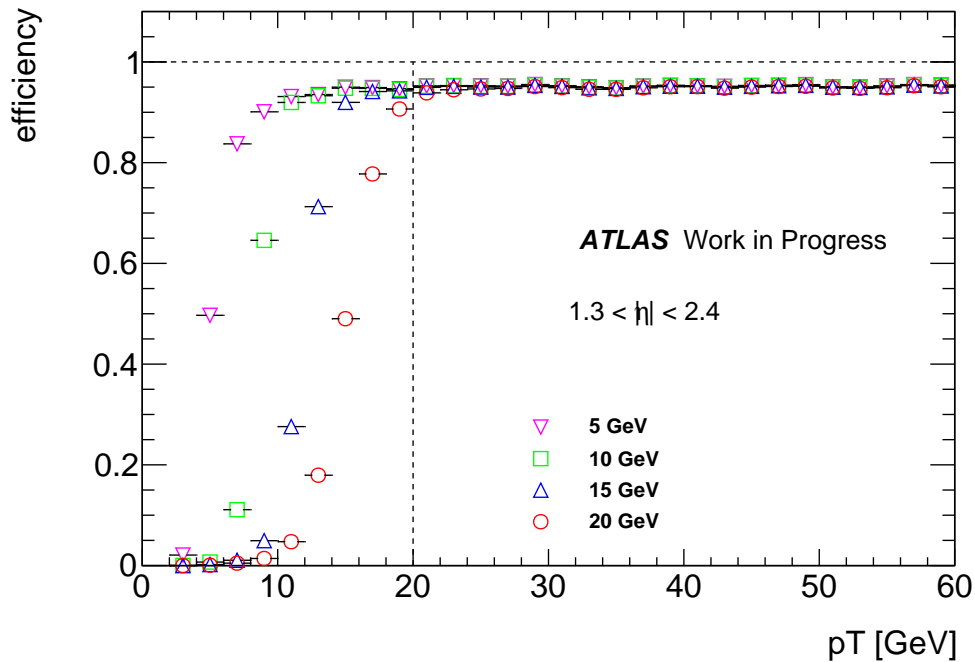


図 4.6 : 5 - 20 GeV の各 p_T 閾値での $1.3 < |\eta| < 2.4$ における検出効率. パラメータは表 4.1 に示す. MC のジオメトリに由来する効率の低下を防ぐカットをかけている.

$|\eta| > 1.3$ における検出効率

$1.3 < |\eta| < 2.4$ では, TGC BW で p_T を判定後, NSW で再構成された飛跡情報を用いてコインシデンスをとる. ただし, 用いた MC の検出器は Run-2 時点のものであるため, NSW の代わりに $|\eta| < 1.9$ に MDT が, $|\eta| > 1.9$ に CSC が設置されている. またこれらの間にはギャップが存在するため, $1.9 < |\eta| < 2.1$ を評価対象から外す. また, CSC の不感領域にきたミュオンについても同様に取り除く.

$1.3 < |\eta| < 2.4$ における各 p_T 閾値での検出効率を図 4.6 に示すとともに, 検出効率をフィッティングにより得られたパラメータを表 4.1 に示す. 低い p_T のミュオンによるトリガーを削減しつつ, 閾値以上のミュオンに対して 94.9% と高い検出効率を保つことがわかる.

エンドキャップ・フォワード領域全体の検出効率

これらを合わせた $1.05 < |\eta| < 2.4$ のエンドキャップ・フォワード領域全体での p_T 閾値ごとの検出効率を図 4.7 に示し, フィッティングにより得られた検出効率を表 4.2 に示す. 低い p_T のミュオンを削減しながら閾値以上のミュオンに対して 93.7% と高い検出効率を保っている.

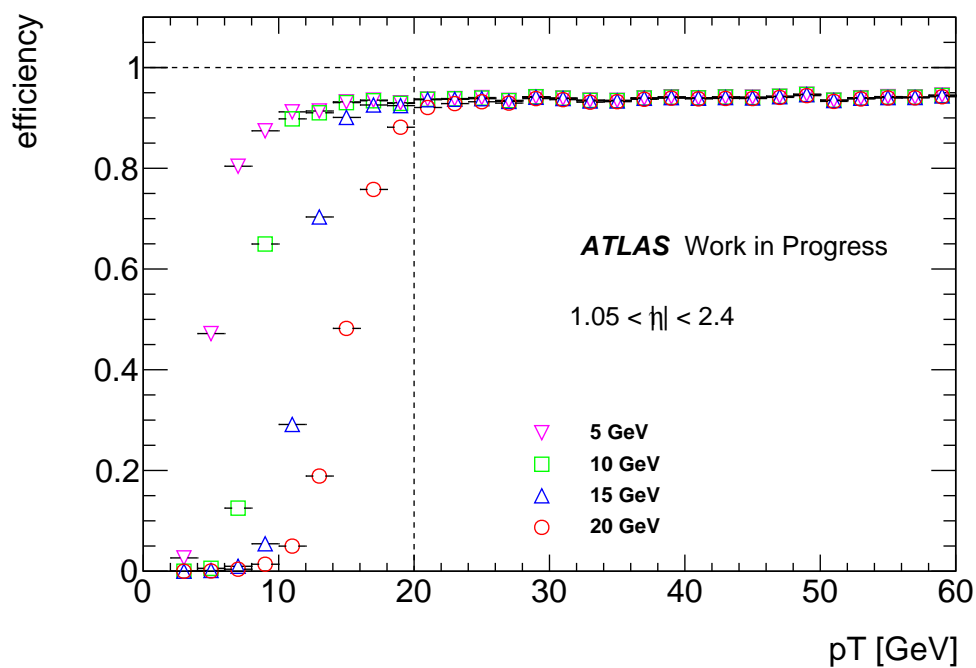


図 4.7 : 5 - 20 GeV の各 p_T 閾値での $1.05 < |\eta| < 2.4$ における検出効率. パラメータは表 4.2 に示す. MC のジオメトリに由来する効率の低下を防ぐカットをかけている.

表 4.2 : 5 - 20 GeV の各 p_T 閾値についての $1.05 < |\eta| < 2.4$ 領域での検出効率のフィッティングの結果.

p_T 閾値 [GeV]	5	10	15	20
Plateau efficiency [%]	93.6	93.7	93.8	93.7
Effective threshold [GeV]	5.2	8.4	11.8	15.0
Resolution [GeV]	0.92	0.75	1.04	1.42

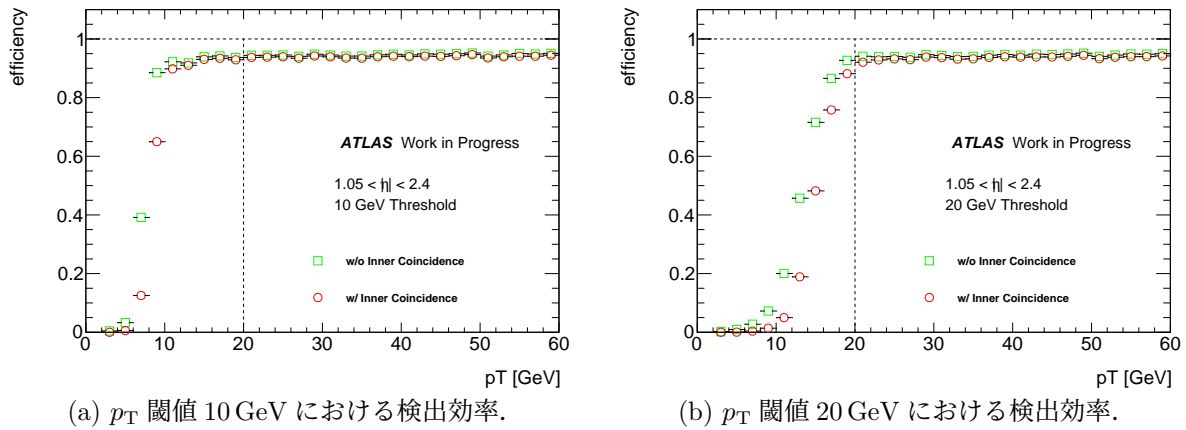


図 4.8 : p_T 閾値 10, 20 GeV におけるミュオンの検出効率. 緑の点が Inner Coincidence 適用前, 赤の点が Inner Coincidence 適用後の結果を示す. 低い p_T のミュオンをより削減しながら高い p_T のミュオンに対する検出効率を保っている.

表 4.3 : 10, 20 GeV の p_T 閾値についての $1.05 < |\eta| < 2.4$ 領域における Inner Coincidence の前後での検出効率のフィッティング結果.

	Inner Coin. 前		Inner Coin. 後	
	10 GeV	20 GeV	10 GeV	20 GeV
Plateau efficiency [%]	94.4	94.5	93.7	93.7
Effective threshold [GeV]	7.2	13.1	8.4	15.0
Resolution [GeV]	0.68	1.66	0.75	1.42

4.1.3 Inner Coincidence の有無による比較

$1.05 < |\eta| < 2.4$ の領域において, TGC BW 単体の情報を用いたアルゴリズムによる再構成と, その後 Inner Coincidence アルゴリズムを適用したものについて検出効率の比較を行った. Inner Coincidence はフェイクミュオンや低運動量のミュオンによる背景事象の削減を大きな目的としている. これを踏まえ, Inner Coincidence 後の出力 p_T は, TGC BW で出力した p_T 以下となるよう設定することで, TGC BW で誤って高い p_T 閾値を通過した飛跡候補の削減に機能を絞って性能を評価する. 図 4.8 に p_T 閾値 10, 20 GeV におけるミュオンの検出効率を示し, フィッティングで得られたパラメータを表 4.3 に示す. Inner Coincidence を施すことで, TGC BW で削りきれなかった背景事象を削減しながら高い p_T での検出効率を高く保っていることがわかる.

4.1.4 Run-3 における検出効率との比較

$1.05 < |\eta| < 2.4$ の領域での, 開発した高輝度 LHC におけるミュオントリガーアルゴリズムと Run-3 において採用予定のトリガーアルゴリズムの検出効率の比較を行った. 図 4.9 に高輝度 LHC 及び Run-3 での p_T 閾値 20 GeV におけるミュオンの検出効率を示し, フィットしたパラ

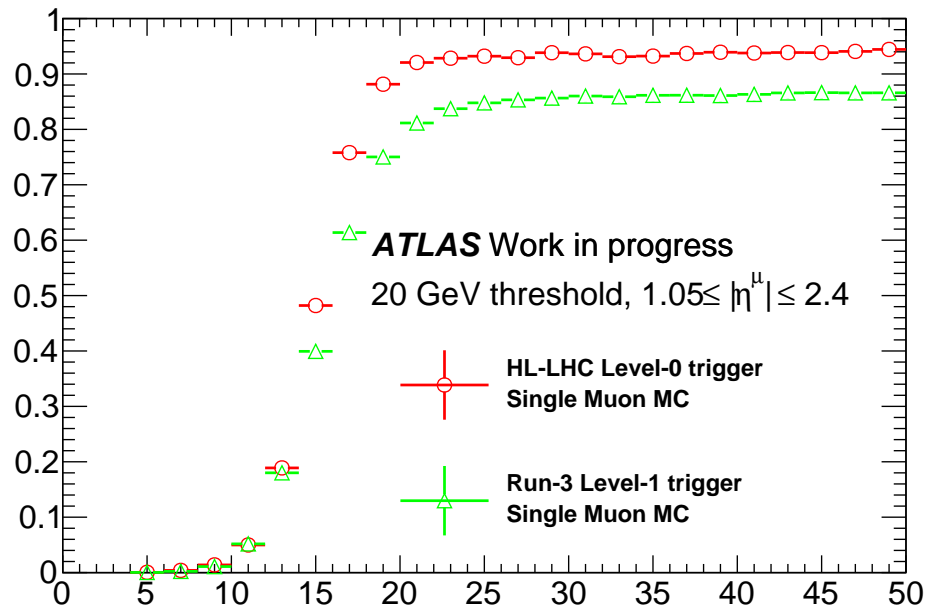


図 4.9 : Run-3 におけるトリガーアルゴリズムと高輝度 LHC のトリガーアルゴリズムを用いた場合の p_T 閾値 20 GeV におけるミュオンの検出効率.

表 4.4 : Run-3 におけるトリガーアルゴリズムと高輝度 LHC のトリガーアルゴリズムを用いた場合の p_T 閾値 20 GeV における検出効率のフィッティング結果.

	Run-3	高輝度 LHC
Plateau efficiency [%]	85.1	93.6
Effective threshold [GeV]	15.2	15.0
Resolution [GeV]	1.48	1.41

メータを表 4.4 に示す. Station Coincidence 後に出力できるヒット点の数の制約がなくなり, 出力する候補数も増加したこと, また磁場内部検出器とコインシデンスを取る際 TGC BW の飛跡情報について 16 倍良い位置分解能の位置情報を用いることができることにより, Run-3 のものと比べて閾値を超えた高い p_T のミュオンの検出効率が大きく高められ, 同時に p_T の低いミュオンの削減効率を維持している.

4.2 実データを用いたトリガーレートの評価

先行研究^[14]において, 2016 年にランダムトリガーで取得したデータを用いた高輝度 LHC における初段ミュオントリガーのレートの評価が行われている. データを用いたレートの評価手法については付録 C に記す. 図 4.10 に, $1.05 < |\eta| < 2.4$ における p_T 閾値 20 GeV でのルミノシティとトリガーレートの関係を示す.

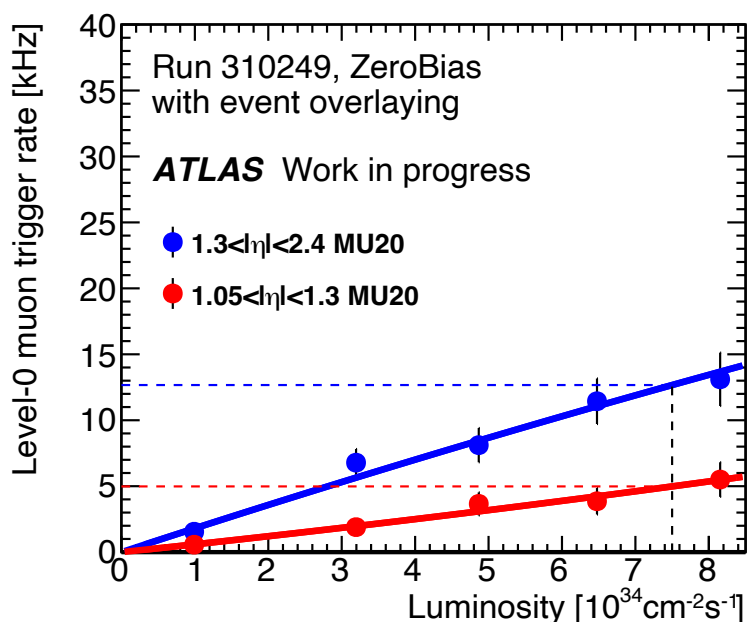


図 4.10 : エンドキャップ及びフォワード領域における p_T 閾値 20 GeV でのルミノシティとトリガーレートの関係 [14]. 高輝度 LHC で予定されているルミノシティ ($7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$) は黒い点線で示されている. 図中では二次関数でフィッティングを行っており, トリガーレートはルミノシティに対して線形性を示している.

表 4.5 : 高輝度 LHC で予想される瞬間ルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ におけるエンドキャップ及びフォワード領域での 5 - 20 の各 p_T 閾値のトリガーレート [14].

p_T 閾値 [GeV]	5	10	15	20
トリガーレート [kHz]				
1.05 < $ \eta $ < 1.3	95	25	11	5.0
1.3 < $ \eta $ < 2.4	296	57	18	13
1.05 < $ \eta $ < 2.4	391	81	29	18

トリガーレートはルミノシティに対して線形性を示している. 高輝度 LHC で予想されるルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ での各 p_T 閾値のトリガーレートを, 図 4.11 と表 4.5 に示す.

Run-3 におけるトリガーレートとの比較

Run-3 の瞬間ルミノシティ $2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ の環境下においては, p_T 閾値 20 GeV におけるトリガーレートは 9 kHz と予想されている. トリガーレートはルミノシティに対して比例することから, 高輝度 LHC でのルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ の環境下で予想されるトリガーレートは式 4.2 のように計算できる.

$$9 \text{ kHz} \times \frac{7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}}{2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}} \sim 34 \text{ kHz} \tag{4.2}$$

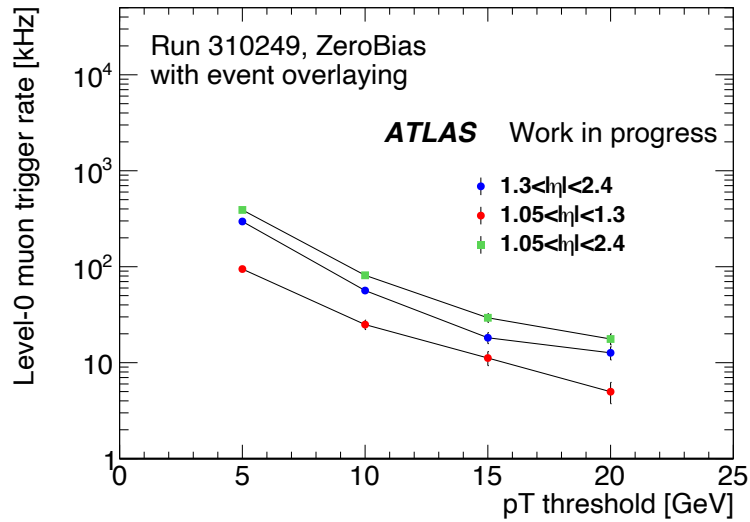


図 4.11 : 高輝度 LHC で予想される瞬間ルミノシティ $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ におけるエンドキャップ及びフォワード領域での各 p_T 閾値のトリガーレート [14]. 各 p_T 閾値のトリガーレートは表 4.5 に示す.

表 4.5 に示したように, 開発されたトリガーアルゴリズムの p_T 閾値 20 GeV におけるトリガーレートは 18 kHz となる. p_T 閾値以下のミュオンとフェイクトリガーの削減により, Run-3 で予定されているトリガーアルゴリズムと比較してトリガーレートを 47%削減できている.

本研究では評価が叶わなかったものの, RPC BIS78 とのコインシデンスロジックを用いることで更なるレート削減が期待される. 今後 MC のジオメトリに導入され次第評価を行なっていく予定である.

第5章 Sector Logic に実装するトリガー用 ファームウェアの開発と拡張

本章では、SL のデザイン並びに SL と通信を行うボードについて説明した後、SL に実装するトリガー用ファームウェアのロジックの開発、一連のトリガー処理として動作させるための個々に開発されたロジックの接続、および SL が担う領域全体への拡張について述べる。

5.1 Sector Logic のデザイン

SL では、TGC のヒット情報や磁場内部検出器の飛跡情報を受け取り、トリガーの判定と情報の読み出しを行う。トリガー判定されたミュオンのトラック候補と NSW の飛跡情報は MDT Trigger Processor (MDT TP) に送られ、MDT の情報を用いてより高い精度でミュオンを選別したのち SL に戻される。最終的に SL で判定されたトリガー情報は MUCTPI に送られ、バレル部で同様に判定されたトリガー情報と統合される。一方で、TGC のヒット情報やトリガー情報は検出器のフロントエンド回路との間でデータ読み出しを行うインターフェースである FELIX に送信される。SL ボードが送受信するデータの暫定的なフォーマットについては付録 D.1, D.2 に示す。

1 枚の SL ボードは TGC BW 領域全体を ϕ 方向に 24 分割した領域を処理する。従って、A/C side 全体で 48 枚の SL ボードが導入される。図 5.1 に示すように、1 枚の SL ボードはエンドキャップのトリガーセクター 2 つとフォワードのトリガーセクター 1 つから情報を受信し、トリガーの判定とヒット情報の読み出しを行う。図 5.2 に SL のブロック図を示す。SL ボードは検出器や他のボードとの信号の通信に FireFly^[34] と QSFP+^[35] の 2 種類のモジュールを使用し、高速通信を行う。SL ボードは Advanced Telecommunication Computing Architecture (ATCA^[36]) クレートに納められており、ATCA クレートは Shelf Manager から CERN で開発された IMPI Management Controller (IPMC^[37]) を通して SL ボードの制御や監視、起動時の設定を行う。Zynq^[38] は FPGA と CPU を搭載したものであり、SL ボードの状態チェック、制御を行う他、FPGA を通した前段回路へのアクセスのためのインターフェースとなる。

5.2 トリガーロジックを実装する FPGA

SL には大規模な FPGA を搭載することで複雑なトリガー判定回路や読み出し回路を実装可能にする。FPGA としては AMD Xilinx 社の Virtex UltraScale+ シリーズの XCVU13P^[39] を採

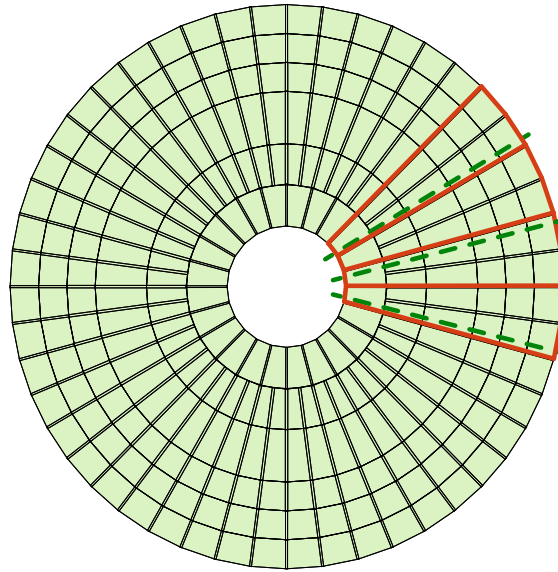


図 5.1 : TGC BW において1つのSLボードがカバーする領域^[9]. TGCでは赤線で囲われた範囲を1つのSLがカバーし, 緑の点線はMDTTPのカバーする領域を示している. SLボードとはカバーする領域が異なるため, 1つのSLボードの情報は最大3つのMDTTPボードに送られる.

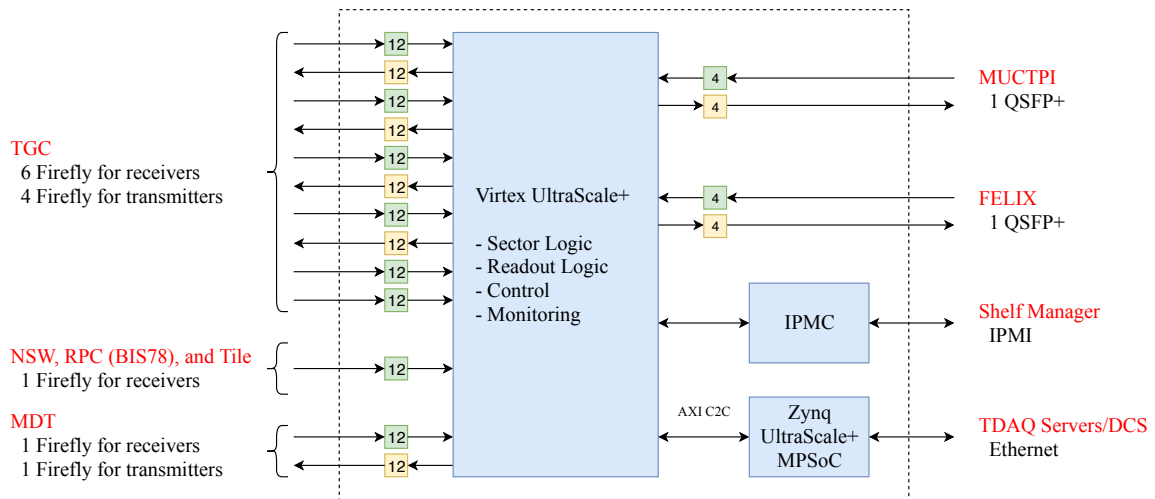


図 5.2 : SLボードのブロック図. 信号の通信はFireFlyとQSFP+によって行われる. SLボードはATCAクレートに納められている. ATCAクレートはShelf ManagerからIPMCを通してSLボードの制御や起動時の設定を行う. Zynq MPSoCはSLボードの制御を行う.

表 5.1 : XCVU13Pのリソース.

ロジックセル (Kb)	GTY (個数)	Block RAM (Mb)	Ultra RAM (Mb)
3780	128	96.5	368.6

表 5.2 : 36 KbRAM で設定可能な入力アドレス幅と出力データ幅 [2].

出力データ幅 (bit)	入力データ幅 (bit)	深さ
1	15	32,768
2	14	16,384
4	13	8,192
9	12	4,096
18	11	2,048
36	10	1,024

用予定である。XCVU13P のリソースを表 5.1 に示す。XCVU13P は高速通信の GTY トランシーバーが搭載されており、1 チャンネルで最大 32.75 Gbps のシリアル通信を行うことができる [40]。ロジックセルは、Look Up Table (LUT) とフリップフロップの 2 つの論理回路からなり、小規模な論理演算で用いられる。ロジックセルは FPGA の全面に分散して配置されており、内部配線をつなぎかえることで必要な機能を与えることができる。LUT は小型のメモリとしても使用可能であり、分散メモリと呼ばれる。以下でファームウェアを実装する上で重要な FPGA の特徴としてブロックメモリと Super Logic Region について説明する。

5.2.1 ブロックメモリ

XCVU13P には、LUT を用いた分散メモリのほかに、Block RAM (BRAM) と Ultra RAM (URAM) という 2 種類のメモリが搭載されており、データの保存や大規模な演算に使用する。

Block RAM は 1 ブロックで 36 Kb のデータを保存できる大容量のメモリである。2 つの独立した 18 Kb RAM または 1 つの 36 Kb メモリとして使用することができる。それぞれ書き込みポートと読み出しポートを 2 つずつ備えており、様々な使い方が可能である。36 Kb RAM として使用する際は 2 つのポートに対して同時に書き込みあるいは読み出しを行うことができる (True Dual Port, TDP)。36 Kb RAM を TDP メモリとして使用した際設定可能な出力データ幅と入力アドレス幅を表 5.2 に示す。比較的大規模なデータを保存できることから、角度情報を入力として複雑な計算をせず p_T を出力する Coincidence Window などに用いる。

Ultra RAM は 1 ブロックで BRAM の 8 倍である 288 Kb のデータを保存できる更に大規模なメモリである。Block RAM と異なり、ポートは 2 つ持つものの入力アドレス幅と出力のデータ幅が固定されており、入力 12 bit、出力 72 bit のメモリとしてのみ使用することができる。BRAM よりもさらに大規模なデータを保存できることから、ワイヤーやストリップの飛跡再構成で、多数の代表点の組み合わせに対応する角度パターンの保存などに用いる。

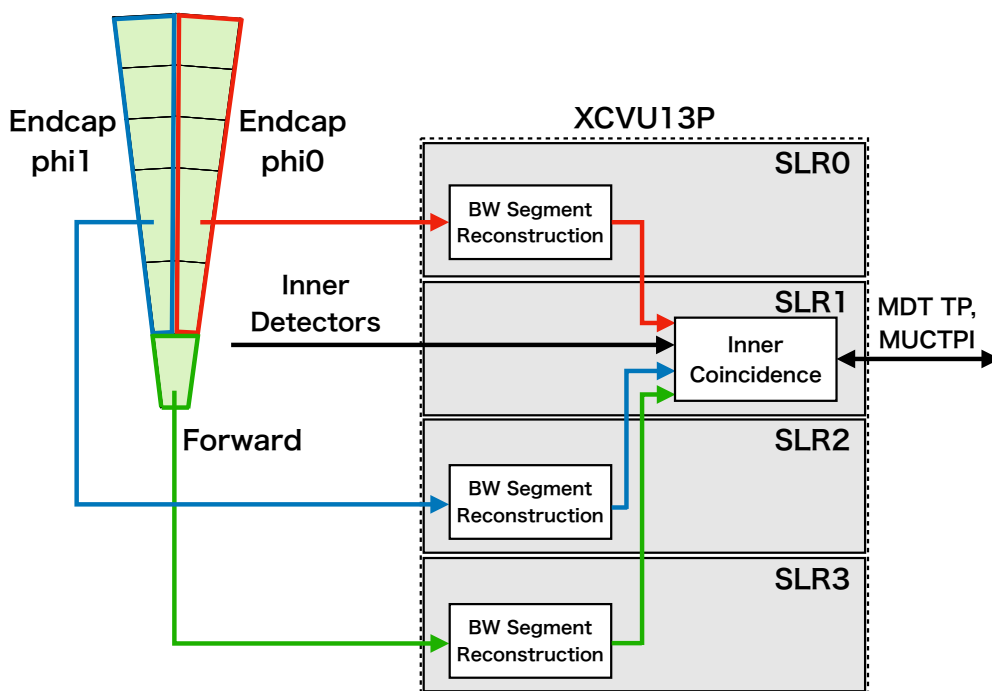


図 5.3 : SLR ごとの処理の概要. XCVU13P は4つのSLRからなり, Endcap phi0/1 及び Forward のヒット情報を異なるSLRに入力し処理ののちSLR1にまとめ, SLR1に入力する磁場内部検出器の情報を用いて Inner Coincidence をとる.

5.2.2 Super Logic Region(SLR)

XCVU13P は同じ構成を持つ4つのシリコンダイからなり, これを Super Logic Region (SLR) と呼ぶ. SLR 間を跨ぐ信号線の数には限りがあり, 信号のレイテンシー上も制限があることから, SLR を跨ぐ信号の数を抑えるべく基本的に各SLR内部で可能な処理を行い, 入出力へのGTYの接続を含めた最適な構成を与える必要がある. 現在のSLRごとの処理の方針の概要を図5.3に示す. 1つのSLRで処理するエンドキャップの2つのトリガーセクターを phi0, phi1 と呼び, フォワードのトリガーセクターを含めそれぞれのヒット情報を異なるSLRに入力する. TGC BW を用いた飛跡再構成はSLR 0, 2, 3で行い, 磁場内部検出器の情報とBWで再構成された飛跡をSLR1に集めて Inner Coincidence を行う.

以下では, FPGA に実装する各ファームウェアの概要を説明する.

5.3 ストリップ飛跡再構成ファームウェアの概要

パターンマッチングではワイヤー及びストリップでそれぞれ飛跡の再構成が行われる. ストリップのパターンマッチングファームウェアの概要を図5.4に示す. ストリップのパターンマッチングファームウェアでは, TGC BW から送られてきたストリップのヒット情報について, Station

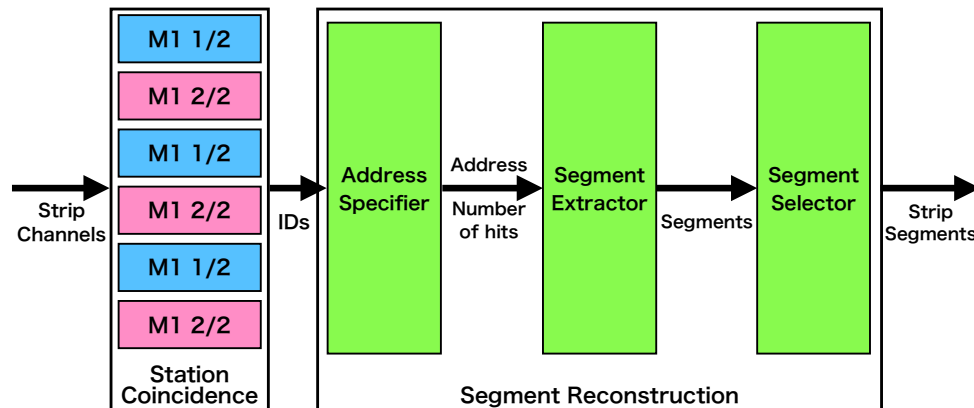


図 5.4 : ストリップパターンマッチングファームウェアの概要. 大きく Station Coincidence と Segment Reconstruction に分けられ, Segment Reconstruction は Address Specifier, Segment Extractor, Segment Selector の3つのモジュールからなる.

Coincidence において M1-M3 のそれぞれのステーション内でコインシデンスをとり代表点情報を取り出したのち, Segment Reconstruction にて飛跡の再構成を行う. 以下でそれぞれのモジュールについて述べる.

5.3.1 Station Coincidence

Station Coincidence では, M1-M3 の各ステーションにおいて, チャンネル同士の ϕ 位置が互い違いになるよう設置された 32 ch Doublet の間でコインシデンスを取ることにより stagger されたより細かい分解能を持つ 63 の代表点 ID (staggered ID) ごとのヒット情報を得る. この際, 片方の層のみでヒットが得られた代表点 (1/2 hit) 及び 2 層でコインシデンスのとれた代表点 (2/2 hit) の情報をそれぞれ出力する. 2/2 hit は論理回路においてそれぞれの層で該当するチャンネルの単純な AND を取ることにより取り出すことができる.

一方で, ミューオンが通過し 2 層にヒットを残した際, 図 5.5 に示すように 2/2 hit の得られた代表点に加え, 隣の代表点において必ず 1/2 hit が得られる. この 1/2 hit はミューオンの通過による 2/2 hit に伴って得られる余分な代表点情報であり, リソースやレイテンシーの限られたファームウェアにおいては効率の低下を招きうるため, 1/2 hit を取り出す論理回路は 2/2 hit に伴う 1/2 hit を除去するよう設計している. 図 5.6 に 1/2 hit を取り出す論理回路を示す.

5.3.2 Segment Reconstruction

ある M3 の代表点にヒットを持つ飛跡の M1, M2 におけるヒット位置は, ミューオンの p_T によって磁場領域での曲がり方が異なることから広がりを持つ. 3.3.1 節で述べたように Strip Segment

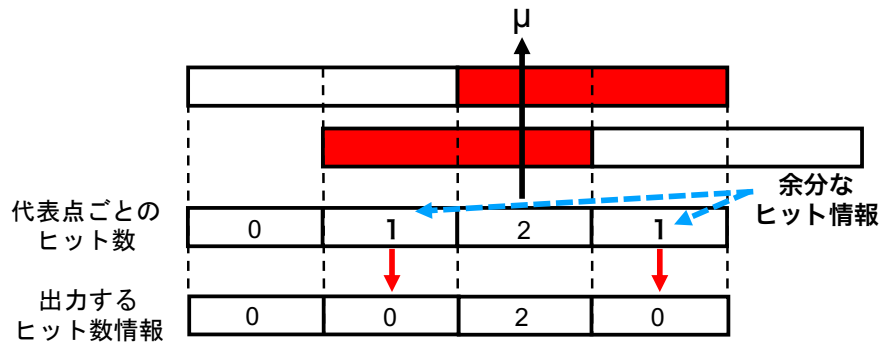


図 5.5 : Station Coincidence においてミューオンの通過に伴い 2/2 hit の隣に生じる 1/2 hit の代表点. このような代表点は飛跡の再構成に余分な情報であるため, これを除去する.

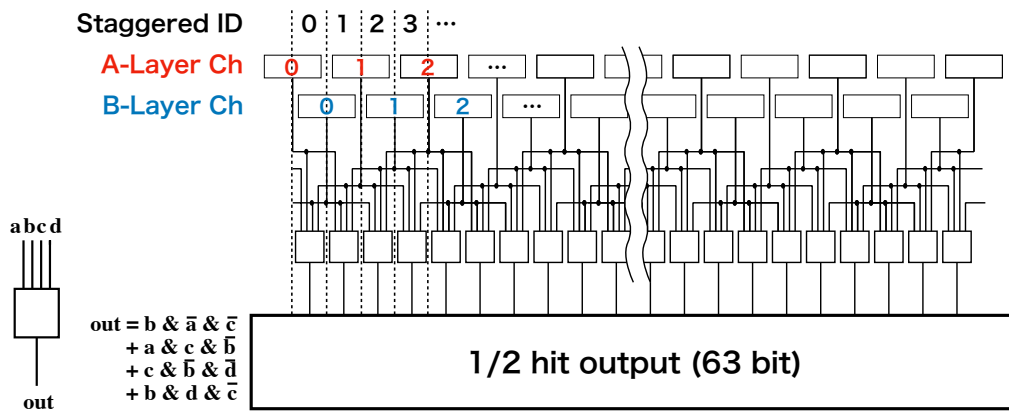


図 5.6 : Station Coincidence において 1/2 hit を取り出すロジック. 互い違いになった2つの層のヒット情報に対して, 左下に示した論理回路を実装することでミューオンが残した 2/2 hit の飛跡に伴って生じる 1/2 hit を削減する.

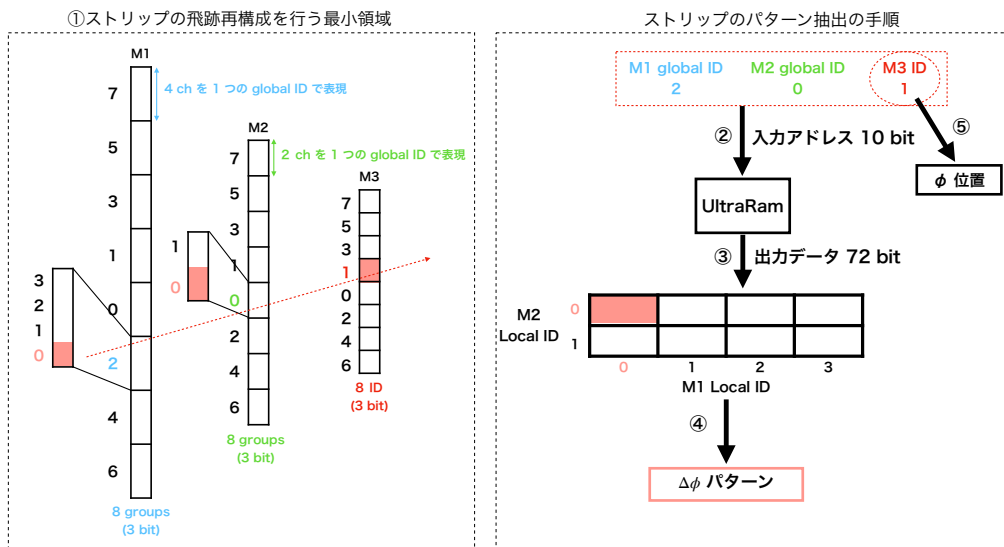


図 5.7 : ストリップのパターン抽出の概念図 [14]. ①ストリップで飛跡再構成を行う最小領域 (Subunit). M1 は 4 ID, M2 は 2 ID をそれぞれまとめて global ID とし, 領域の中心から番号を与える. ②global ID の組み合わせを 9 bit のアドレスとして抽出し, 1 Unit 中の 2 つの Subunit どちらにあたるかを示す 1 bit を加えて URAM への入力アドレスとする. ③出力データは global ID の組み合わせにおける M1 及び M2 local ID の全組み合わせの角度情報を含む. ④各組み合わせにおけるマッチした層数の情報と組み合わせで飛跡候補を絞り込み, 正確な $\Delta\phi$ の再構成を行う. ⑤飛跡の位置情報については M3 の ID 情報を用いて ϕ 位置を得る.

Reconstruction では M1 32 ID, M2 16 ID, M3 8 ID をまとめた領域を最小の単位領域 (Subunit) とし, この領域中においてステーション間で代表点を組み合わせで飛跡の角度を再構成する.

できるだけ多くの代表点の組み合わせをパターンマッチングで見るために, 40 MHz のクロックより高速な 240 MHz のクロックを用いて動作させる. 各イベントの TGC のヒット情報は 40 MHz ごとに送られてくるため, 1つの回路でのパターンマッチングの試行回数は最大 6 回に制限される. このことにより, たくさんのヒットがあった場合, 試行回数に制限がない場合に比べて, 正しいパターンがマッチングされずに落とされてしまうことで飛跡の検出効率が低下することが考えられる. そこで, 代表点をグループ化する (global ID) ことで入力アドレスの数を減らす. 角度パターンの出力には, 入力アドレス幅 12 bit, 出力データ幅 72 bit で固定されている URAM を用いる. アドレスが示す global ID の組み合わせに含まれる 8 つの代表点の組み合わせの全てに対応する 9 bit の角度パターンを一度に読み出し検出効率の低下を抑える. 図 5.7 に global ID を用いた飛跡再構成の概要を示す.

図 5.4 に示したように Segment Reconstruction は, 取り出す飛跡のアドレス情報を出力する Address Specifier, アドレスを入力として飛跡の角度情報を出力する Segment Extractor, 取り出した飛跡を絞り込む Segment Selector からなる. 最終的な候補は, Subunit を 2 つまとめた単位 (Unit) から 1 候補に絞って出力する. 1つのチェンバーは 4 つの Unit からなることから, 1 チェ

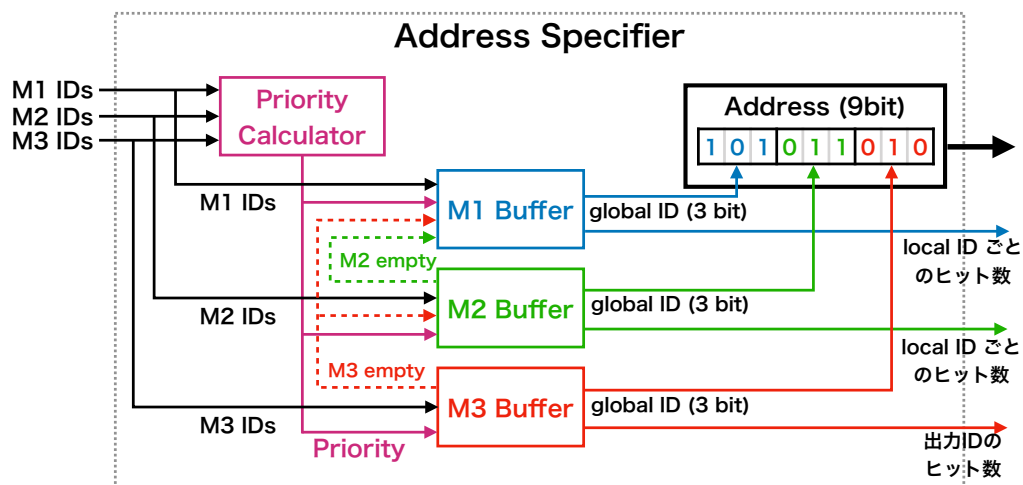


図 5.8 : Address Specifier のロジックの流れ. 優先順位を計算し指示する Priority Calculator と、代表点ごとのヒット数情報を保持し適切な global ID を出力する Buffer からなる. Station Coincidence から出力されたヒット数ごとの各ステーションの代表点情報を入力し、図 5.7 に示したように代表点をまとめた global ID を組み合わせた 9 bit の情報を出力する.

ンバーあたり 4 つの候補が出力される. 以下それぞれのモジュールについて述べる.

Address Specifier

図 5.8 に Address Specifier のロジックの流れを示す. Address Specifier は, Station Coincidence で得られた各ステーションにおける代表点ごとのヒット数を受け取り, 再構成する M1-M2-M3 の代表点の組み合わせを決定し, URAM への入力アドレスを出力する. Address Specifier は, 代表点情報の組み合わせ方の優先順位を与える Priority Calculator と, ステーションごとに代表点のヒット情報を保存しておき, クロックごとにこれを出力する Buffer からなる.

飛跡角度の出力では URAM を用いることで, 1 度のアドレス入力で 8 つ分の飛跡の角度情報を出力することができる. この特徴を活かし, Address Specifier では図 5.9 に示すように M1, M2 において複数の代表点をまとめて global ID とし, この global ID の組み合わせとしてアドレスを出力する. Global ID を導入することにより, パターンマッチング領域は全ステーションが 0 ~ 7 の global ID で表現されこれを 3 ステーション分組み合わせて並べることにより Subunit 内でのアドレスを構成する. また, アドレスに加え, アドレスが示す global ID の組み合わせの中での local ID の全ての組み合わせにおけるヒット数を出力することにより, ヒットのあった local ID の組み合わせのパターンを後段で選択することができる.

Address Specifier で出力可能な global ID の組み合わせが 6 つに限られていることから, global ID の組み合わせは優先順位をつけて行う必要がある. 優先順位はヒットを残した層の数に基づいて設定されている. 表 5.3 に入力アドレスを出力する際の優先順位を示す. 優先順位は Priority Calculator モジュールで計算を行い, 各バッファに送信する. Priority Calculator の詳細につい

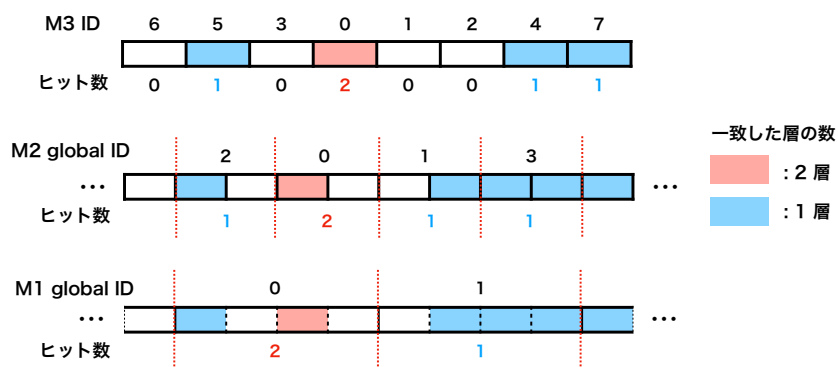


図 5.9 : ステーションごとの global ID の分割^[14]. M3 の代表点は飛跡の位置情報となることから代表点を global ID としてそのまま扱い, M2, M1 は飛跡の角度の開きを加味してそれぞれ 2 ID, 4 ID をまとめて 1 つの global ID とする. この後のロジックでは global ID ごとの最大のヒット数をその global ID のヒット数として扱う.

表 5.3 : Address Specifier から入力アドレスを出力する際の優先順位^[2].

Priority	Number of hits			
	M1	M2	M3	Sum
0	2	2	2	6
1	2	1	2	5
2	1	2	2	5
3	2	2	1	5
4	1	1	2	4
5	2	1	1	4
6	1	2	1	4

では 5.6.1 節で述べる。

M1-M3 Buffer にはヒット数が2の global ID を示す 2hit Read pointer とヒット数が1の global ID を示す 1 hit Read pointer があり、優先順位に基づいて適切な pointer を Read pointer として選択し、クロックに従ってこれを移動させることで適切なアドレスを出力する。Address Specifier におけるアドレス出力の詳細な流れについては付録 D.3.1 に記す。

Segment Extractor

Segment Extractor は Address Specifier から入力アドレスを受け取り、URAM を用いて入力アドレスに対応した 72 bit の角度情報と、入力アドレスの下位 3 bit にあたる M3 ID に対応した位置情報を出力し、global ID 内での M1, M2 の local ID ごとのヒット数の情報を後段の Segment Selector に送る。URAM は1クロックで2つの Subunit から1つずつの入力を受け取り、Subunit を特定する上位 1 bit を付け加えて2つのポートに入力する。各ポートから出力される 72 bit の角度情報は M1, M2 の local ID の8つの組み合わせに対応する 9 bit の $\Delta\phi$ のパターンが含まれている。一方で、位置情報については M3 ID に対応する ϕ 位置情報を出力するが、代表点 ID の並びはトリガーセクターによって逆順になることがあるためにこれを踏まえた変換を行う必要がある。これについては付録 D.3.1 で述べる。

Segment Selector

図 5.10 に Segment Selector のファームウェアの概要を示す。Segment Extractor で 72 bit パターンが2つのポートから出力されることから、Segment Selector に1つのクロックにおいて 9 bit の角度パターンと位置及びヒット数の情報が最大 16 個入力される。Segment Selector では、M1, M2 の local ID ごとのヒット数の情報を用いて、16 個のパターンに優先順位をつけて1つに絞る。これを6クロックにわたって送られてくる飛跡候補に対して繰り返し、最終的に1候補を出力する。飛跡候補を絞り込む際には、以下のアルゴリズムで優先順位をつける。

- 1) 角度が再構成できない、あるいは角度がビット列に収まる領域を超えて大きいためにパターンが保存されていない候補を取り除く。
- 2) マッチした層数の多い候補を選択する。
- 3) マッチした層数が同じ場合、角度がより小さいものを選択する。

5.4 Wire-Strip Coincidence ファームウェアの概要

単位領域における Wire-Strip Coincidence ファームウェアの概要を図 5.11 に示す。Wire-Strip Coincidence の単位領域には“8 Unit Region”と呼ばれる小領域と、 η 方向に4倍の広さを持つ

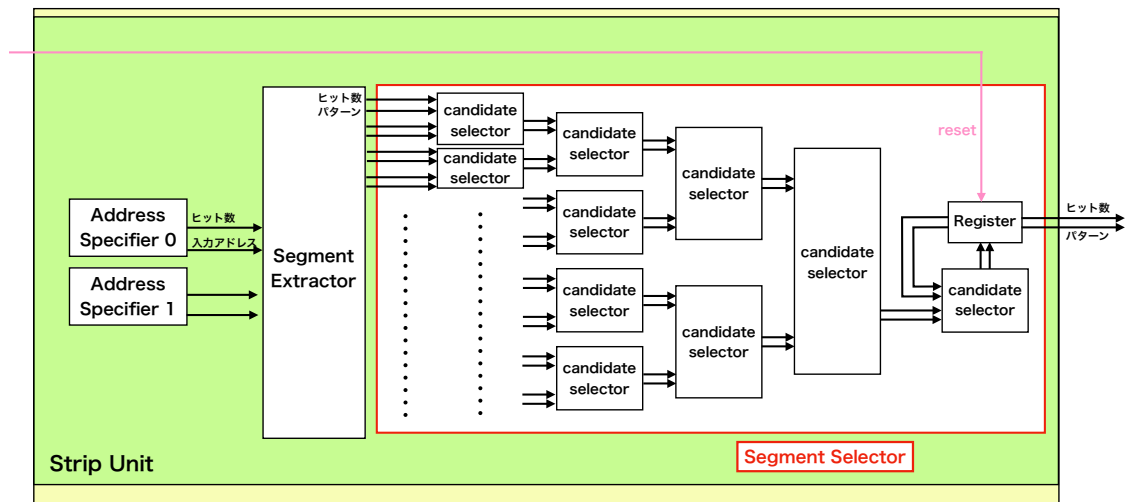


図 5.10 : Segment Selector のロジックの流れ^[14]. 1クロックにつき入力される最大16候補から、6クロックで送られてきた中で最も優先順位の高かった候補を出力する.

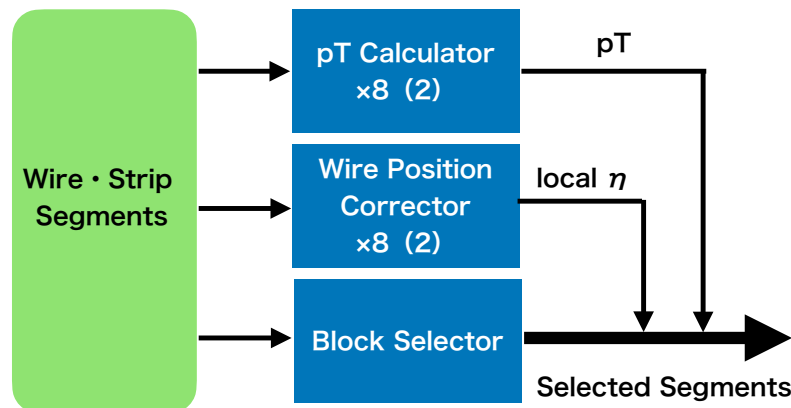


図 5.11 : Wire-Strip Coincidence ファームウェアの概要. 各モジュールで並列に処理が行われ, Block Selector で選ばれた飛跡の情報が出力される.

“32 Unit Region” と呼ばれる大領域の 2 種類の分割があり, ワイヤーとストリップの飛跡を組み合わせ, それぞれ 1 または 4 候補を出力する. 領域の分割方法については 5.7.2 で詳しく述べる. Wire-Strip Coincidence は Coincidence Window を用いて p_T を判定する p_T Calculator, ワイヤー及びストリップの位置情報から η 位置情報を出力する Wire Position Corrector, 飛跡候補を選別する Block Selector からなる. 飛跡候補の選別などで複数の処理を必要とすることから, Wire-Strip Coincidence は 40 MHz よりも周波数の高い 160 MHz で駆動する. p_T Calculator 及び Wire Position Corrector は ワイヤーの 1 Subunit と該当するチェンバーのストリップの 4 Unit の組み合わせを単位として動作するモジュールであり, 1つの単位領域に 2つあるいは8つのインスタンスが配置される. 以下でそれぞれのモジュールについて述べる.

5.4.1 p_T Calculator

p_T Calculator のロジックの流れを図 5.12 に示す. p_T Calculator は, 3.3.1 節で述べたように, ワイヤーで出力される 8 bit の $\Delta\theta$ 及びストリップの 9 bit の $\Delta\phi$ の情報を 2次元の Coincidence Window に照らし合わせて p_T を出力する役割を持つモジュールである. 1つの p_T Calculator は 1つのワイヤー飛跡候補と 4つのストリップ飛跡候補を組み合わせ, 全ての組み合わせに対して p_T を出力するため, BRAM の 2つのポートを用いて 2クロックで処理を行う. 入力アドレスは, 最下位のビットを落として 7 bit とした $\Delta\theta$ 情報と 4 bit に処理した $\Delta\phi$ 情報を組み合わせ, 最上位にどのストリップ Unit のものであるかを示す 2 bit の情報を加えた 13 bit で構成される. Coincidence Window を Look Up Table として保存した BRAM にこれを入力し, 4 bit で表現される p_T 閾値を出力する.

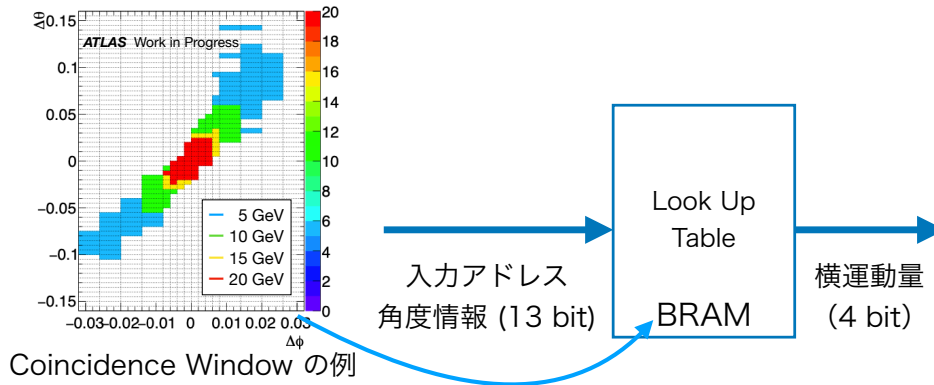


図 5.12 : p_T Calculator のロジックの流れ. CW を LUT として BRAM に実装し, 角度情報を入力アドレスとして p_T を出力する.

5.4.2 Wire Position Corrector

Wire Position Corrector は 3.4.1 節で述べたように, Inner Coincidence や MDT TP などを用いるためにワイヤーおよびストリップの代表点情報を用いて η 座標を補正し, 単位領域におけるローカルな η 座標を出力するモジュールである. Wire Position Corrector の詳細は 5.6.2 節で述べる.

5.4.3 Block Selector

Block Selector では, ワイヤー及びストリップの飛跡情報を用いて後段に送る飛跡の組み合わせを選択する. p_T Calculator や Wire Position Corrector とは別個に動作し, 従って p_T 情報を考慮しない独立な飛跡再構成を行う. ワイヤー及びストリップ飛跡は, 5.3.2 節のストリップパターンマッチングと同様にそれぞれ以下のロジックで優先順位がつけられる.

- 1) マッチした層数の多い候補を選択する.
- 2) マッチした層数が同じ場合, 角度がより小さいものを選択する.

この優先順位に基づき選択したワイヤー及びストリップ飛跡を組み合わせることで飛跡の絞り込みを行う. 小さい単位領域である 8 Unit Region においては, 4 つのストリップ飛跡と 2 つのワイヤー飛跡を組み合わせることのできる 8 個の飛跡候補について, 優先順位に基づいてワイヤー飛跡及びストリップ飛跡を 1 つずつ選択することによって 1 候補に絞り込む. η 方向により大きい単位領域である 32 Unit Region においては, 4 つのストリップ飛跡と 8 つのワイヤー飛跡を組み合わせることのできる 32 個の飛跡候補について, 図 5.13 に示すように, 優先順位に基づいて角度が正負のワイヤー飛跡を 1 つずつ, またストリップ飛跡を 2 つ選択してこれを組み合わせることによって 4 候補に絞り込む. この選択手法は 1 Region に 2 つのミュオンが飛来することを想定したロジックである. TGC に J/ψ などを由来とする 2 つのミュオンが近い領域に飛来した場合, 2

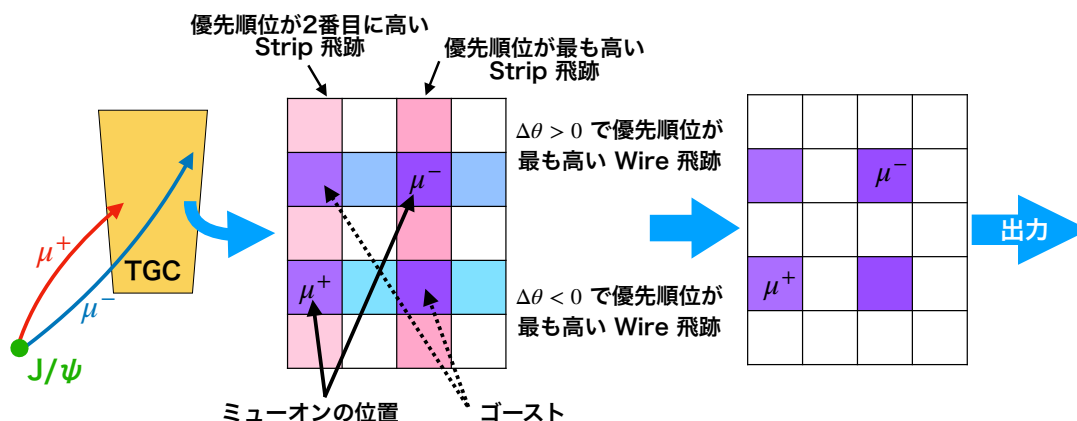


図 5.13 : TGC に 2 つの ミューオン が 飛来 した 時 を 想 定 し た 32 Unit Region で の 候 補 の 選 定 手 法 の 概 念 図 . J/ψ な ど が 崩 壊 し て 同 じ Region 内 に 2 つ の ミューオン が 入 射 し た 場 合 で も , η 及 び ϕ 方 向 に 離 れ た 2 つ の ミューオン を 検 出 す る こ と が 可 能 . こ の 際 , 飛 跡 を 組 み 合 わ せ る こ と で 2 つ の 「ゴースト」 も 候 補 と し て 出 力 さ れ る .

つ の ミューオン は ワイヤ ー に 正 負 の 角 度 を 残 し , ま た ストリップ に つ い て は 異 な る Unit に 飛 跡 を 残 す こ と が 考 え ら れ る . 32 Unit Region に お い て こ の 選 択 ロジック を 用 い る こ と で , 正 し く 2 つ の ミューオン を 検 出 す る こ と が 可 能 と な る .

5.5 Inner Coincidence ファームウェアの概要

Inner Coincidence では , TGC BW に お い て 再 構 成 し た 飛 跡 と トロイ ド 磁 場 領 域 の 内 側 に 置 か れ た NSW , TGC EI , RPC BIS78 , Tile カロリメータ から 送 ら れ て き た 情 報 を 組 み 合 わ せ て p_T を 計 算 し , トリガー 判 定 を 行 う . 図 5.14 に 各 領 域 で の Inner Coincidence ファームウェア の 概 要 を 示 す . Inner Coincidence は , 磁 場 内 部 検 出 器 の 情 報 と TGC BW の 位 置 情 報 な ど を そ れ ぞ れ の コイ ン シ デ ン ス に 用 い る た め に デ コー ド し 差 分 を と る “Decoder” を 経 由 し た の ち , そ れ ぞ れ の 検 出 器 と の コイ ン シ デ ン ス を と り , “Which-Inner” モジ ュ ー ル に お い て ど の 検 出 器 と の コイ ン シ デ ン ス で 得 ら れ た トリガー 情 報 を 最 終 的 に 出 力 す る か を 決 定 す る . Inner Coincidence ファームウェア で は , 複 数 の TGC BW の 飛 跡 候 補 と 内 部 検 出 器 から 送 ら れ た 複 数 の 飛 跡 候 補 を 組 み 合 わ せ て コイ ン シ デ ン ス を と る こ と か ら , TGC BW の ヒ ッ ト 情 報 が 送 ら れ る 40 MHz よ り も 周 波 数 の 高 い 320 MHz で 動 作 さ せ る .

Inner Coincidence ファームウェア について は 先 行 研 究 [14] に お い て 開 発 が 行 わ れ て き た . 以 下 で は NSW と の コイ ン シ デ ン ス に つ い て 述 べ る . そ の 他 の 内 部 検 出 器 と の コイ ン シ デ ン ス お よ び Which-Inner に つ い て は 付 録 D.3.2 に 記 す .

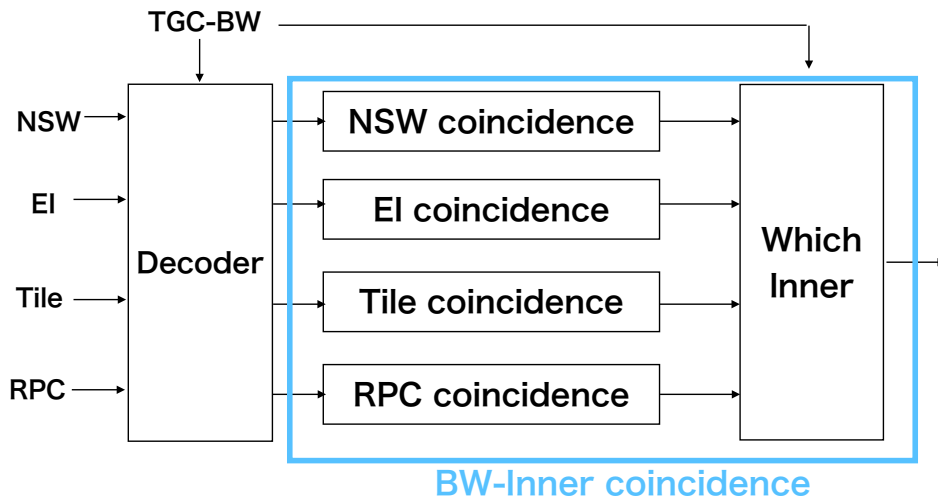


図 5.14 : 単位領域における Inner Coincidence の概要 [14]. TGC BW と磁場内部検出器の飛跡情報の中でデコードを行なったのち、それぞれでコインシデンスをとり、Which-Inner にて採用する磁場内部検出器を決定して出力する。

5.5.1 NSW Decoder における飛跡候補の絞り込み

1つの SL は、NSW で再構成された飛跡を最大 16 個受け取る。一方で、Inner Coincidence のレイテンシーやリソースには限りがあることから、TGC BW の飛跡ごとに組み合わせる飛跡を 4 候補までに絞る。飛跡を組み合わせる際、 $|d\eta|$ の小さいものと組み合わせることでより正確に p_T を高い閾値で判定し高い p_T のミュオンの検出効率を保つことができる。このことから、飛跡の絞り込みにおいては、 $|d\eta|$ の小さいものを選び組み合わせる。図 5.15 に $|d\eta|$ を用いた絞り込みについて示す。絞り込みの手順は以下の通りである。

- 1) CW にあたる領域を $|d\eta|$ の値によって 4 つのグループに分ける。
- 2) TGC BW のある飛跡と組み合わせた NSW の 16 飛跡をこの 4 つの領域に対応するグループに分類する。この時、CW の範囲よりも $|d\eta|$ の大きい候補は自動的に省かれることになる。
- 3) グループ分けされた飛跡について、 $|d\eta|$ の小さいグループに pointer をおき、pointer を進めて飛跡を取り出す。この時グループ内での飛跡の並びは $|d\eta|$ の大きさに基づいてはいない。
- 4) グループ内の全飛跡を選択したら次のグループへと pointer を進め、3) に戻って飛跡の選択を行う。

5.5.2 NSW Coincidence

NSW Coincidence では、3.3.2 節で述べたように、TGC BW の 1 つの飛跡候補に対して NSW において再構成された最大 4 つの飛跡候補とコインシデンスを取る。図 5.16 に 32 Unit Region における処理の概要を示す。モジュールとしては、4 つのトラックをクロックごとに送信する NSW

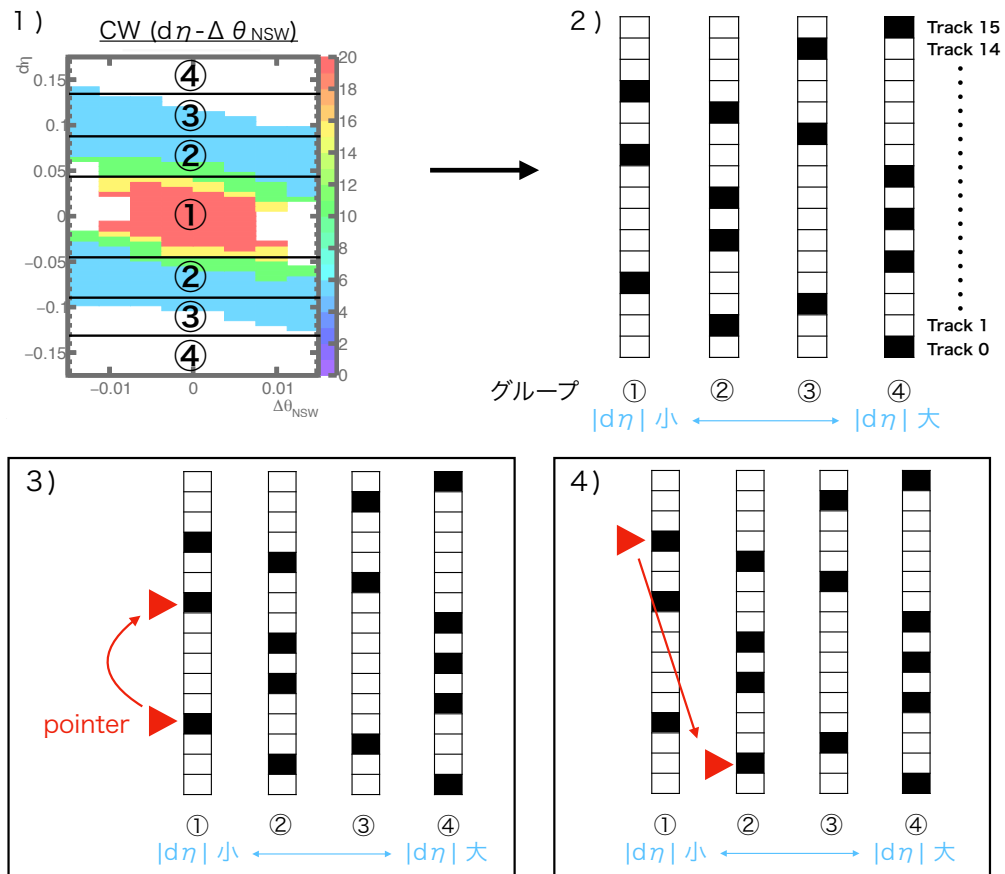


図 5.15 : TGC BW のある飛跡に対する NSW の 16 飛跡を $|dn|$ に基づいて 4 グループに分類する様子. 1) CW の領域を $|dn|$ で 4 グループに分ける. 2) TGC BW 飛跡と組み合わせた 16 飛跡について, どのグループに対応するかグループに分類する. 3) $|dn|$ の小さいグループ内で pointer を進め, そのグループに分類されている飛跡を取り出す. 4) グループの全飛跡を取り出したら次のグループへと pointer を進め, 引き続き 4 飛跡を取り出すまで pointer を進める.

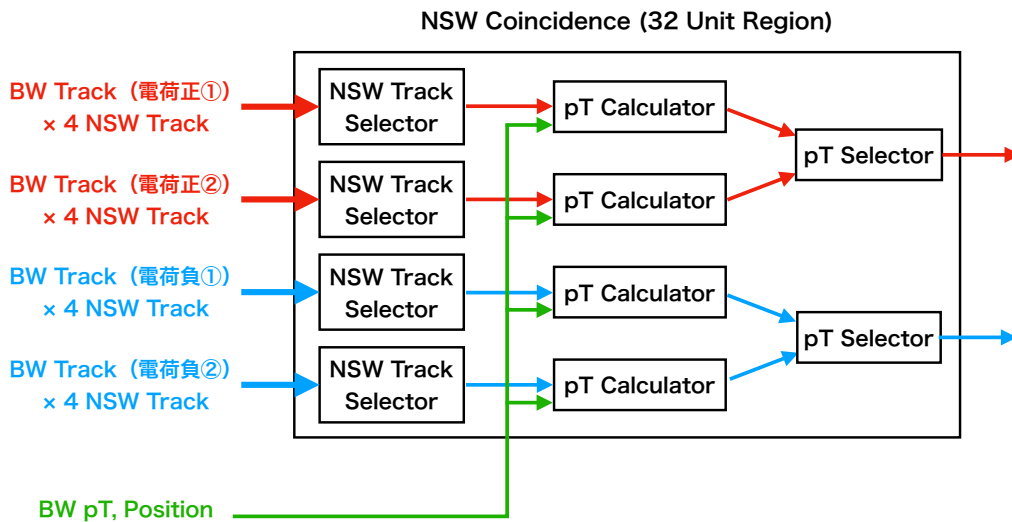


図 5.16 : NSW Coincidence の 32 Unit Region における処理の概要. 4つのトラックを1つずつ送信する NSW Track Selector, p_T を判定する p_T Calculator, 出力する飛跡の組み合わせを選択する pT Selector からなる. 8 Unit Region に適用する場合は縦に並んでいる4つの処理回路の1つを単体で用いる.

Track Selector, 送信された情報を用いて p_T の計算を行う p_T Calculator, p_T が最大の飛跡候補を選択する pT Selector からなる. 8 Unit Region においては縦に並んでいる4つの処理回路の1つを単体で用いる.

p_T Calculator は, 8 bit の $d\eta$ 情報及び 4 bit の $\Delta\theta$ 情報を用いた CW で p_T の判定を行うモジュールである. CW は入力アドレス幅 12 bit, 出力幅 72 bit に固定されている URAM に実装する. p_T は 4 bit しかないことから, 1 Region を 16 分割した領域それぞれに対する CW を保存しておくことができる. 出力された 16 領域分の p_T の中から, BW の位置情報を用いて飛跡位置に合致する 1 領域の p_T を選択して出力する. 出力された p_T は, フェイクミューオンについては NSW で飛跡が存在しないために飛跡を組み合わせられず p_T が出力されないほか, TGC BW で再構成された飛跡をさらに高い精度で判定することからしばしば Wire-Strip Coincidence で出力された p_T と異なることがある. そこで, pT Merger において2者と比較し, NSW で出力された p_T の方が低い時のみこれを出力し, BW で判定された p_T の方が小さい場合はそちらをその飛跡の最終的な p_T として出力する. pT Merger は分散メモリを用いて実装される. 図 5.17 に, p_T Calculator における処理の概要を示す.

4クロックにわたって2つの p_T Calculator から出力された飛跡は pT Selector に送られ, p_T が最大の候補のみが保存されて 40 MHz ごとに出力される.

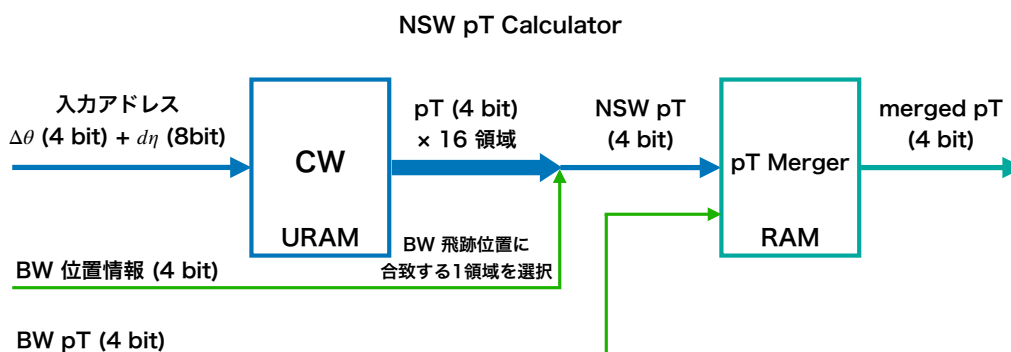


図 5.17 : NSW Coincidence における p_T Calculator の概要. URAM に実装した CW を用いて 16 領域分の p_T を受け取り, BW の位置情報を用いて 1 領域の p_T に絞る. この出力と BW で判定した p_T を合わせてこの飛跡の最終的な p_T を出力する.

5.6 ファームウェアに実装するロジックの開発

本研究では, トリガー処理を行うためファームウェアに実装する個々のロジックの開発を行った. 以下では開発した Priority Calculator および Wire Position Corrector について述べる.

5.6.1 Priority Calculator の開発

5.3.2 節に述べたように, Strip Segment Reconstruction Address Specifier では出力可能な global ID の組み合わせが 6 つに限られていることから, global ID の組み合わせは優先順位をつけて行う必要がある. 本研究では, この優先順位を各ステーションのバッファに指示するモジュールである Priority Calculator を設計・実装した. Priority Calculator におけるロジックの流れを図 5.18 に示す.

Priority Calculator では, ヒット数ごとの代表点 ID 情報に基づいてそれぞれの優先順位が占める組み合わせの数を計算することで, 優先順位とその切り替えタイミングを指示する. 各ステーションのバッファとは別のモジュールとして動作する本モジュールを組み込むことで, 240 MHz クロックによって無駄なく 6 つの組み合わせ候補を出力することができる設計を実現した. アルゴリズムの流れは以下の通りである.

- 1) 各ステーションの global ID ごとに 1/2 hit あるいは 2/2 hit を判定しフラグを立てる.
- 2) Subunit 内で各ステーションのヒット数ごとに該当する global ID 数の合計を数える.
- 3) 表 5.3 に示した優先順位の高い方から, 該当する global ID 数の積を取ることで, その優先順位がいくつ組み合わせを持つかを計算する.
- 4) 優先順位が占める組み合わせの数の合計が 6 になるまで優先順位を並べていき, 各クロックにおいて M1-M3 Buffer に送信する.

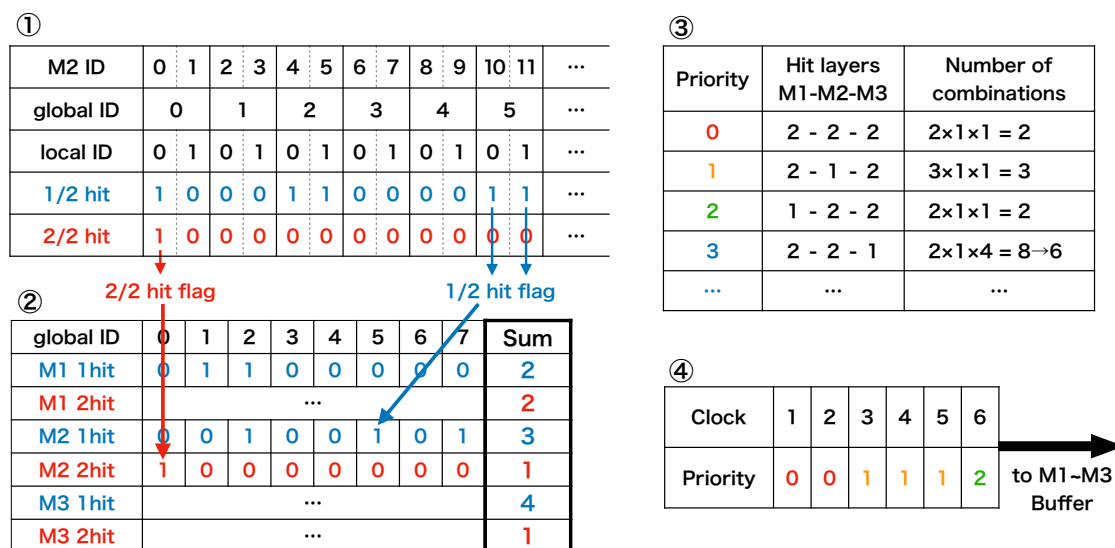


図 5.18 : Priority Calculator のロジックの流れ. ①global ID ごとに 1/2 hit または 2/2 hit flag を立てる. ②各ステーションのヒット数ごとに flag を合計する. ③優先順位ごとに組み合わせの数を積をとって計算する. ④各クロックで該当する優先順位を出力する.

5.6.2 Wire Position Corrector の開発

Wire-Strip Coincidence においては, 5.4.2 節で述べたように, ワイヤーおよびストリップの代表点情報を用いて η 座標を補正して出力する必要がある. 本研究ではこの処理を行うモジュールとして Wire Position Corrector を実装した. 図 5.19 にロジックの概要を示す.

Wire Position Corrector はワイヤーの ID 下位 2 ビット及びストリップの ID 6 bit を入力アドレスとして, η に対して線形でない Wire ID から η の変換及び ϕ 位置を踏まえた η 位置の補正を行う. MDT TP に送信する際は, η 位置について-2.7から 2.7までを 14 bit で表現する必要があるが(付録の表 D.6), Wire-Strip Coincidence の時点では必要でないため, 14 bit の位置情報を付加して後段に送ると信号線に無駄が生じることになる. そこで, Wire-Strip Coincidence の単位領域 (Region) におけるローカルな η 座標を出力することでリソースを削減しながら後段に求められる分解能での位置情報の出力を行う. 図 5.20 に示すように, Region 内の η は高々 8 bit で表せることから, 出力は 8 bit の η 座標とする. このローカルな座標は後段において Region ごとのグローバルな位置情報と足し合わせることでグローバルな座標情報に変換する.

5.7 ファームウェアに実装するトリガーロジックの検出器全体への拡張

エンドキャップ部初段ミューオントリガーでは TGC BW がチェンバー単位, チャンネル単位など多くの繰り返し構造を持つことから, 必要に応じた小さな単位領域でロジックを完結させ, これを全体に適用することで大規模なチャンネル情報を処理するトリガーファームウェアを実現する. これまで, 先行研究 [2][14] において個々のトリガーロジックの小単位での開発が行われてきた.

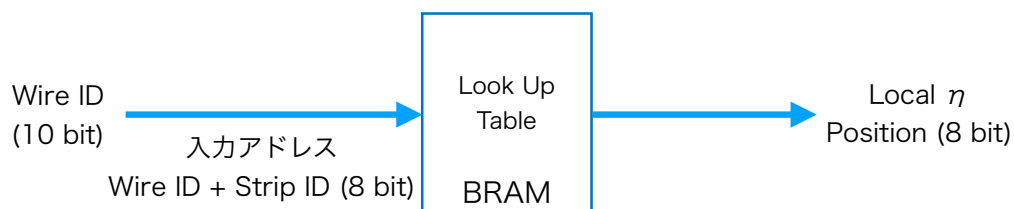


図 5.19 : Wire Position Corrector の概要. ワイヤー及びストリップの位置情報を用いて Region 内での 8 bit の η 情報を出力する.

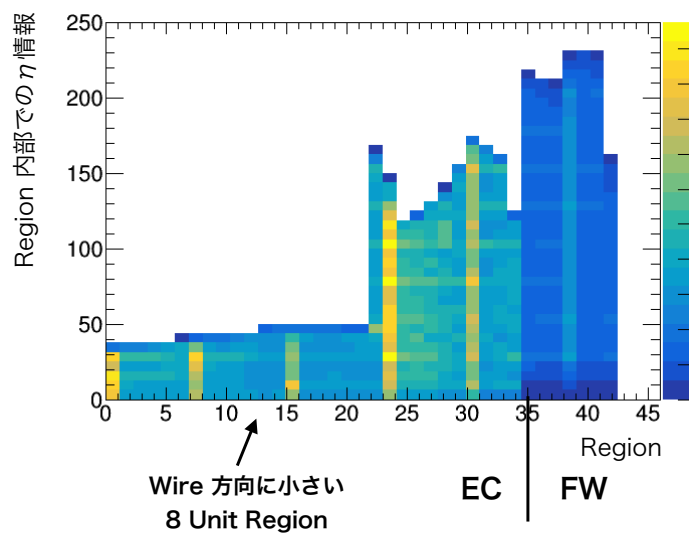


図 5.20 : Region ごとのローカルな η 情報の分布. ローカルな η の情報の最大値が小さい領域は 8 Unit Region のものである. 全体を通して 8 bit で表現できる範囲に収まっている.

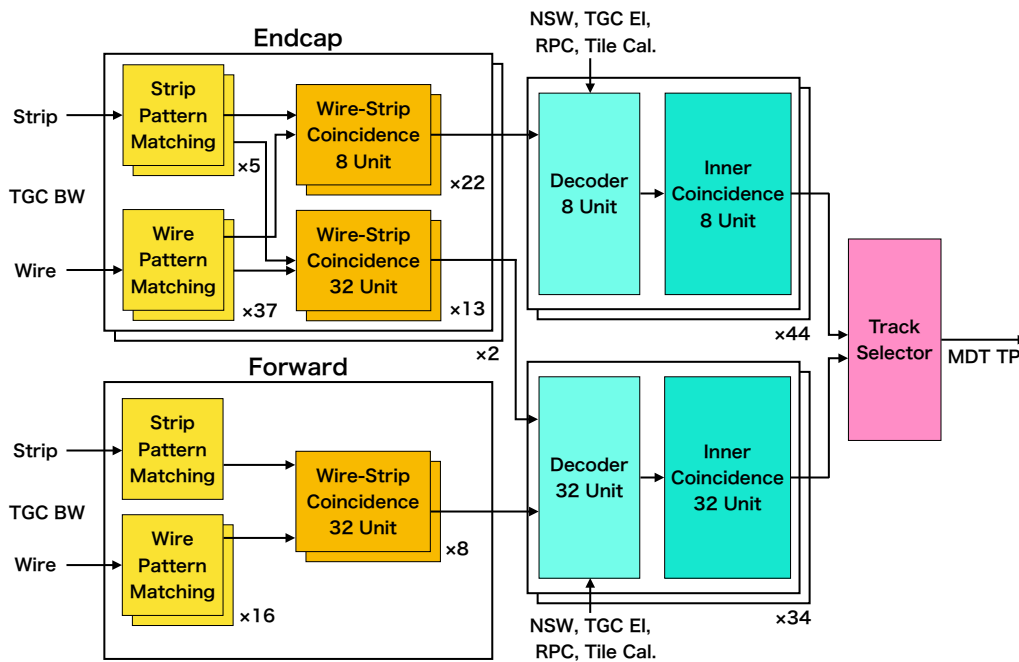


図 5.21 : トリガーファームウェアの概要. 各モジュールの右下に示した数字は配置するモジュールの数を示す. 個々の飛跡再構成は小単位にて行われ, これを複数配置することによって SL 領域全体をカバーする大規模なトリガーファームウェアを実装する.

本研究では, 個々のロジックを全体に適用し, 1つの SL が担当する領域全体へとロジックを拡張した. この際, このロジックが全領域で正しくトリガーを判定できるよう, また大規模化したロジックが拡張後もファームウェアのクロックの中で指定した回路処理を完了できるようにロジックの最適化を行った.

高輝度 LHC-ATLAS 実験において 1 枚の SL に実装するトリガーロジック全体の概要を図 5.21 に示す. 5.2.2 節で述べたように, TGC BW のエンドキャップ領域 (ϕ_0/ϕ_1), フォワード領域のヒット情報をそれぞれ別々の SLR に入力して処理を行う. ワイヤパターンマッチングでは M3 の代表点 16 ID をまとめた構造 (Unit) を最小単位とし, この構造がエンドキャップ (フォワード) で 37 回 (16 回) 繰り返される形をとる. ストリップパターンマッチングは M3 チェンバーごとに再構成を行い, 1つのチェンバーの飛跡再構成は M3 の代表点 16 ID をまとめた構造 (Unit) を最小単位として持つ. Wire-Strip Coincidence では, 8 Unit 及び 32 Unit という単位で再構成を行う. この詳細については後ほど述べる. 磁場内部検出器の飛跡情報との間でのコインシデンスについても Wire-Strip Coincidence と同じ 8 Unit 及び 32 Unit という単位で処理を行う. 以下でそれぞれのファームウェアの拡張開発について述べる.

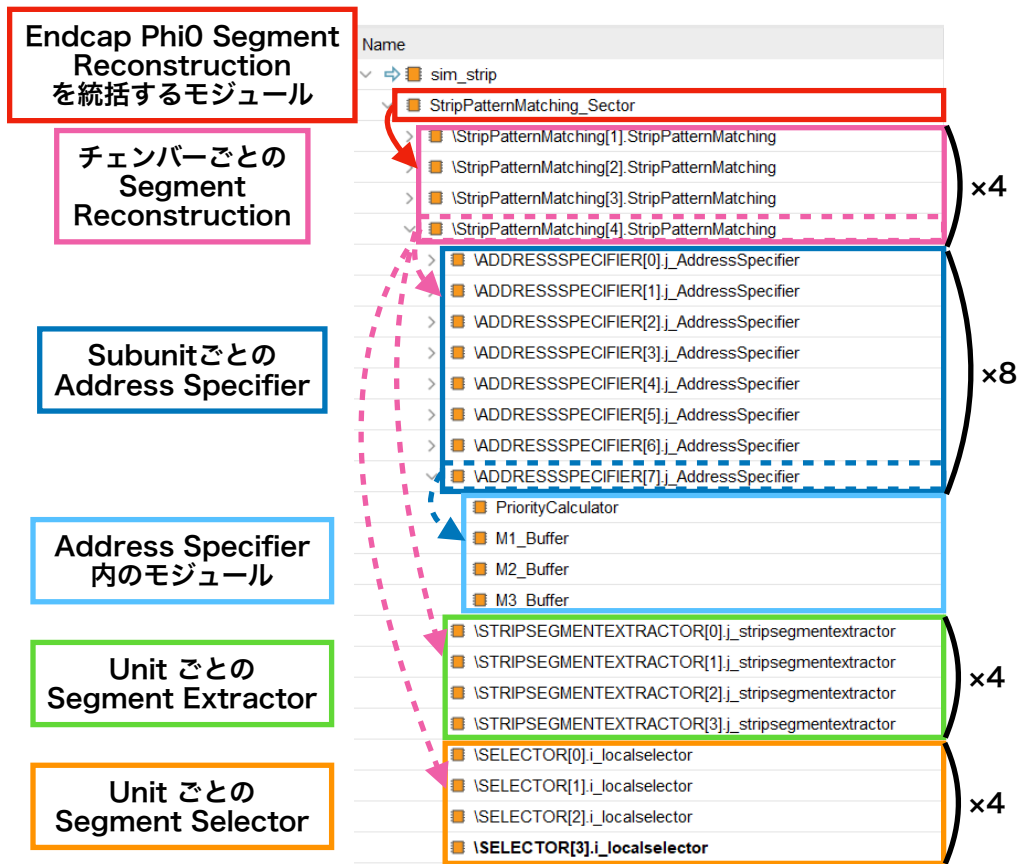


図 5.22 : エンドキャップ領域の1つトリガーセクターにおいて Segment Reconstruction を全体に拡張した様子. 矢印はモジュールを展開して表示した下部モジュールを示す. 図はファームウェア開発用統合開発環境のシミュレーションを用いたものである. モジュールが複数の段階で細かく構成されている.

5.7.1 ストリップ飛跡再構成ファームウェアの拡張

ストリップでは、1層につき1つの長いビット列で流し込まれたヒット情報を特にエンドキャップ部で5つのM3チェンバーそれぞれに対して分割して入力し、それぞれで再構成を行う。1つのSLが担う異なるトリガーセクターのヒット情報は異なるSLRに入力するため、トリガーセクターを束ねるモジュールを最上位モジュールとして、それぞれのチェンバーごとのモジュールや更に下部に位置するモジュールを繰り返して配置した。エンドキャップとフォワードでチェンバー数、すなわちモジュール数や代表点と ϕ の関係性が異なるが、これらをパラメータによって制御することで明快で制御の容易な大規模構造を実現した。実装後のエンドキャップ部の1つのトリガーセクター全体におけるストリップ飛跡再構成ファームウェアのモジュール構造を図 5.22 に示す。

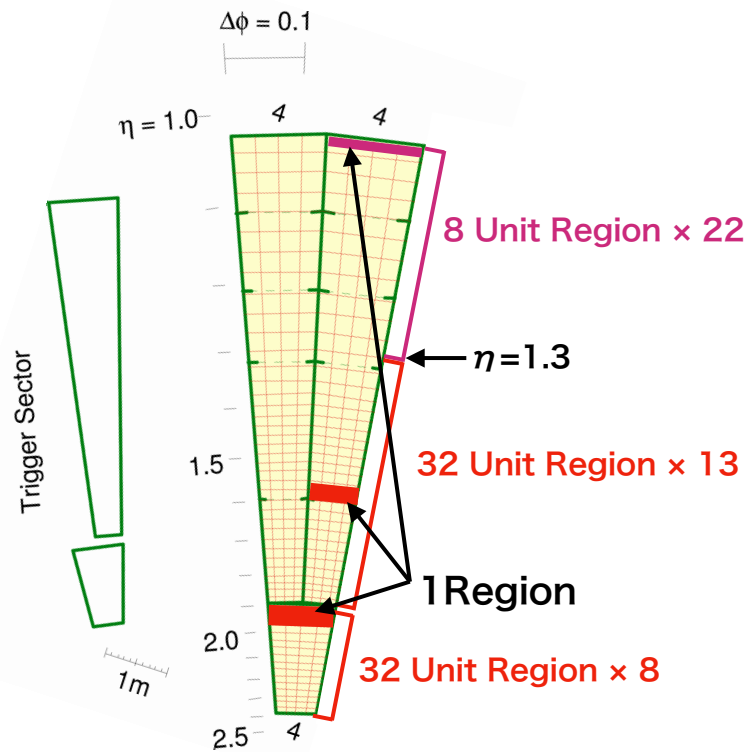


図 5.23 : Wire-Strip Coincidence 単位領域が TGC BW で占める領域. 8 Unit Region は $|\eta|$ の小さい領域に 1 トリガーセクターあたり 22 領域配置され, その他は 32 Unit Region で占められる.

5.7.2 Wire-Strip Coincidence ファームウェアの拡張

Wire-Strip Coincidence における領域の分割

図 5.23 に Wire-Strip Coincidence の単位領域の分け方を示す. Wire-Strip Coincidence の単位領域は “Region” と呼ばれ, この内部で候補の選別を行う. エンドキャップ領域は, $|\eta| < 1.3$ 領域では 8 Unit, $|\eta| > 1.3$ の領域では 32 Unit という異なる大きさの Region に分割されており, それぞれ 22 及び 13 Region 存在する. フォワード領域は 8 つの 32 Unit Region に分けられる. これらの領域分割は, 後段の Inner Coincidence のコインシデンスをとる単位に合わせた形になっている. 図 5.24 に 1 Region におけるワイヤー, ストリップの組み合わせの概念図を示す. 8 Unit Region はトリガーセクターの全 ϕ 領域にあたるストリップの 4 Unit から 1 つずつ送られた飛跡候補と, ワイヤーの 2 Subunit から 1 つずつ送られた飛跡候補を組み合わせる小領域であり, 1 候補を出力する. 32 Unit Region は, ストリップの 4 Unit の飛跡候補と, ワイヤーの 8 Subunit の飛跡候補を組み合わせる大領域であり, 4 候補を出力する. 従って SL 全体で合計最大 180 の飛跡候補を出力することができる.

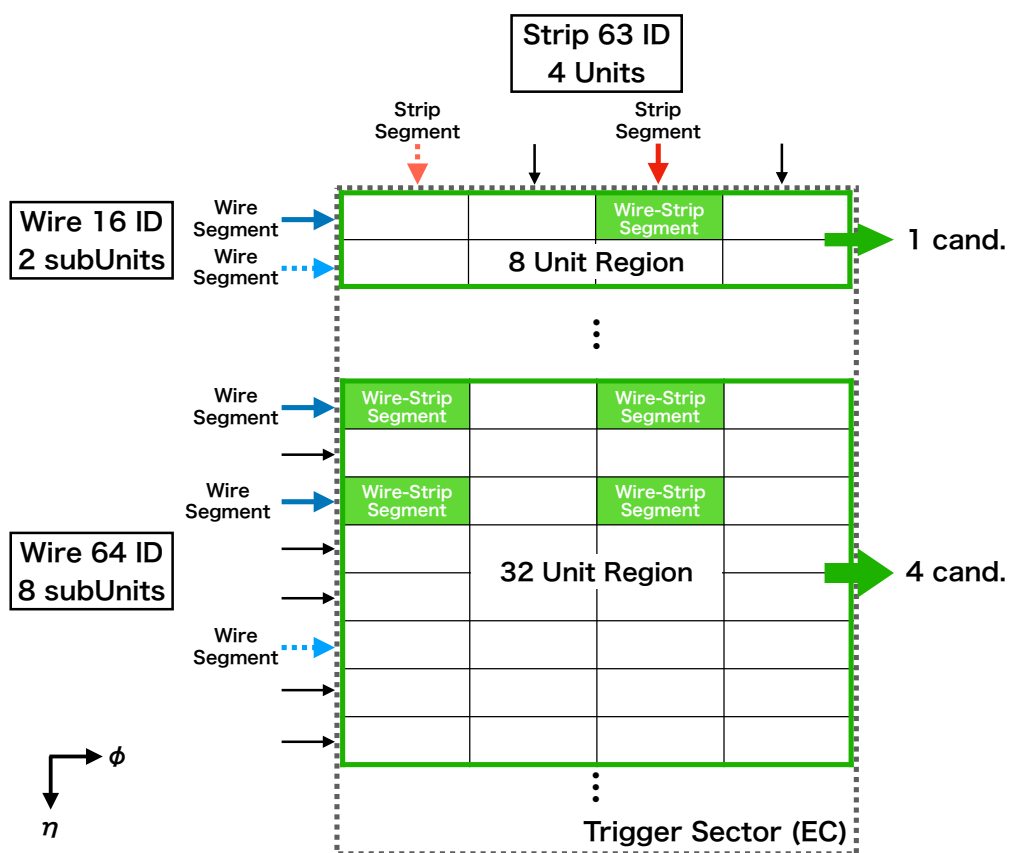


図 5.24 : 1 Region におけるワイヤー, ストリップの組み合わせの概念図. 8(32) Unit Region は ストリップ 4 Unit とワイヤー 2(8) Subunit を組み合わせて作られ, 1(4) 候補を出力する.

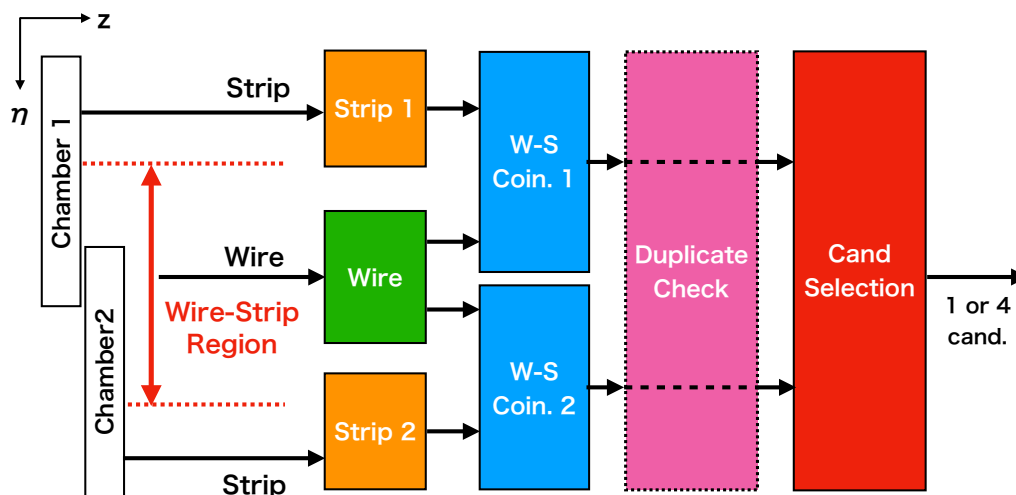


図 5.25 : チェンバー境界を含む Region における処理の概要. ワイヤー飛跡を2つのチェンバーのストリップ飛跡と組み合わせて Wire-Strip Coincidence の処理を行なったのち, Duplicate Check にて候補の重複を排除してから候補を絞りこみ, 他の Region と同じ数の候補を出力する.

Wire-Strip Coincidence ファームウェアの拡張に伴う処理の開発

これまで述べてきたように, 1つの Region ではワイヤー飛跡と, そのワイヤーチャンネルを含む1つのチェンバーのストリップ飛跡を組み合わせることで飛跡を再構成する. しかし, Region の分割は必ずしもチェンバーの分割と一致しておらず, 1つの Region のワイヤー飛跡は複数のチェンバーに由来することがある. この時, 他のチェンバー同様1つのチェンバーのストリップ飛跡と組み合わせると, 異なるチェンバーに由来するワイヤー飛跡とマッチングが取れずに検出効率の低下を招く. これに対処するため, 図 5.25 に示すように該当領域だけ Region を複数のチェンバーのストリップ飛跡と組み合わせる処理によって対処する. この処理においては, チェンバー境界のワイヤー飛跡を該当する2つのチェンバーのストリップ飛跡とそれぞれ組み合わせる. Region 自体の広さは他の Region と変わらないことから, その Region が本来出す候補数に再び絞り込む処理を行う (Duplicate Selector). ただし, チェンバーそのものも不感領域のないよう若干のオーバーラップを持って配置されているため, 2つのチェンバーと組み合わせた飛跡候補の中に同じミューオンを重複して検出する可能性がある. 特に 32 Unit Region については4候補出すため, このオーバーラップによって同じ飛跡候補を複数の候補として出力することがないように, 飛跡の情報を確認し重複があればこれを削除するロジックも導入している (Duplicate Check).

トリガーセクターごとを束ねるモジュールを最上位モジュールとして, トリガーセクター全体をカバーし以上の機能を持つファームウェアを実装した. ストリップ飛跡再構成と同様, パラメータによってモジュールの数や設定を制御している. 図 5.26 に拡張後のエンドキャップ領域の1トリガーセクターにおけるモジュール構造を示す.

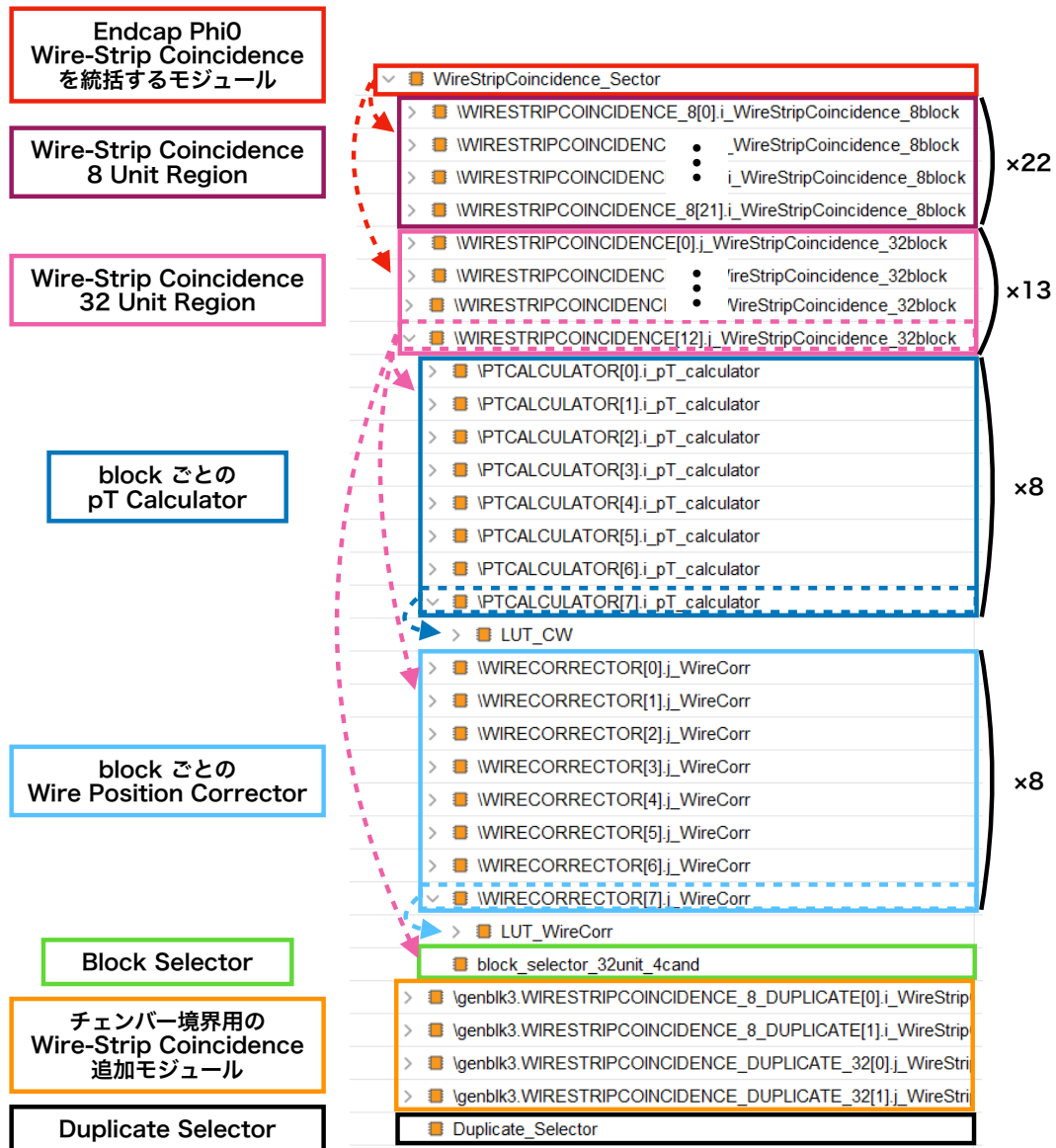


図 5.26 : エンドキャップ領域の 1 つのトリガーセクターにおいて Wire-Strip Coincidence を全体に拡張した様子. 矢印はモジュールを展開して表示した下部モジュールを示す. 図はファームウェア開発用統合開発環境のシミュレーションを用いたものである. モジュールが複数の段階で細かく構成されている.

5.7.3 Inner Coincidence の拡張予定

Inner Coincidence を行う単位領域は TGC BW の Wire-Strip Coincidence (図 5.23 左) に一致する。8 Unit Region からは Wire-Strip Coincidence 出力と同じくそれぞれ1候補を出力する。図 5.13 に示したように、32 Unit Region からは Wire-Strip Coincidence において飛跡を組み合わせることにより、角度の正負それぞれについて2候補が出力されるが、このうち1候補はゴーストとして冗長に出力される。Inner Coincidence においてこれを絞り込み、それぞれの電荷につき1候補を出力する。従って1枚の SL が担う領域において最大で 112 候補を出力することができる。

図 3.17 にあるように η 位置によって配置されている磁場内部の検出器が異なり、 $|\eta| < 1.3$ の領域では主に RPC, EI, Tile カロリメータと、 $|\eta| > 1.3$ の領域では主に NSW とコインシデンスをとる。ファームウェア設計においてパラメータでどの検出器とコインシデンスをとるかを制御することによって、統一的なモジュール構造をもちながら余分な検出器とのコインシデンスにリソースを使用しない設計を実現する。この設計に基づき今後 1 Region で動作するファームウェアを SL 領域全体に拡張する。

5.7.4 ファームウェアにおいて使用するリソース量の見積り

Sector Logic は表 5.1 に示したように各種リソースが限られており、このリソース内で実装を行う必要がある。本研究で SL が担う全領域へとファームウェアを拡張したことで、実際に実装したファームウェアが使用するリソース量を見積もることが可能となった。表 5.4 に調査した SLR ごとの使用量の見積もりを示す。URAM, BRAM 及び分散メモリを LUT の規模や他のロジックとの重複を加味して使い分けることにより、読み出し回路を含めて全てのロジックがリソースに余裕を持って実装できていることが確認できる。Inner Coincidence については現時点での 1 Region における使用量から予測される値を記しており、拡張実装後実際に確認することになる。

5.8 ファームウェアに実装するトリガーロジックの接続

本研究では、これまで個々に開発されてきた個々のロジックが一連のトリガー処理として機能するようヒット情報の入力から最終的なトリガー出力まで接続して実装を行った。一連のトリガーロジックを接続して実装することにより、TGC BW での飛跡再構成から Inner Coincidence に至るまでのトリガーロジックを通したトリガー処理を行うことができ、その検証が可能となる。この検証については次章で詳しく述べる。また、トリガーロジックを接続して実装することで、一連のトリガー処理にかかるレイテンシーを正確に把握することが可能となった。以下では本研究で調査したトリガー処理に要するレイテンシーについて述べる。

表 5.4 : SLR ごとのリソース使用量の見積もり. 割合は1つのSLR中における使用量の割合を示す. EC $\phi 0/\phi 1$ はエンドキャップ領域の2つのトリガーセクターを, FW はフォワード領域を指し, それぞれでの飛跡再構成は別々のSLRに. ロジックセルはLUTとフリップフロップ (register) で構成されるまとまりであり, 合計の使用量は各ファームウェアロジックの使用量の単純な合計とはならないために記載していない.

	Block	ロジックセル (LUT/register)	BRAM	URAM
SLR 0 EC $\phi 0$	ワイヤー飛跡再構成	41% (28%/5%)	0%	46%
	ストリップ飛跡再構成	11% (7%/3%)	0%	6%
	Wire-Strip Coincidence	10% (5%/3%)	33%	0%
	読み出し回路	4% (1%/1%)	8%	0%
	合計	(41%/12%)	41%	52%
SLR1	NSW Coincidence	48% (29%/2%)	0%	43%
	RPC Coincidence	2% (1%/0%)	33%	0%
	EI Coincidence	1% (1%/0%)	0%	0%
	Tile Coincidence	1% (1%/0%)	0%	0%
	Track Selector	12% (8%/2%)	0%	0%
	読み出し回路	2% (1%/1%)	5%	0%
	合計	(41%/5%)	38%	43%
SLR2 EC $\phi 1$	ワイヤー飛跡再構成	41% (28%/5%)	0%	46%
	ストリップ飛跡再構成	11% (7%/3%)	0%	6%
	Wire-Strip Coincidence	10% (5%/3%)	33%	0%
	読み出し回路	5% (2%/2%)	9%	0%
	合計	(42%/13%)	42%	52%
SLR3 FW	ワイヤー飛跡再構成	18% (12%/2%)	0%	20%
	ストリップ飛跡再構成	3% (1%/1%)	0%	1%
	Wire-Strip Coincidence	4% (2%/2%)	14%	0%
	読み出し回路	3% (1%/1%)	4%	0%
	合計	(16%/6%)	18%	21%

表 5.5: エンドキャップ部初段ミュオントリガーで飛跡再構成に要するレイテンシーと要求されるレイテンシーの目安. 現在の実装においては要求値に対して大きく余裕を持った実装ができていることがわかる.

	レイテンシー [ns]
Station Coincidence	25
Segment Reconstruction	100
Wire-Strip Coincidence	37.5
TGC BW 飛跡再構成 合計	162.5
TGC BW ヒット到着から 磁場内部検出器情報到着までのレイテンシー	467
Inner Coincidence	50
合計	517

5.8.1 トリガー処理にかかるレイテンシー

初段ミュオントリガーはハードウェアによる高速なトリガーでありレイテンシー上の制約を満たすことが必須条件である. エンドキャップ部初段ミュオントリガーの処理に要求されるレイテンシーについては検討中の段階にあるが, TGC BW での処理時間の目安となる指標がいくつか存在する.

- TGC BW の信号が SL に到達するまで: $0.958 \mu\text{s}$.
- 磁場内部検出器の信号が SL に到達するまで: $1.425 \mu\text{s}$.

以上の情報から, 少なくともこの差分にあたる 467 ns (40 MHz で 18.7 クロック) 間に TGC BW での飛跡再構成が行えれば問題がないことがわかる. 表 5.5 に, 実装した TGC BW における飛跡再構成ロジックが要するレイテンシーを示す.

この後段にあたる Inner Coincidence についても, 現在わずか 50 ns で動作するよう実装されており, この設計の元ではバレル部とエンドキャップ部の初段ミュオントリガーを束ねる MUCTPI にトリガー情報が到達するまでのレイテンシーは最短で $4.01 \mu\text{s}$ であることが試算されている. 以上のことから, 実装したトリガーロジックは十分な余裕を持って高輝度 LHC における初段トリガーのレイテンシーの設計値 $10 \mu\text{s}$ を達成可能である.

第6章 Sector Logic に実装するトリガー用 ファームウェアの試験

本章では開発したファームウェアが正しく動作するかを確認するために、回路のシミュレーションを用いて行なった動作検証について述べる。回路シミュレーションには、AMD 社の統合開発環境 “Vivado”^[41] の論理シミュレータを用いた。

図 6.1 にトリガー開発の流れと本研究で行ったファームウェア試験の位置付けを示す。トリガー開発はまずソフトウェア上で行われ、これを最適化したのちファームウェアへと実装する。実装したロジックを本研究で最適化・接続・拡張したものについて、これが正しく設計したトリガー処理を行えているかを検証するのが比較検証の最も重要な目的である。特に、MC を用いた検証を行うことで、テストパターンの検証で見えなかったロジックの不具合が存在しないか確認することができる。また、ファームウェアの処理に近づけたソフトウェア上のロジックと実際のファームウェアロジックの間でどれだけ差異が生じるかを確認し、生じている差異については理解し適宜フィードバックをかけることで、ソフトウェア上でのロジックの再現でトリガー性能の正しい評価が可能であることを確認する。本研究で用いたソフトウェアはわずかな処理の違いのためにファームウェアの処理の完全な再現は難しいが、完全にビット処理を再現するソフトウェアの開発が他の研究において進行中である。

6.1 Slice Test

Slice Test は、TGC のヒット情報の入力から最終的なトリガー情報の出力までの一連のトリガーロジックを接続して行なったファームウェアの試験の名称である。図 6.2 に Slice Test を実施した領域を示す。Wire-Strip Coincidence 並びに NSW Coincidence の 1 Region にあたる、フォワード領域の最も $|\eta|$ の小さい領域を用いて検証を行なった。図 6.3 に Slice Test の概要を示す。Slice Test では、TGC のヒット情報の入力に対して、ソフトウェアシミュレーションにおいて処理を行なったトリガー出力と、Vivado を用いたファームウェアシミュレーションで処理を行なったトリガー出力を比較することにより、ファームウェアがソフトウェア上での設計に従い期待通りに動作することを確認する。さらに、元々整数値のビット列ではなく倍精度実数を用いてトリガーロジックの開発が行われてきたソフトウェアに対して、ファームウェアの出力と比較してフィードバックをかけることにより、ソフトウェアシミュレーション上で行われる処理を整数値を用いた処理へと変更し、実際の論理回路に近い処理を実現した。Slice Test を実施した領域は NSW

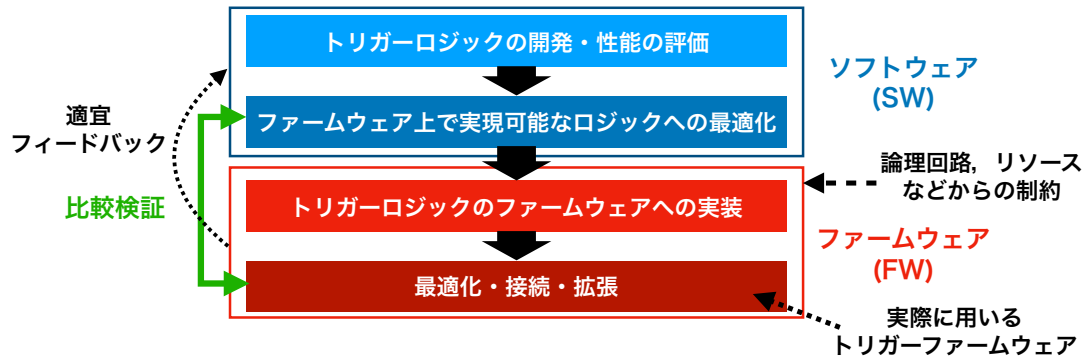


図 6.1 : トリガー開発の流れと本研究で行ったファームウェア試験の位置付け. ソフトウェアで開発されたトリガーロジックをファームウェア上で実装したものと比較検証することにより, ファームウェアにおいて, 設計したトリガー処理を正しく行えているか確認するとともに, ソフトウェアに対して適宜フィードバックをかける.

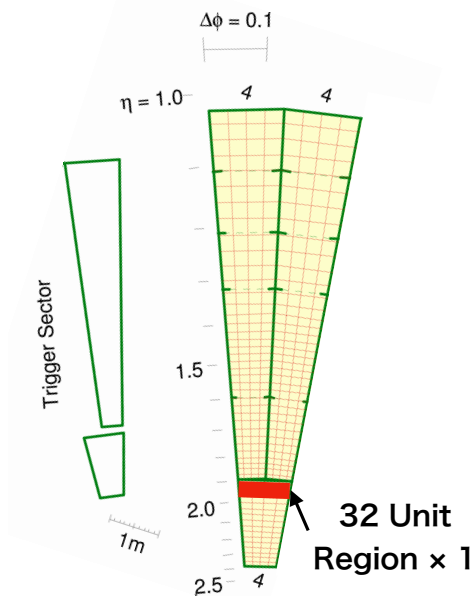


図 6.2 : Slice Test を行なった領域. フォワード領域の 32 Unit Region 1 つに対して検証を行なった.

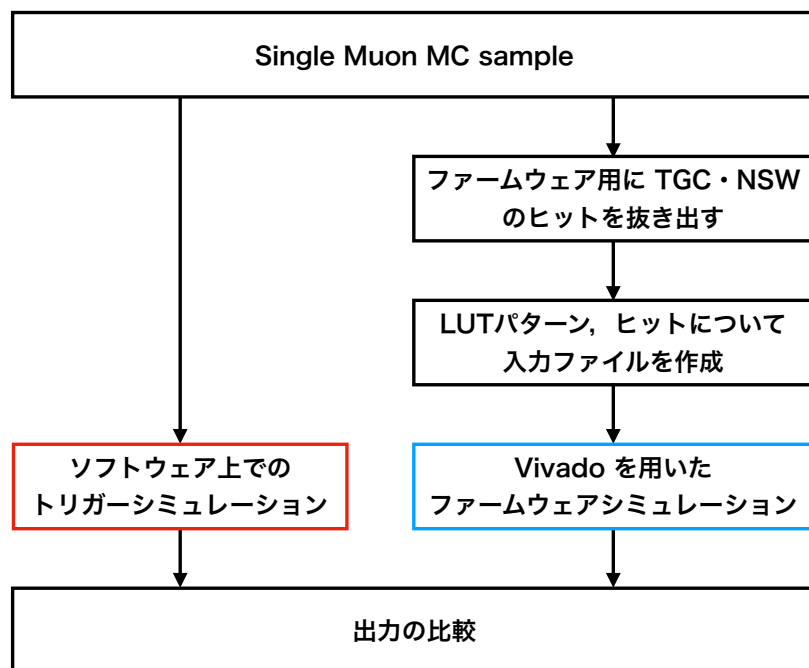


図 6.3 : Slice Test の概要. Single Muon MC からファームウェア用に TGC・NSW のヒットを抜き出し, LUT のパターンやヒットについて入力ファイルを作成する. これを Vivado を用いたファームウェアシミュレーションに流し込み, トリガー出力をソフトウェアでのトリガーシミュレーションの結果と比較する.

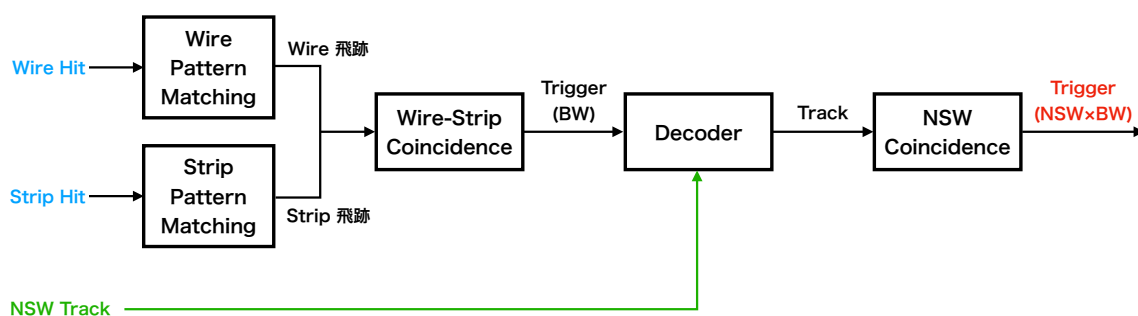


図 6.4 : Slice Test におけるファームウェアロジックの流れ。ワイヤーとストリップのパターンマッチングから NSW Coincidence までの一連の流れを検証する。NSW Coincidence のみをとる領域のため、Inner Coincidence は NSW のみの設計になっている。

Coincidence のみをとる領域であり、図 6.4 に示す一連のロジックを統合し検証を行った。

図 6.5 に Vivado を用いたファームウェアシミュレーションにおける波形出力の例を示す。各ロジックを経由して飛跡候補が出力されている様子を確認することができる。

Single Muon MC サンプルを用いて、ソフトウェアとファームウェアの出力の比較を行なった。比較にあたっては、ソフトウェアで倍精度実数で出力された結果をファームウェアにおけるビット出力のフォーマットに合わせて量子化することで、整数値での出力を再現し、これがファームウェアシミュレーションによる結果と一致するかを調べた。比較結果を表 6.1 に示す。出力に生じている差異のほとんどは同等の優先順位をもつヒットや飛跡が複数存在した場合にこの中から選択する順番づけがソフトウェアとファームウェアで異なることに由来している。特に NSW 飛跡の異なるイベントについては、飛跡の選択において p_T のみを条件として絞り込みを行っており、複数の NSW 飛跡で同じ p_T が出力された場合異なる飛跡を選択しうるために飛跡の異なるイベントが多い。またその他の差異についても、Wire-Strip Coincidence の飛跡候補の選択において同一の優先順位をもつ 2 候補に与える順位が異なることに由来するなど、ソフトウェアとファームウェアのわずかなロジック構造の違いやソフトウェア側で排しきれていない倍精度実数の処理に基づく差異に由来しており、設計上想定される出力を満たしていることを確認している。Wire-Strip Coincidence の p_T 出力は 99.25% のイベントで一致し、NSW との Inner Coincidence 後の p_T 出力も 99.11% のイベントで一致しており、飛跡とその横運動量を設計通り出力できていることがわかる。

さらに、今後ソフトウェアシミュレーションに対して更なるフィードバックをかけることにより、ファームウェア出力との完全な一致を目指す。

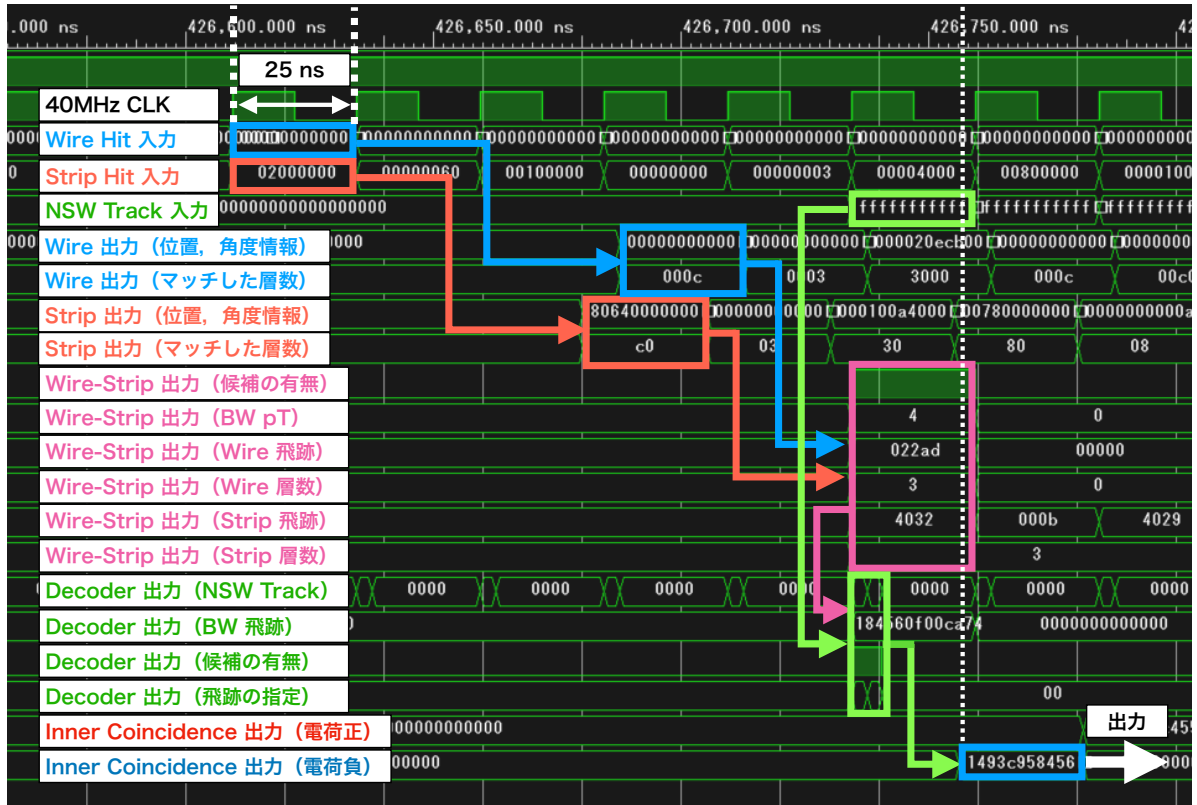


図 6.5 : Slice Test における波形出力の例. 入力されたワイヤー・ストリップのヒット情報を処理して飛跡の位置, 角度およびマッチした層数を出力する. これを入力として Wire-Strip Coincidence を行い, 候補の有無, p_T やワイヤー・ストリップの飛跡情報が出力される. この出力と入力された NSW Track を用いることで, Decoder にて飛跡処理を行い, 最終的に NSW Coincidence をとったのちの飛跡が出力されている.

表 6.1 : Slice Test の結果. ソフトウェアとファームウェアの出力の間で細かな違いはあるものの, p_T を正しく判定できていることがわかる. 差異については重複を含むため合計は 100% とならない.

	割合
全飛跡情報が一致したイベント	86.5%
電荷を誤って検出したイベント	0.59%
ワイヤー飛跡が異なるイベント	0.22%
ストリップ飛跡が異なるイベント	1.52%
Wire-Strip Coincidence の p_T 出力が異なるイベント	0.75%
NSW 飛跡が異なるイベント	10.38%
Inner Coincidence の p_T 出力が異なるイベント	0.89%

表 6.2 : Segment Reconstruction の比較結果. EC はエンドキャップ領域, FW はフォワード領域の結果を示す.

	割合	
	EC	FW
飛跡情報が一致したイベント	96.8%	97.8%
候補の選び方の違いに由来する差異があったイベント	3.2%	2.2%
候補の選び方の違い以外に由来する差異があったイベント	1.8%	0%

6.2 全領域に拡張したファームウェアのシミュレーションを用いた動作確認

Slice Test はファームウェアロジックの SL 全領域への拡大に先んじて行われた動作検証であった. ここでは Slice Test で検証したロジックを SL の担当する領域全体に拡張した後の個々のファームウェアの動作確認について述べる. 動作確認は引き続き Vivado を用いたファームウェアシミュレーションを用いて行い, ソフトウェアによるトリガーシミュレーションの結果と比較を行なった. 以下それぞれの検証について述べる.

6.2.1 ストリップにおける Segment Reconstruction の検証

ストリップにおける Segment Reconstruction について拡張後のファームウェアの動作検証を行なった. Single Muon MC Sample を用いて, ソフトウェアにおける Station Coincidence ごとのステーション, ヒット数ごとの代表点情報を取り出して入力とし, Vivado の論理シミュレーションを用いたファームウェアでの Segment Reconstruction の処理後の出力とソフトウェアの出力を比較した. 図 6.6 に Vivado のシミュレーションを用いた波形出力の例を示す.

表 6.2 に比較結果を示す. 出力の異なるイベントのほとんどは同一の優先順位をもつ飛跡候補が複数存在するときの選択方法の違いに由来しており, エンドキャップ領域で 98.2%, フォワード領域で 100% のイベントにおいてソフトウェアの出力と矛盾しないことが確認できた. また, 残る差異については代表点の取り扱いの微妙な違いに由来し, ソフトウェア側でファームウェアに近づける修正点を確認済みである.

6.2.2 Wire-Strip Coincidence の検証

Wire-Strip Coincidence について拡張後の動作検証を行なった. Single Muon MC Sample を用いて, ソフトウェアにおけるワイヤー, ストリップでの飛跡再構成後の飛跡情報を取り出して入力とし, Vivado の論理シミュレーションを用いたファームウェアでの Wire-Strip Coincidence の処理後の出力とソフトウェアの出力を比較した. 図 6.7 に Vivado のシミュレーションを用いた

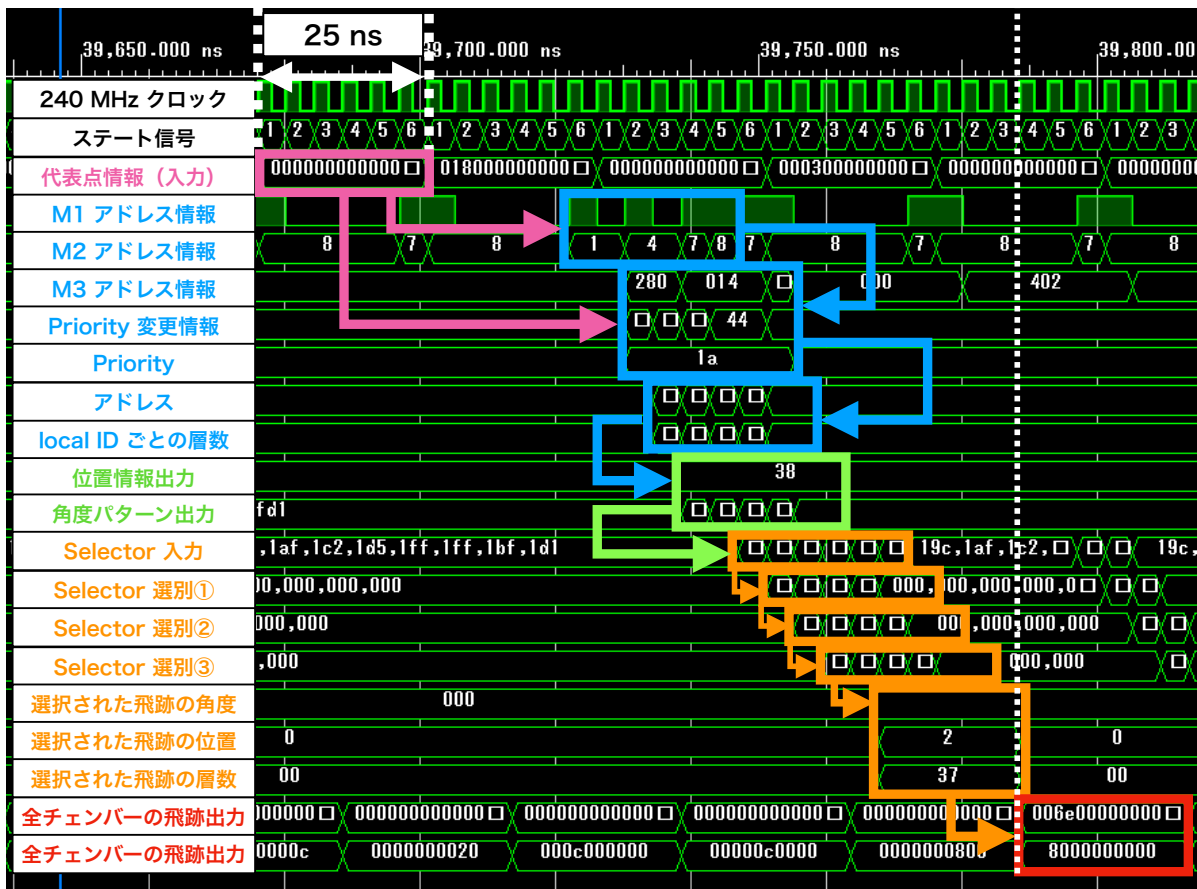


図 6.6 : Segment Reconstruction の波形出力の例. 代表点情報の入力からアドレス生成, パターン出力, 候補の絞り込みまでの一連の流れがクロックに従って流れていることがわかる.

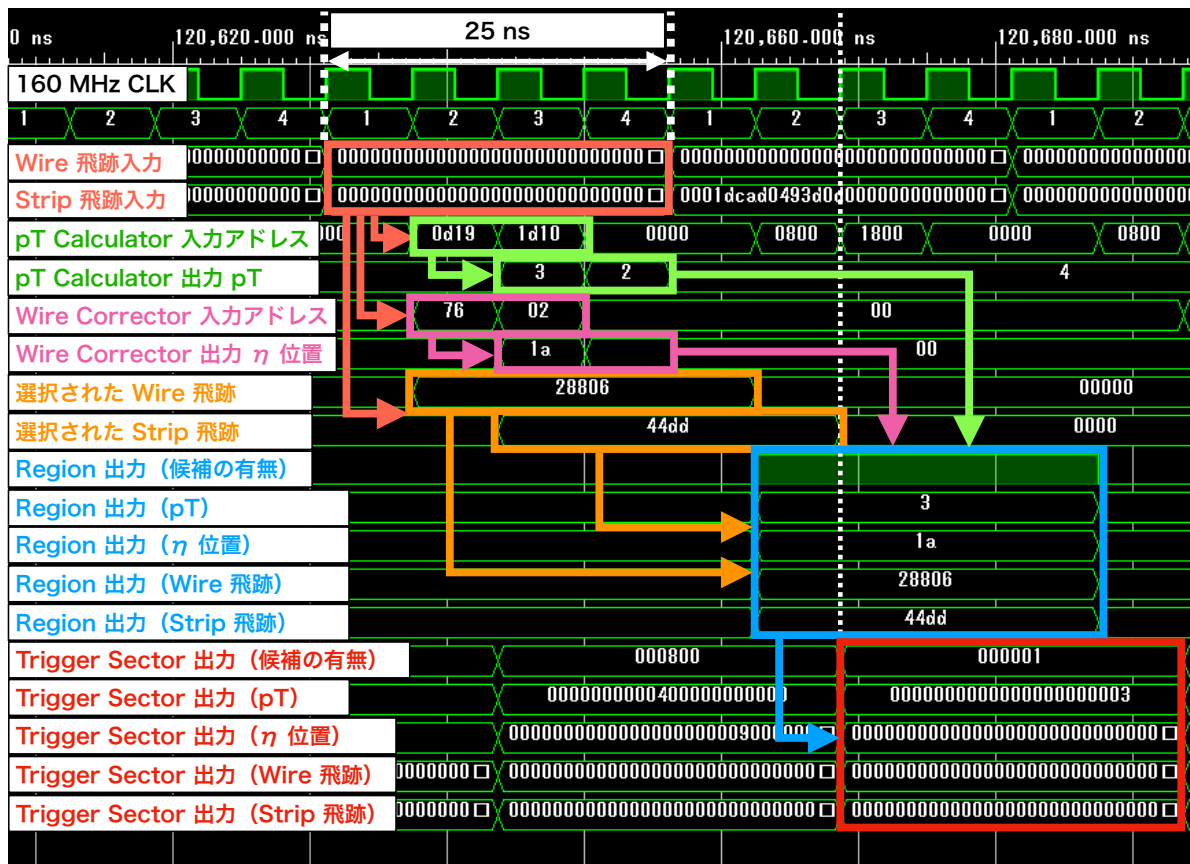


図 6.7 : Wire-Strip Coincidence の波形出力の例. ワイヤー及びストリップの飛跡入力から p_T と η 位置の出力, 候補の選択を行い出力するまでの一連の流れがクロックに従って流れていることがわかる. Region 出力と Trigger Sector 全体の出力のタイミングの差は, 5.7.2 節に述べた複数のチェンバーにまたがる Region の処理を行うために生じている.

波形出力の例を示す. 表 6.3 に比較結果を示す. エンドキャップ領域で 98.4%, フォワード領域で 99.9% のイベントにおいてソフトウェアの出力と完全に一致し, 特にイベントで最大の p_T 出力についてはエンドキャップ領域, フォワード領域ともに 99.9% 以上のイベントで一致することが確認できた.

6.3 ファームウェア統合試験

現在は SL ボードの第一試作機を用いた検証が進行中である. 図 6.8 に第一試作機の画像を示す. 試作機の電源や消費電力, 排熱性能等のハードウェアの検証とともに, FPGA に搭載するロジックの統合検証を進めている. 図 6.9 に示すように, FPGA に搭載するロジックはトリガー判定を行う Trigger Logic とヒット及びトリガーの情報を読み出す Readout Logic に大別される. これまで別個かつ小単位の領域をターゲットとして開発が進められてきたが, 第一試作機を用いた統合開発では, 全領域のトリガーモジュール及び読み出しモジュールを SLR に配置して実装し, 動

表 6.3 : Wire-Strip Coincidence の比較結果. EC はエンドキャップ領域, FW はフォワード領域の結果を示す. イベントで最大の p_T 出力はエンドキャップ領域, フォワード領域ともに 99.9%以上のイベントで一致している.

	割合	
	EC	FW
飛跡情報が一致したイベント	98.4%	99.9%
飛跡情報の異なったイベント	1.6%	0.07%
イベントで最大の p_T 出力が異なったイベント	0.09%	0.02%

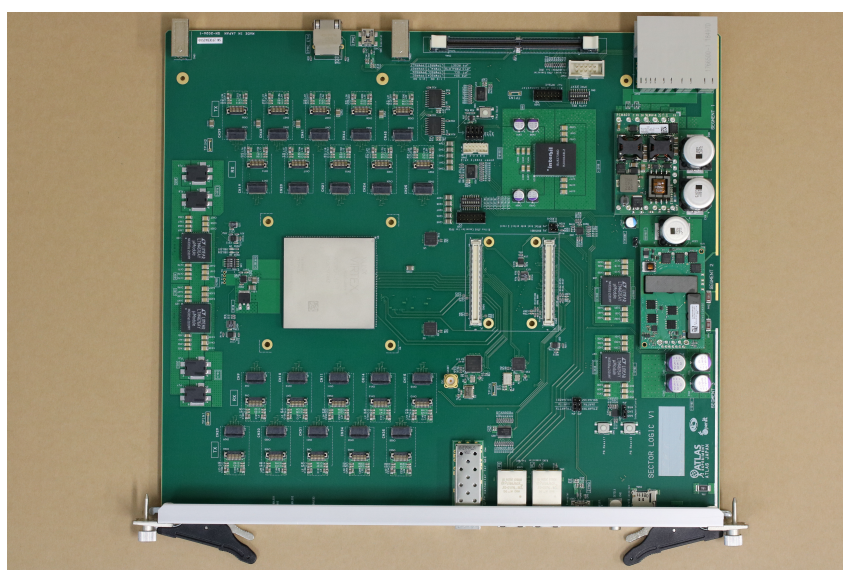


図 6.8 : SL ボード第一試作機. 中央左の大きなチップが FPGA である.

作確認を進めている. モジュールの SLR への配置及び現在の統合試験の進行状況を図 6.10 に示す. 既に Readout Logic については統合が完了しており, 現在 Trigger Logic の統合が進行中である. Wire-Strip Coincidence については, 本研究で拡張したファームウェアが正しく動作することを確認できたことから現在統合が進行中であり, その後の Inner Coincidence についても今後統合を進める.

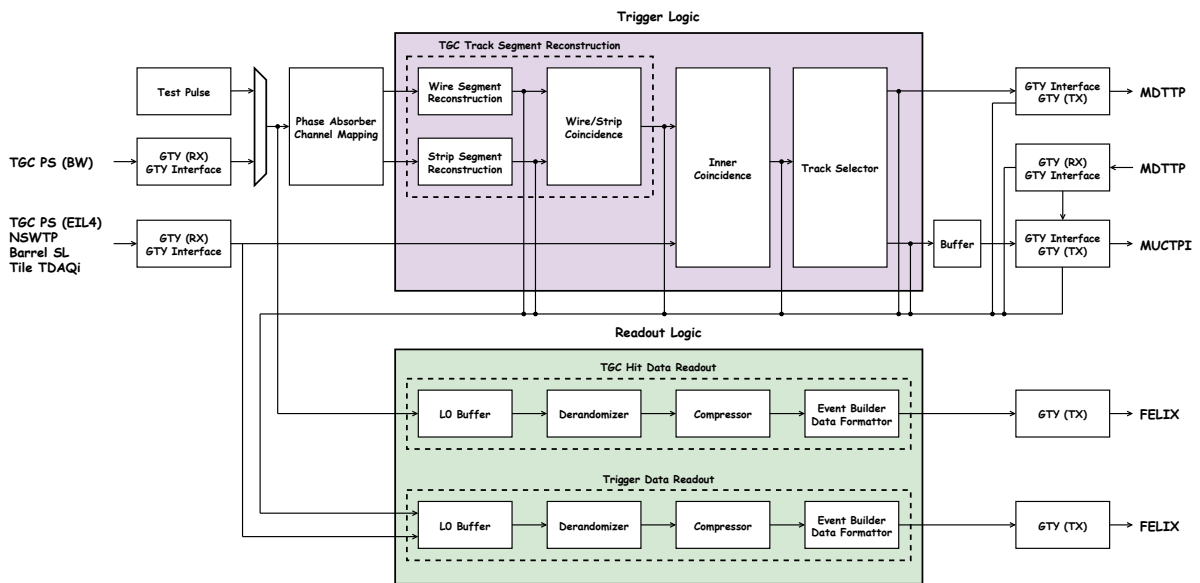


図 6.9 : ファームウェアに搭載するロジックの概要. トリガー判定を行う Trigger Logic と情報を読み出す Readout Logic の2つに大別され, 現在第一試作機上で統合の上試験が進んでいる.

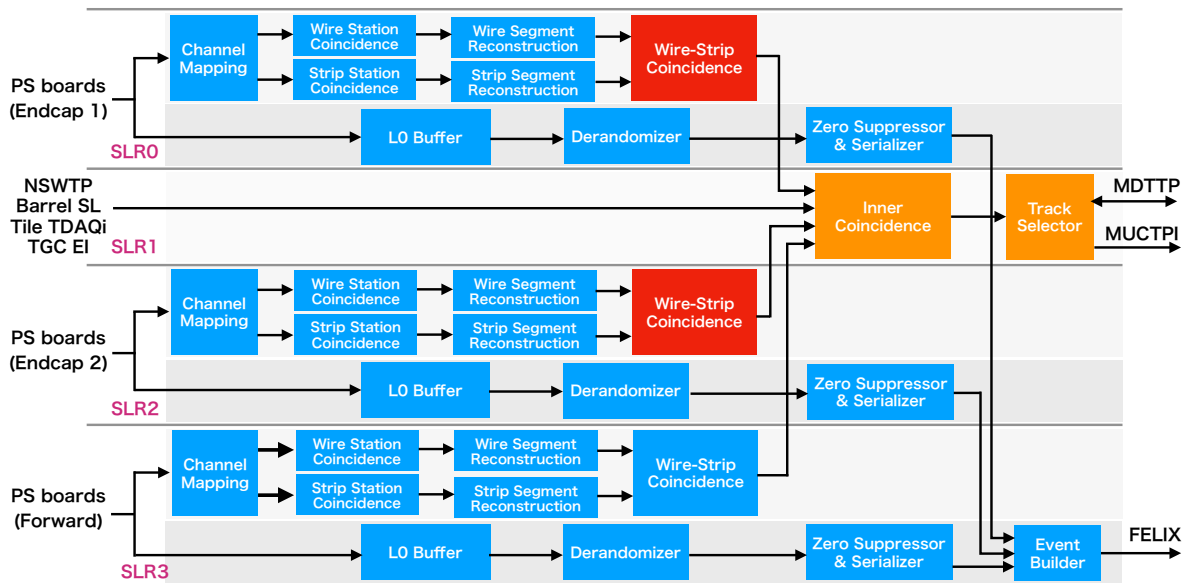


図 6.10 : 現在の統合試験の進行状況. 青が統合済みのモジュール, 赤が統合中のモジュール, 黄が今後統合予定のモジュールを示す. 読み出しロジックの全体及びトリガーロジックのワイヤー及びストリップでの飛跡再構成は統合が完了しており, 現在エンドキャップ領域の Wire-Strip Coincidence を統合中である.

第7章 結論と今後の展望

2029年より開始予定の高輝度LHCでは、瞬間ルミノシティがこれまでの約3倍の $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ に増強される。ATLAS実験では、このルミノシティの増加に伴って生じるトリガーレートの増加に対応するため、トリガーシステムのアップグレードを行う。初段トリガーのレイテンシーは $2.5 \mu\text{s}$ から $10 \mu\text{s}$ に延長され、エンドキャップ部初段ミュオントリガーではTGC BWの全ヒット情報を大規模FPGAを搭載したEndcap Sector Logic (SL)に送信して飛跡の再構成と p_T の判定を行う。本研究ではエンドキャップ部初段ミュオントリガーのアルゴリズムを開発し、ファームウェアに実装するトリガーロジックをSLが担う領域全体への拡張するとともにこれに伴う最適化を行った。

エンドキャップ部のミュオントリガーにおいては、TGC BW全7層のヒット情報を用いて再構成した飛跡の位置情報とトロイド磁場の内部に設置された検出器であるRPC BIS78で再構成された飛跡情報を用いることで衝突点由来でない荷電粒子によるトリガーの削減と p_T を高精度に再構成を行うトリガー判定手法を開発し、高い p_T を持つミュオンに対して99.7%の検出効率を保ちながら低いミュオンを削減可能なロジックであることを確認した。開発したトリガーロジックにおける閾値以上の p_T に対する検出効率とトリガーレートをモンテカルロシミュレーションを用いて評価した。その結果、閾値以上の p_T に対する検出効率を94%（現行のトリガーシステムのままでは85%）に保ったまま、閾値以下の p_T を持つミュオンや背景事象によるトリガーを削減することで18kHz（現行のトリガーシステムのままでは34kHz）というトリガーレートを達成できることを確認した。本研究によって、高輝度LHCにおいても高い性能でミュオントリガーを運用することができ、物理感度を高く保つことができることを示した。今後、RPC BIS78で再構成された飛跡を用いたトリガーロジックによる更なるトリガーレートの削減についても検証を行うことが必要である。

TGC BWにおける飛跡再構成手法と、開発した磁場内側の検出器の情報を用いたトリガーロジックは、SL上のFPGAにファームウェアとして実装される。トリガーロジックは小さな領域を単位として構成され、これを全体に拡張することによってSLが担う大領域に対して実装することができる。本研究では、小単位のトリガーロジックの実装に加えて、これらのロジックをヒット情報の入力から最終的なトリガー出力までの一連の処理を行えるよう接続するとともに、SLの担う領域全体に対してトリガーロジックを最適化して拡張する実装を行った。特に、TGC BWにおけるストリップのヒット情報を用いた飛跡再構成及びこれとワイヤーで再構成された飛跡を用いた再構成及び横運動量判定ロジックを最適化し、これを全領域に拡張した。更に、シミュレーションを用いて、単位領域においてTGC BWのヒット情報の入力から最終的なトリガー出力ま

での一連のトリガーロジックを繋いで動作させ、出力をソフトウェアシミュレーションと比較検証し、設計が正しく実現されていることを確認した。また、本研究で拡張したトリガーロジックについても、シミュレーションを用いてトリガー回路の出力とソフトウェアシミュレーションの結果を比較することで、拡張したファームウェアが正しくトリガー判定可能であることを示した。この結果を踏まえ、本研究で開発・拡張したトリガーファームウェアは、高輝度 LHC においてトリガー判定に実際に用いられることとなった。

今後は、トリガーロジックの拡張実装を完了し、SL 試作機を用いた全体の統合検証を行うことでハードウェアトリガーの完成を目指す。更に、MDT TP や MUCTPI との接続を行い、初段ミュオントリガー全体として動作するよう開発を進めていく。また、Wire-Strip Coincidence において、より豊富なトリガー閾値の選択肢のために p_T 閾値を現在の 4 段階から 15 段階まで増設してより高精度な p_T 判定を行い、さらに飛跡の電荷の判断や磁場情報を踏まえたトリガー判定も行えるよう開発を行うなど、更なる高度なロジックの開発や最適化を行っていき、高輝度 LHC で必要なトリガー性能を達成する。

謝辞

本研究を遂行するにあたって、多くの方々にお世話になりました。まず、日々の研究への指導や論文執筆に多くの助言をくださった隅田土詞助教に心より感謝いたします。また、毎週のミーティングでアドバイスをいただき、本論文についても的確なコメントをしていただいた長野邦浩准教授に感謝いたします。その他の先生方にも、授業や研究室での発表、TAなどで大変お世話になりました。深く感謝いたします。

Phase-2 アップグレードチームの皆様にも大変お世話になりました。ミーティングで様々なアドバイスや質問をいただき、順調に研究を進めることができました。特に、Sector Logic の統合にあたって、同期である東京大学の三島章熙君には実機への統合を取りまとめていただき、ファームウェアに対して重要な指摘をいただいたり議論していただいたほか、名古屋大学の鍋山友希君、東京大学の山下恵理香さんには多くの場面でトリガーロジックとその実装について議論をしていただき、お陰様で考察を深めながら研究を進めることができました。

京都 ATLAS グループのみなさまにも大変お世話になりました。野口陽平氏には、ミーティングなどでソフトウェアに関する助言をいただき感謝しております。岡崎佑太氏には、ミーティングなどでアドバイスいただきましたこと感謝しております。三野裕哉氏には、研究を開始した頃右も左もわからなかった私にソフトウェアやトリガーについて基礎的なところから詳しく教えていただき、研究を進める上でも常に多くの視点から助言や手助けをいただきました。深く感謝いたします。小林蓮氏には、短い期間ではありましたが特にファームウェアについて基礎的なところから丁寧に教えていただきましたこと感謝しております。また円滑にファームウェア開発に携われるよう環境を整備していただきありがとうございました。辻川吉明氏には、Run-3 への深い理解をもとにファームウェアについてアドバイスや的確な質問をいただき感謝しております。佐野高嶺氏にはソフトウェアの視点からミーティングでアドバイスをいただきありがとうございました。吉村宣倅氏には Coincidence Window の開発を含め様々な点で相談に乗っていただき、助言をいただきありがとうございました。

高エネルギー物理学研究室の皆様にも大変お世話になりました。特に同期の浅野有香さん、有元隼太君、武市宗一郎君、藤中峻君には感謝しております。また、研究に対する姿勢や、研究や本論文の執筆で行き詰まった際の有用なアドバイスから気が軽くなる他愛のない会話に至るまで、2年間研究室の皆様にも多くの支えをいただきましたこと感謝いたします。

最後に、24年間常に温かく私を見守り、時には厳しい助言でもって支え導き、自由な道を進む私の背中を押してくれた家族に深く感謝します。

参考文献

- [1] ノーベル物理学賞でたどる標準理論 100 年の歴史 — ニュースルーム — kek. <https://www.kek.jp/ja/newsroom/2012/07/27/1500/>.
- [2] 三野裕哉. 高輝度 LHC ATLAS 実験に向けた初段ミューオントリガーアルゴリズムの開発及びハードウェアへの実装. Master's thesis, 京都大学理学研究科, 2020.
- [3] Additional plots of the atlas higgs physics group. <https://atlas.web.cern.ch/Atlas/GROUPS/PHYSICS/CombinedSummaryPlots/HIGGS/>, 2019.
- [4] ATLAS Collaboration. Projections for measurements of higgs boson signal strengths and coupling parameters with the atlas detector at a hl-lhc - cern document server. <https://cds.cern.ch/record/1956710>.
- [5] Are Raklev. Introduction to supersymmetry. https://indico.cern.ch/event/612795/contributions/2529119/attachments/1467242/2268723/intr_susy.pdf, 2017.
- [6] ATLAS Collaboration. Searches for electroweak production of supersymmetric particles with compressed mass spectra in $\sqrt{s} = 13$ TeV pp collisions with the atlas detector. *Phys. Rev. D*, Vol. 101, p. 052005, Mar 2020.
- [7] ATLAS Collaboration. Susy summary plots march 2022 - cern document server. <https://cds.cern.ch/record/2805985>.
- [8] Standard Model Summary Plots February 2022. Technical report, CERN, Geneva, 2022.
- [9] Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System. Technical report, CERN, Geneva, 2017.
- [10] Constraining the Higgs boson self-coupling from single- and double-Higgs production with the ATLAS detector using pp collisions at $\sqrt{s} = 13$ TeV. Technical report, CERN, Geneva, 2022.
- [11] Fabienne Marcastel. CERN's Accelerator Complex. 2013. General Photo.
- [12] ATLAS Collaboration. The ATLAS Experiment at the CERN Large Hadron Collider. *JINST*, Vol. 3, p. S08003, 2008.

- [13] ATLAS MAGNETIC FIELD. <http://atlas.web.cern.ch/Atlas/GROUPS/MUON/magfield/>.
- [14] 小林蓮. 高輝度 LHC ATLAS 実験に向けた初段ミューオントリガー アルゴリズムの改良とハードウェアへの実装. Master's thesis, 京都大学理学研究科, 2021.
- [15] Installation of the first of the big wheels of the atlas muon spectrometer, a thin gap chamber (tgc) wheel - cern document server. <https://cds.cern.ch/record/986163>, 2006.
- [16] Konstantinos Ntekas. Performance characterization of the Micromegas detector for the New Small Wheel upgrade and Development and improvement of the Muon Spectrometer Detector Control System in the ATLAS experiment, 2016. Presented 2016.
- [17] T Kawamoto, S Vlachos, L Pontecorvo, J Dubbert, G Mikenberg, P Iengo, C Dallapiccola, C Amelung, L Levinson, R Richter, and D Lellouch. New Small Wheel Technical Design Report. Technical report, 2013. ATLAS New Small Wheel Technical Design Report.
- [18] 吉村宣倅. LHC-ATLAS 実験 Run-3 に向けた初段ミューオントリガーアルゴリズムの開発および性能評価. Master's thesis, 京都大学理学研究科, 2022.
- [19] ApprovedPlotsTDAQ. <https://twiki.cern.ch/twiki/bin/view/AtlasPublic/ApprovedPlotsDAQ>.
- [20] Trigger menu in 2018. Technical report, CERN, Geneva, 2019.
- [21] Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer. Technical report, CERN, Geneva, 2017.
- [22] ATLAS level-1 trigger: Technical Design Report. Technical report, Geneva, 1998.
- [23] 赤塚駿一. LHC-ATLAS 実験 Run-3 に向けたミューオントリガーの改良. Master's thesis, 京都大学理学研究科, 2017.
- [24] 岡崎佑太. LHC-ATLAS 実験 Run-3 に向けたミューオントリガーの改良とハードウェアへの実装. Master's thesis, 京都大学理学研究科, 2018.
- [25] D Lellouch, L Levinson, and K Hasuko. Naming and numbering scheme for the Endcap muon trigger system. Technical report, CERN, Geneva, 2000.
- [26] Lyndon R Evans and Philip Bryant. LHC Machine. *JINST*, Vol. 3, p. S08001, 2008. This report is an abridged version of the LHC Design Report (CERN-2004-003).
- [27] ATLAS Collaboration. Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC. *Phys. Lett. B*, Vol. 716, p. 1, 2012.

- [28] Serguei Chatrchyan, et al. Observation of a New Boson at a Mass of 125 GeV with the CMS Experiment at the LHC. *Phys. Lett. B*, Vol. 716, pp. 30–61, 2012.
- [29] S. Chatrchyan, et al. The CMS Experiment at the CERN LHC. *JINST*, Vol. 3, p. S08004, 2008.
- [30] K. Aamodt, et al. The ALICE experiment at the CERN LHC. *JINST*, Vol. 3, p. S08002, 2008.
- [31] A. Augusto Alves, Jr., et al. The LHCb Detector at the LHC. *JINST*, Vol. 3, p. S08005, 2008.
- [32] R.L. Workman et al. (Particle Data Group). Review of particle physics - kinematics. <https://pdg.lbl.gov/2022/reviews/rpp2022-rev-kinematics.pdf>, 2021.
- [33] Weiming Qian. Design and test performance of the atlas feature extractor trigger boards for the phase-1 upgrade. *Journal of Instrumentation*, Vol. 12, No. 01, p. C01079, jan 2017.
- [34] Samtec. Micro flyover 基板上光エンジン、firefly — samtec. <https://www.samtec.com/jp/optics/optical-cable/mid-board/firefly>, 2023.
- [35] SFF Committee. SFF-8431 Specifications for Enhanced Small Form Factor Plugable Module SFP+. https://optixcom.com/product_pdf/2.bidi/2-SFPplus_BiDi/SFP+%20MSA-SFF-8431.pdf, 2009.
- [36] PICMG. Advancedtca. <https://www.picmg.org/openstandards/advancedtca/>, 2023.
- [37] J. Mendez, V. Bobillier, S. Haas, M. Joos, S. Mico, and F. Vasey. Design of an advancedtca board management controller (ipmc). *Journal of Instrumentation*, Vol. 12, No. 03, p. C03010, mar 2017.
- [38] Inc. Advanced Micro Devices. Zynq-7000 soc. <https://japan.xilinx.com/products/silicon-devices/soc/zynq-7000.html>.
- [39] Inc Advanced Micro Devices. profpga xilinx virtex ultrascale+ xcvu13p fpga. <https://japan.xilinx.com/products/boards-and-kits/1-18q1py1.html>. 2023.
- [40] Inc Xilinx. Virtex UltraScale FPGAs Data Sheet: DC and AC Switching Characteristics. <https://docs.xilinx.com/v/u/en-US/ds893-virtex-ultrascale-data-sheet>, 2019.
- [41] Inc. Advanced Micro Devices. Vivado ml の概要. <https://japan.xilinx.com/products/design-tools/vivado.html>, 2023. (Accessed on 01/13/2023).

- [42] 川口智美. 高輝度 LHC-ATLAS 実験に向けたパターンマッチングを用いた TGC 飛跡トリガーの開発. Master's thesis, 名古屋大学理学研究科, 2018.
- [43] Tomas Garcia et al. Technical report, CERN, Geneva, 2022.

付 録 A 高輝度 LHC におけるエンドキャップ部 初段ミュオントリガーに搭載する PS Board

図 A.1 に示すように, 1 つの PS ボードには 8 つの PP ASIC と 1 つの Xilinx Kintex-7 (XC7K325) FPGA が搭載されている. 1 つの PP ASIC は 2 枚の ASD ボードから合計 32 チャンネルの信号を受け取り, タイミング調整とバンチ識別を行う. FPGA は 8 つの PP ASIC から信号を受け取り, 光トランシーバーを用いて後段の Endcap SL に送る. 1 枚の PS ボードはバンチ交差あたり合計 256 bit のヒット情報及び衝突バンチを識別する情報 (BCID) などを含む 64 bit の回路情報を 2 本の光トランシーバーを用いて Endcap SL に送信する. データの転送には 8 bit のデータを 10 bit のデータに変換する高速シリアル転送方式を用いており, 1 枚の PS ボードの転送レートは $(256 + 64) \text{ bits} \times 40 \text{ MHz} \times 10 \text{ bit}/8 \text{ bit} = 16 \text{ Gb/s}$ となる. そのため, 8 Gb/s に対応する光トランシーバーを 2 本用いてデータの転送を行う.

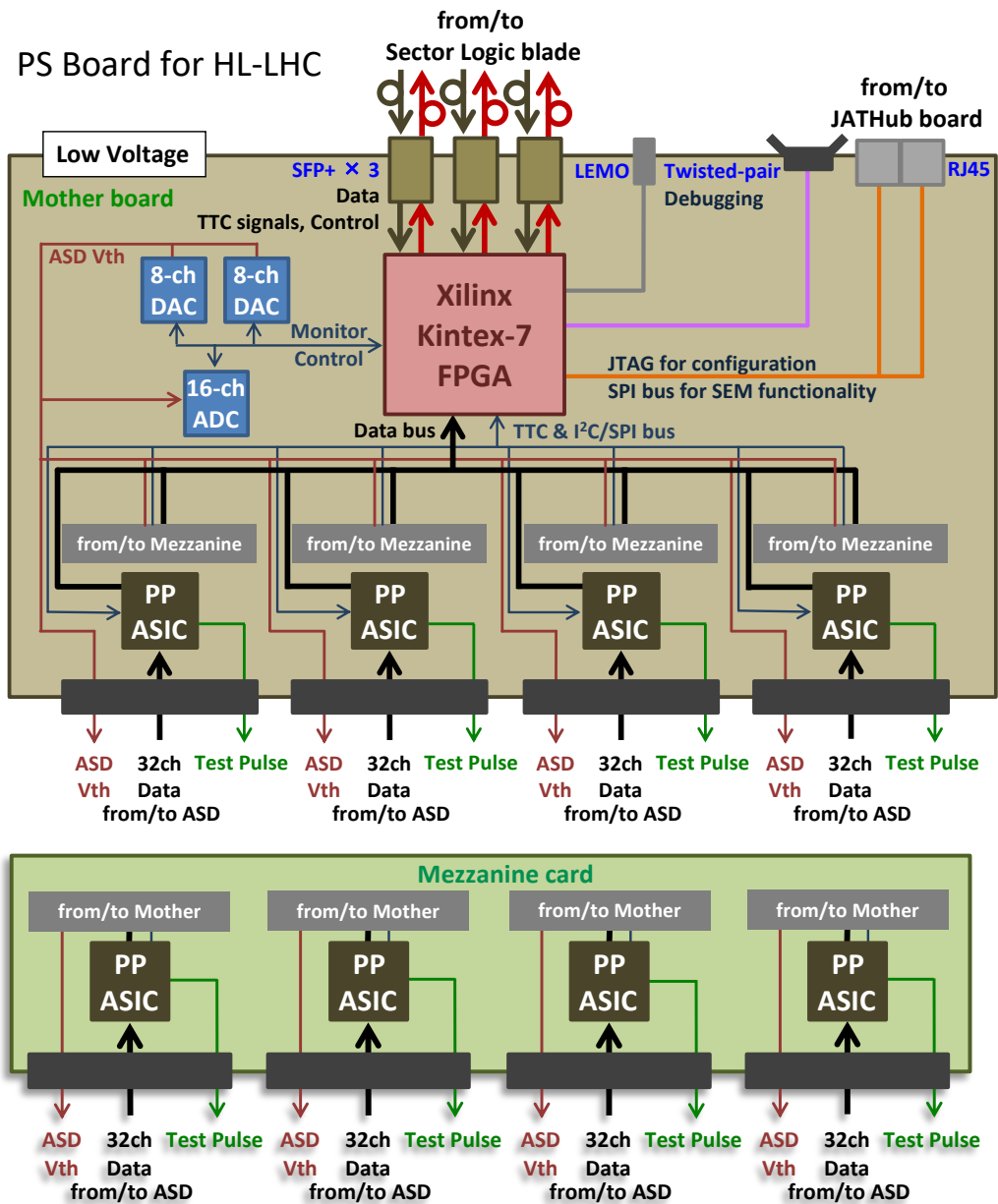


図 A.1 : 高輝度 LHC における PS Board の簡略化した回路図. 8つの PP ASIC と 1つの Xilinx Kintex-7 (XC7K325) FPGA が搭載されている. 8つの PP ASIC のうち 4つはマザーボードに接続されたメザニンボードに搭載される. PP ASIC は 2枚の ASD ボードから 32 チャンネルの信号を受け取り, タイミング調整とバンチ識別を行う.

付録B 高輝度LHCにおけるエンドキャップ部 初段ミュオントリガーの開発

B.1 ワイヤー・ストリップ飛跡再構成における角度パターンリストの作成

ワイヤー、ストリップそれぞれでは各ステーションごとの代表点の組み合わせに対応した飛跡の角度の計算を行う。図 B.1 にパターンリスト作成手法の概要の図を示す。パターンリスト作成手順は以下の通りである。

- 1) 衝突点と TGC を結ぶ直線 (*) と M3 の交点を固定し、直線の角度 $\theta(\phi)$ の周りで Δ を Δ_+ から Δ_- までスキャンする。(*) の直線は無量大運動量を持つミュオンの飛跡に対応し、 $\Delta_{+(-)}$ は p_T が 4 GeV のミュオンが TGC BW で (*) の直線となす角度である。
- 2) (*) の直線となす角度が Δ の直線が通過する M1, M2, M3 の代表点の中心位置に対して直線でフィッティングを行い、得られた直線の傾きをパターンとして保存する。

ワイヤーパターンリストについて、 p_T が 4 GeV のミュオンが通過する場合の無量大運動量の飛跡に対する角度 $\Delta_{+(-)}$ は、M1 と M2 の間に設置されている MDT で再構成した飛跡の角度情報を用いて求めることができる。先行研究により、各トリガーセクターの各 R 位置ごとに $\Delta_{+(-)}$ が求められている^[42]。 $\Delta_{+(-)}$ の幅と Endcap SL でパターンリストの保存に用いることができるリソース量を加味して、ワイヤー及びストリップにおけるパターンマッチングを行う最小領域 (block) が決定されている。

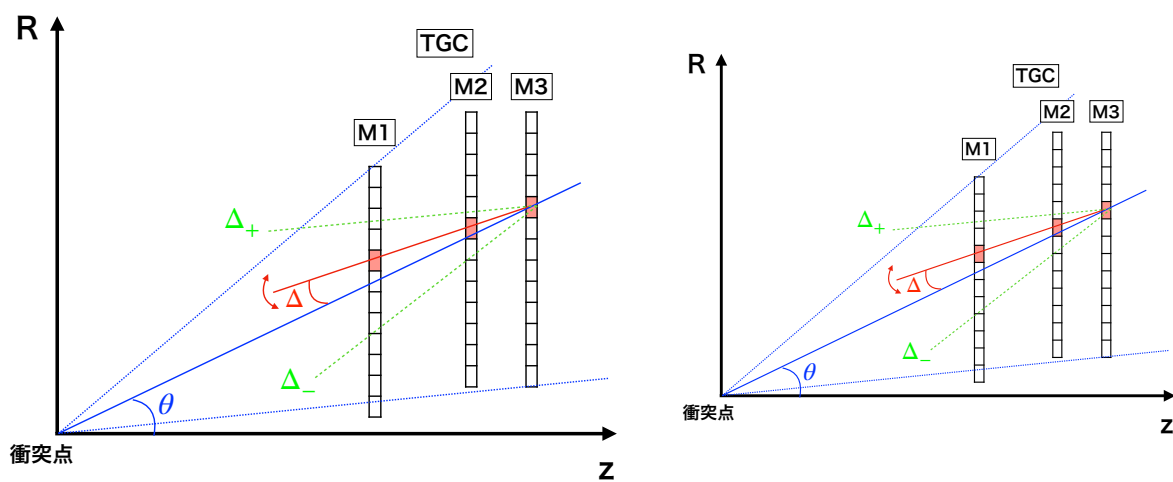


図 B.1 : ワイヤ (左) 及びストリップ (右) のパターンリスト作成手法の概念図 [2]. 衝突点と TGC を結ぶ直線の角度 θ/ϕ の周りで Δ を Δ_+ から Δ_- までスキャンする. 直線が通過する TGC の代表点の組み合わせを記録することでパターンリストが得られる.

B.2 RPC BIS78 Coincidence Window

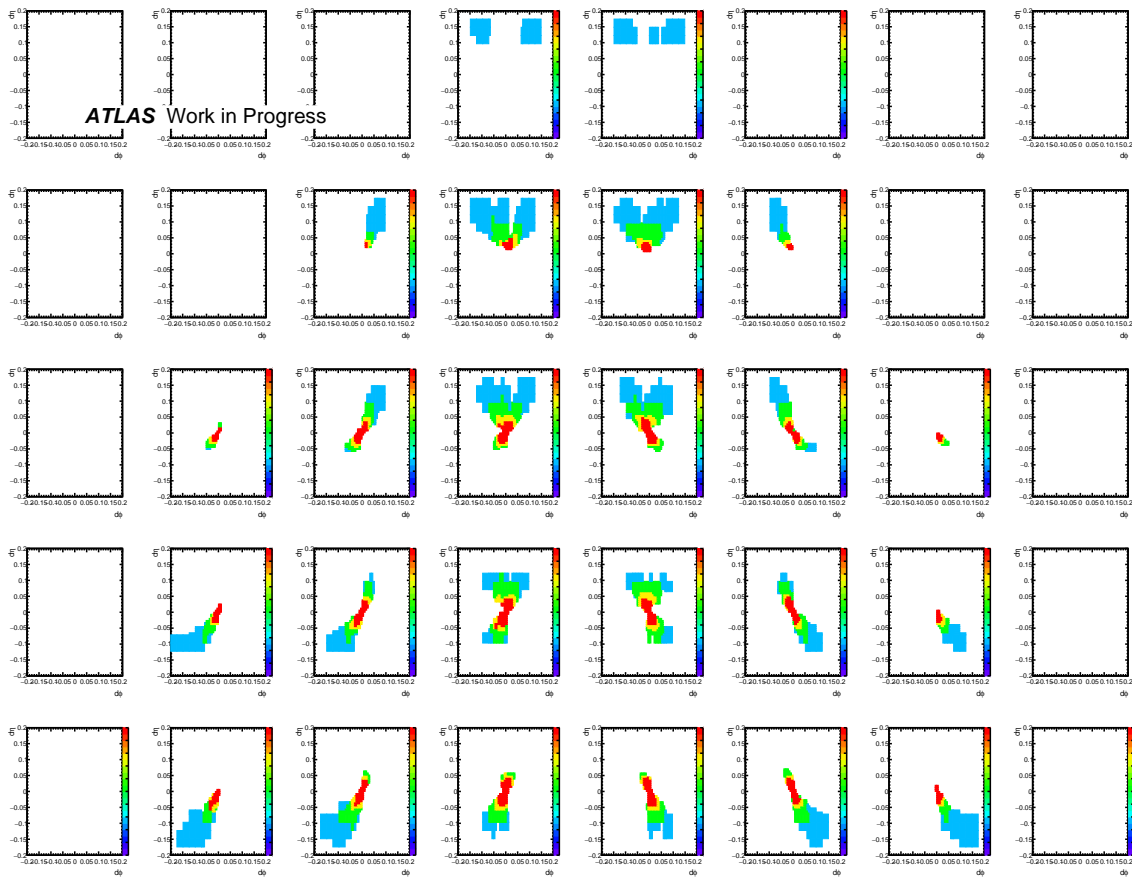


図 B.2 : A-side の RPC BIS78 Coincidence をとりうる全領域における RPC CW.

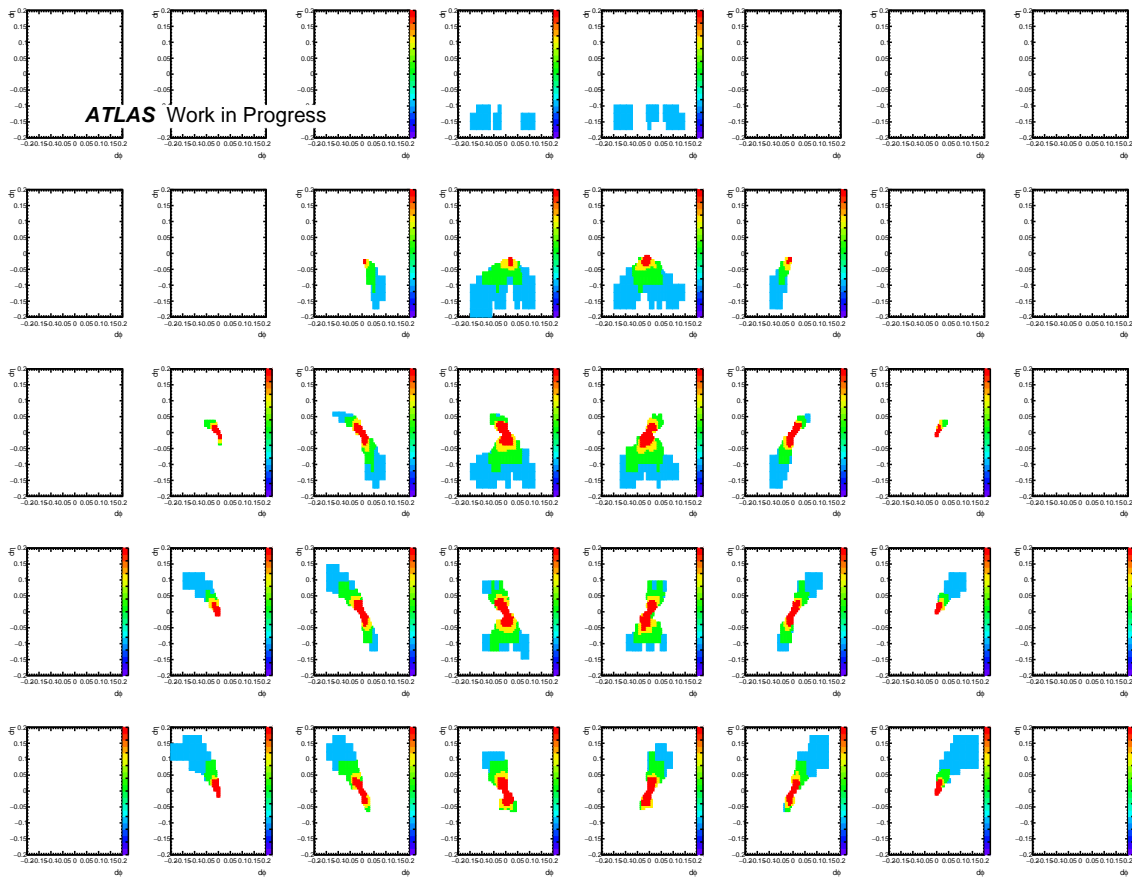


図 B.3 : C-side の RPC BIS78 Coincidence をとりうる全領域における RPC CW.

付録C 高輝度LHCにおける初段ミュオントリガーの実データを用いた性能評価方法

高輝度LHCにおける初段ミュオントリガーのレートの評価には、2016年にランダムトリガーで取得したデータを用いた。データ取得時と高輝度LHCでのビームのパラメータを表C.1に示す。2016年時のパイルアップ数は高輝度LHCで予定されているパイルアップ数と大きく異なるため、複数のイベントにおける各検出器のヒット情報を重ね合わせることで、高パイルアップの環境を再現する。図C.1にイベントの重ね合わせにより作成したサンプルの各イベントのパイルアップ数とTGCでのヒット数を示す。

高輝度LHCで予想される瞬間ルミノシティでのトリガーレートを求めるため、イベントの重ね合わせにより作成した各サンプルのパイルアップ数におけるルミノシティ (L) を以下の式を用いて計算した。

$$L = (1.38 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}) \times \frac{\langle \mu \rangle}{44.5} \times \frac{2808}{2208} \quad (\text{C.1})$$

式C.1において、 $1.38 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ は元の実データの最高瞬間ルミノシティ、44.5 と $\langle \mu \rangle$ はそれぞれ元の実データの最大パイルアップ数と、イベントの重ね合わせにより作成したサンプルの平均パイルアップ数である。高輝度LHCでは衝突バンチ数をデータ取得時の2208から2808まで増やす^[43]ため、ルミノシティもそれに比例して2808/2208 ~ 1.27倍に増加する。各サンプルと元の実データのパイアップ数の比およびバンチ数の高輝度LHCとデータ取得時の比を元の実データの最高瞬間ルミノシティにかけることで、実効的な瞬間ルミノシティが得られる。また、レー

表 C.1: データ取得時 (Run-2) と高輝度LHCでのビームのパラメータ。

	Run-2	高輝度LHC
重心系エネルギー [TeV]	13	14
衝突バンチ数	2208	2808
最大瞬間ルミノシティ [$\text{cm}^{-2}\text{s}^{-1}$]	1.38×10^{34}	7.5×10^{34}
最大パイルアップ数	44.5	-
平均パイルアップ数	26.9	200

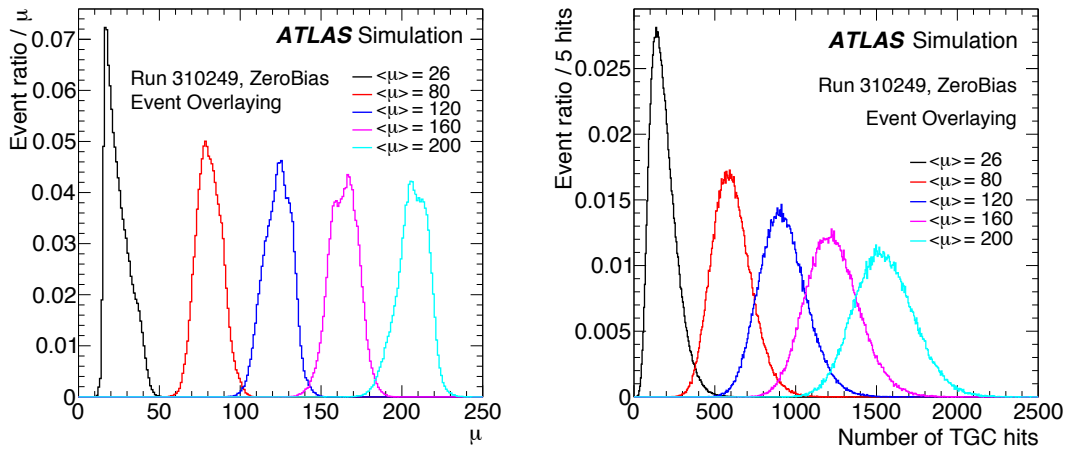


図 C.1 : (左) 実データのイベントを重ね合わせることで作成した高輝度の状況を再現するためのサンプルにおけるバンチ交差あたりのパイルアップ数 (μ) の分布. 各サンプルは μ が 80, 120, 160, 200 になるようにイベントを重ね合わせている. (右) バンチ交差あたりの TGC のヒット数の分布. パイルアップ数の多い環境を再現できていることがわかる [2].

トについては以下の式を用いて計算される.

$$R = \frac{N_{\text{trigger}}}{N_{\text{events}}} \times 40 \text{ MHz} \times \frac{2808}{3564} \quad (\text{C.2})$$

式 C.2 において, N_{events} はサンプルのイベント数, N_{trigger} はトリガーが発行されたイベント数を示す. LHC 加速器で 40 MHz でバンチ衝突が起こる時の衝突バンチ数は 3564 であり, これと元となる実データの衝突バンチ数との比をとり 40 MHz との積を計算することで, 元の実データでの衝突頻度が得られる. さらに, これにイベント数に対するトリガーが発行されたイベント数の比をかけることで, トリガーレートが得られる.

付録D Sector Logic

D.1 Sector Logicが受信するデータ

SLはTGC, RPC BIS78, NSW, Tile カロリメータの4種類の検出器から情報を受け取り, ミューオントリガーの判定を行う. ここでは, 各検出器から受け取るデータフォーマットについて説明する.

TGC BW から受信するデータフォーマット

TGC を用いた飛跡再構成では, TGC BW 及びEI の全チャンネルのヒット情報を用いる. 1枚のPSボードはバンチ衝突あたりTGC全チャンネルのヒット情報256bitに加えて64bitのヘッダーとフッターを付加して後段に送る. パラレル信号を8b/10b変換でシリアル信号に変換してデータ転送を行うため, 1枚のPSボードの転送レートは16Gb/sとなり, 8Gb/sに対応する光学リンクを2本用いて直列にデータ転送を行う. 1本の光学リンクあたりに転送する暫定的なデータフォーマットを表D.1に示す. TGCの128チャンネルのヒット情報に加え, 回路情報やバンチを識別する情報が送られる. “comma”は受信側でシリアルデータをパラレルデータに変換する際に, シリアルデータの境界の位置を知るために用いられる特殊なパターンである.

NSW から受信するデータフォーマット

NSW を用いたトリガーアルゴリズムでは, NSW における飛跡の位置, 角度とTGCで再構成された飛跡の位置情報を組み合わせて p_T を計算する. NSW TP では, NSW で得られたヒット情報からミューオンの飛跡を再構成しSLに送る. 1つのSLは1または2つのNSW TP と接続されている. NSW TP は飛跡の角度を1mradで再構成するように設計されており, 再構成された1つの飛跡の情報は表D.2のように28bitで表現される.

RPC BIS78 から受信するデータフォーマット

RPC BIS78 を用いたトリガーアルゴリズムでは, RPC における飛跡の位置, 角度とTGCで再構成された飛跡の位置, 角度情報を組み合わせて, p_T を計算する. Barrel SLでは, 3層のヒットに対して2/3コインシデンスをとり, 再構成された飛跡の位置情報及び角度情報をEndcap SLに送信する. 再構成された1つの飛跡の情報は表D.3のように24bitで表現される予定である.

表 D.1 : バンチ衝突ごとに1本のファイバーを通してTGCから受け取るデータフォーマット. SLは1枚のPSボードから2本のファイバーを用いてデータを受け取る. BCIDはBunch Crossing IDの略であり, バンチを識別する番号として用いられる. commaは受信側でシリアルデータをパラレルデータに変換する際に, シリアルデータの境界を示すパターンである.

Words (16-bit)	first byte	second byte
Word-0	comma	BCID (last 8-bit)
Word-1	16-bit TGC hit data	
Word-2	16-bit TGC hit data	
Word-3	16-bit TGC hit data	
Word-4	16-bit TGC hit data	
Word-5	16-bit TGC hit data	
Word-6	16-bit TGC hit data	
Word-7	16-bit TGC hit data	
Word-8	16-bit TGC hit data	
Word-9	TGC electronics status	

表 D.2 : NSWで再構成した飛跡のデータフォーマット [2].

bit 数	情報	内容	分解能
14	η	NSWで再構成された飛跡の位置 η	0.0001
8	ϕ	NSWで再構成された飛跡の位置 ϕ	15 mrad
5	$\Delta\theta$	NSWで再構成された飛跡の角度	1 mrad
1	Monitor	モニター用の bit	-

表 D.3 : RPC BIS78 で再構成した飛跡のデータフォーマット.

bit 数	情報	内容
8	η index	ミューオンの η 方向の位置情報
6	ϕ index	ミューオンの ϕ 方向の位置情報
3	$\Delta\eta$	飛跡の η 方向の角度情報
3	$\Delta\phi$	飛跡の ϕ 方向の角度情報
2	2/3 flag	RPC BIS78 の 3 層のうち, どの層にヒットがあったかを表す
2	spare	予備

表 D.4 : RPC BIS78 から送信される暫定的なデータフォーマット. CRC は誤り検出符号の一種.

Word	first byte	second byte
0	BCID (last 8-bit)	comma
1	Coincidence output 1	
2		
3	Coincidence output 2	
4	Coincidence output 3	
5		
6	Coincidence output 4	
7	CRC	予備

1つの SL は 1つの Barrel SL から情報を受け取る. 表 D.4 に Barrel SL から送信される暫定的なデータフォーマットを示す.

Tile カロリメータから受信するデータフォーマット

Tile カロリメータを用いたトリガーアルゴリズムでは, Tile カロリメータのセルにエネルギーに閾値を設けることでミューオンの通過を要求し, トリガーを発行する. Tile カロリメータのエンドキャップ部に該当する領域は図 2.14 に示すように 3 層に分かれており, Endcap SL では ϕ 方向に 4つのモジュールからこの 3 層の情報 (A,B,C,D 層) から 2 段階のエネルギー閾値情報を受け取る. フォーマットについては検討中の段階にあるが, 表 D.5 に Tile カロリメータから受信する情報の暫定的なフォーマットを示す.

表 D.5 : Tile カロリメータから受け取る暫定的なデータフォーマット.

Word	32-bit
0	Energy Flag Data (Phi Sector 0)
1	Energy Flag Data (Phi Sector 1)
2	Energy Flag Data (Phi Sector 2)
3	Energy Flag Data (Phi Sector 3)
4	Error handling, test, and diagnostics
5	Reserved, CRC, BCID, comma

D.2 Sector Logic が送信するデータ

MDT に送信するデータフォーマット

SL で判定されたミュオントラック候補の情報及び NSW における飛跡情報は MDT TP に送られ、MDT の情報を用いてより高い精度でミュオン候補を選別し、SL にその結果を返す。SL で再構成されたミュオンの候補の情報を [D.6](#) に示す。1 候補の飛跡情報は 128 bit で表され、TGC のヒット情報を用いて再構成した飛跡の位置・角度情報と NSW で再構成された飛跡の情報を含む。

MUCTPI に送信するデータフォーマット

MDT TP において SL から受信した情報と MDT の情報を用いてトリガー判定を行った後の情報は、SL に再び送り返される。送り返された情報は MUCTPI に送られ、Barrel SL で判定されたトリガー情報と統合される。SL から MUCTPI へは最大 6 つのミュオン候補の情報を送信することができる。1 つのミュオン候補の情報は 128 bit で表現される。1 候補のデータフォーマットを表 [D.7](#) に示す。これは MDT TP から SL が受信するフォーマットに一致する。

表 D.6 : SL から MDT TP に送信する 1 飛跡のデータフォーマット. NSW で再構成された飛跡情報を含む 128 bit で構成される.

bit 数	情報	内容	範囲
3	TC identifier	トリガー候補の識別子 (候補順位/候補なし (0))	[0:6]
1	TC sent to MDTTP?	トリガー候補が MDT TP に送信されたか	[0:1]
14	η	TGC で再構成された飛跡の位置 η	[-2.7:2.7]
9	ϕ	TGC で再構成された飛跡の位置 ϕ	[0:2 π]
8	TGC p_T	TGC で測定した p_T	[0:100 GeV]
4	p_T threshold	トリガー候補が通過した最も高い p_T 閾値	e.g. 4, 5, 6, 7, 8, 9, 10, 12, 15, 18, (20), 25, (30), 40, (80), 1/ p_T flat
1	Charge	トリガー候補の電荷	0(-)/1(+)
3	Coincidence Type	コインシデンスの識別子 (予備, 磁場情報, Inner Coincidence の有無)	[0:7]
7	$\Delta\theta$	TGC で再構成した飛跡の θ 方向の角度. 最上位は電荷を表す.	[0:160 mrad] (6 bit) + 0/1[-/+] (1 bit)
4	$\Delta\phi$	TGC で再構成した飛跡の ϕ 方向の角度. 最上位は電荷を表す.	[0:32 mrad] (6 bit) + 0/1[-/+] (1 bit)
28	NSW segments	NSW TP の出力フォーマットと同じ	-
46	Reserved	予備	-

表 D.7 : SL から MUCTPI に送信する 1 飛跡のデータフォーマット. MDT の飛跡情報を含む 128 bit で構成され, MDT TP から SL に送り返された情報と同じフォーマットを持つ.

bit 数	情報	内容	範囲
3	TC identifier	トリガー候補の識別子 (候補順位/候補なし (0))	[0:6]
1	TC sent to MDTTP?	トリガー候補が MDT TP に送信されたか	[0:1]
14	TGC η	TGC で再構成された飛跡の位置 η	[-2.7:2.7]
9	TGC ϕ	TGC で再構成された飛跡の位置 ϕ	[0:2 π]
8	TGC p_T	TGC で測定した p_T	[0:100 GeV]
4	TGC p_T threshold	TGC でトリガー候補が通過した 最も高い p_T 閾値	e.g. 4, 5, 6, 7, 8, 9, 10, 12, 15, 18, (20), 25, (30), 40, (80), 1/ p_T flat
1	TGC Charge	TGC で測定したトリガー候補の電荷	0(-)/1(+)
3	Coincidence Type	コインシデンスの識別子 (予備, 磁場情報, Inner Coincidence の有無)	[0:7]
14	MDT η	最も内側にあるステーションにおける MDT セグメントの位置 η	[-2.7:2.7]
8	MDT p_T	MDT で測定した p_T	[0:100 GeV]
4	MDT p_T Threshold	MDT でトリガー候補が通過した 最も高い p_T 閾値	[0:15]
1	MDT charge	MDT で測定したトリガー候補の電荷	0(-)/1(+)
4	MDT Processing Flag	再構成されたミューオンの識別子	[0:15]
2	Number of segments	MDT セグメントの数	[0:3]
3	Segment quality flag	各セグメントのクオリティー	[0:1]×3 セグメント
49	Reserved	予備	-

D.3 Sector Logic に実装するトリガー用ファームウェアの開発と拡張

D.3.1 Strip Segment Reconstruction

Address Specifier においてアドレスを出力する手順

M1-M3 Buffer にはヒット数が2の global ID を示す 2hit Read pointer とヒット数が1の global ID を示す 1 hit Read pointer があり、Priority Calculator から送信された優先順位に基づいて適切な pointer を Read pointer として選択し、クロックに従ってこれを移動させることで適切なアドレスを出力する。図 D.1 に Address Specifier おいて各ステーションの Buffer を用いてアドレスを出力する流れと出力されるアドレスおよび local ID の組み合わせごとの合計ヒット数の模式図を示す。アドレス出力までの手順は以下の通りである。

- 1) 受け取ったステーションごとの代表点・global ID のヒット数の情報を保存し、各 Buffer で使用する Read pointer を 2 hit を持つ global ID があれば 2 hit Read pointer に、ない場合 1 hit Read pointer に設定する。
- 2) クロックごとに、Read pointer が指し示す global ID 及びその global ID に属する local ID ごとのヒット数を出力し、M1, M2 Buffer を固定したまま M3 Buffer の Read Pointer を進める。M2, M3 Buffer は Read Pointer が保存されている最後の代表点に位置する時、それぞれ M2, M3 Empty 信号を出力する。M2 Buffer は M3 Empty 信号を受け取り、Read pointer を1つ進める。M1 Buffer は M2 及び M3 の Empty 信号の両方を受け取った時 Read pointer を進める。3つの Buffer の出力を組み合わせることで、入力アドレスとヒット数が得られる。
- 3) Priority Calculator は priority が変更されるタイミングで Change 信号を送り、この時同時に送信される Priority 信号に基づいて各 Buffer はその優先順位に該当する 1 hit あるいは 2 hit Read pointer の始点へと Read Pointer を切り替える。
- 4) 2) と 3) の手順を繰り返すことで、ヒット数の多い代表点の組み合わせから優先的に後段の Segment Selector に送ることができる。
- 5) 40 MHz ごとに入力される代表点情報に同期した reset 信号が Buffer に送られると、各 Buffer は保存していた代表点の情報を破棄し、1) に戻る。

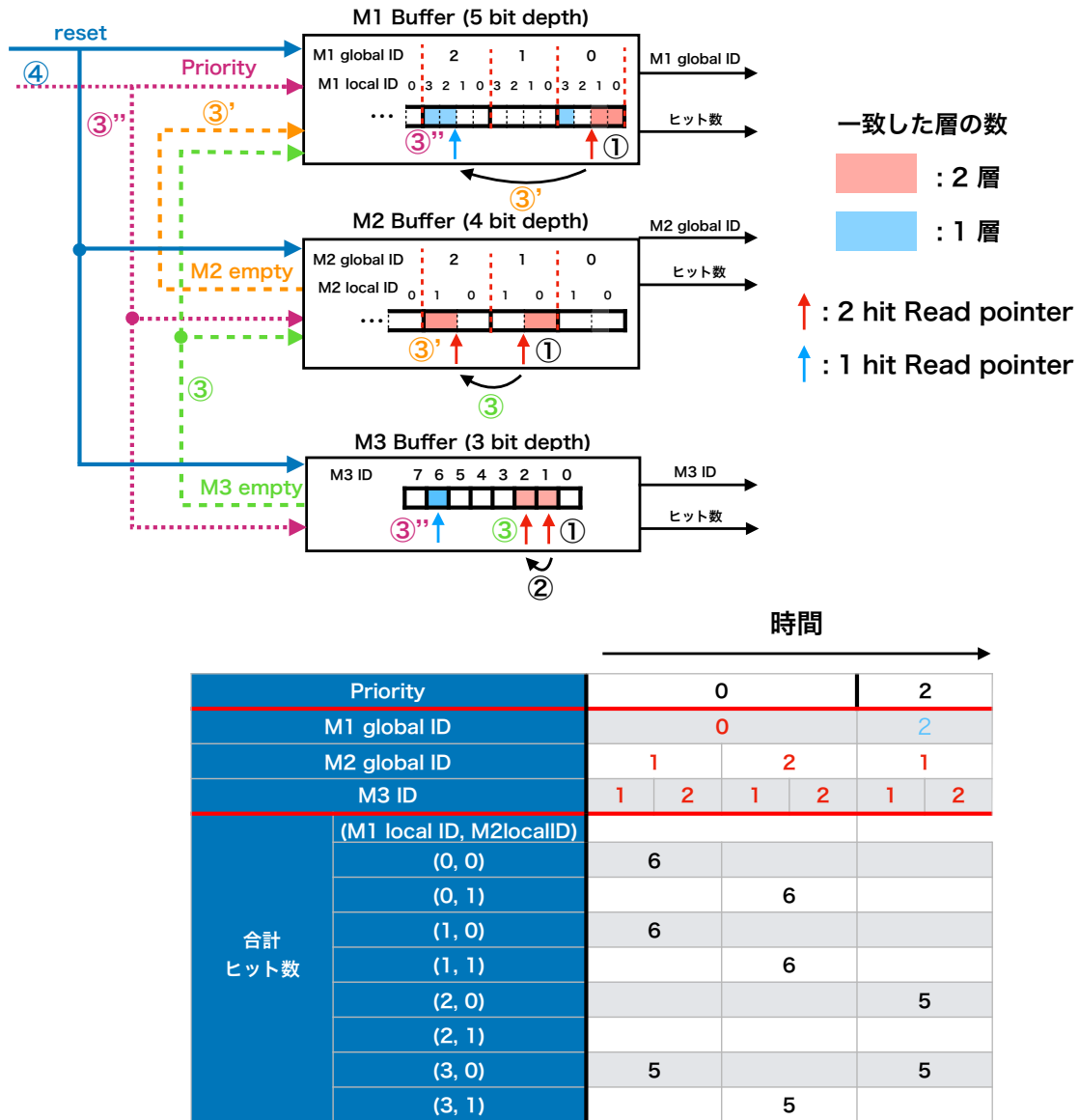


図 D.1 : Address Specifier において各ステーションの Buffer を用いてアドレスを出力する流れと出力されるアドレスおよび local ID の組み合わせごとの合計ヒット数の模式図^[14]. (上) 各ステーションの Buffer を用いてアドレスを出力する流れ. ①それぞれの Buffer で使用する Read pointer を 2 hit を持つ global ID があれば 2 hit Read pointer に、なければ 1 hit Read pointer に設定する. ②M2, M1 の Read pointer を固定したまま M3 Buffer の Read Pointer を進める. ③M2(M3) Buffer は保存されている最後の代表点に到達した後 M1(M1, M2) に Empty 信号を送り、M1(M2) Buffer の Read pointer を 1 つ進める. M1 まで全ての Read Pointer を進めきったタイミングで Priority Calculator から優先順位がを示す Priority 信号が送られ、これに基づいて 2 hit Read pointer あるいは 1 hit Read pointer の始点へと切り替える. ④40 MHz ごとに入力される reset 信号が送られると、各 Buffer は現在保存されている代表点の情報を破棄し①へ戻る. (下) 時間経過にともなう Priority と Read pointer の切り替えによって異なる global ID の組み合わせを出力する. この際、1つの global ID の組み合わせにおける local ID の組み合わせごとの合計ヒット数も合わせて出力する.

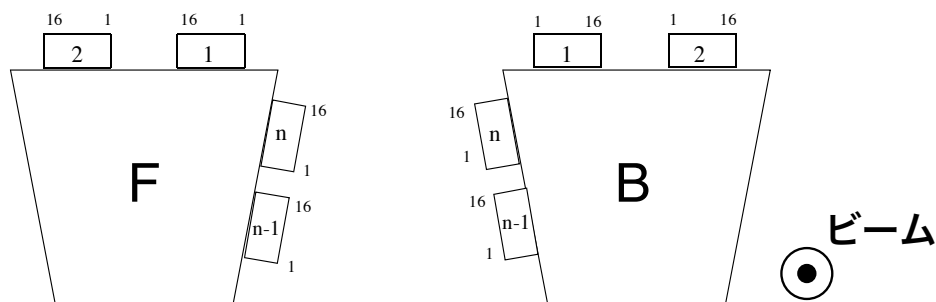


図 D.2 : TGC の Forward, Backward チェンバーを衝突点から見た図 [25]. ϕ に対して鏡面对称な構造を持ち, ストリップのチャンネルは順序が逆になる.

TGC チェンバーの Forward/Backward を踏まえた位置情報の反転

位置情報は ID に対応する番号で与えるが, TGC BW は代表点 ID の並びがトリガーセクターによって逆順になることがあるためにこれを踏まえた変換を行う必要がある. TGC BW のチェンバーは構造上, ASD をはじめとするフロントエンド回路のチェンバーに対する設置箇所が 2 種類存在する. 図 D.2 に TGC チェンバーに対するフロントエンド回路の設置箇所の 2 つの例を示す. それぞれを Forward チェンバー及び Backward チェンバーと呼ぶ. Forward チェンバーと Backward チェンバーは鏡面对称な構造を持ち, ストリップはチャンネル番号についても鏡面对称になる. この Forward 及び Backward チェンバーは図 D.3 に示すように特にエンドキャップ領域において交互に設置されており, 従ってこのうち片方のチェンバーは ϕ の増加する方向に対して逆順になることがわかる. 逆順になっているチェンバーについてはその配置の規則性からトリガーセクターごとに把握することができ, Segment Extractor においては逆順かどうかという情報を踏まえ必要に応じて代表点 ID を反転して ϕ に対し正順に直して出力する.

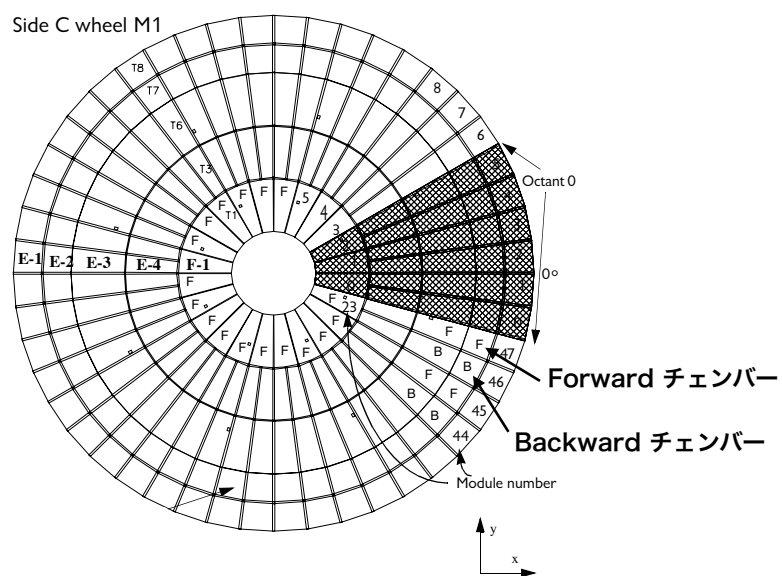


図 D.3 : TGC BW の C-side におけるチェンバー配置の例^[25]. エンドキャップ部において Forward チェンバーと Backward チェンバーが ϕ 方向に交互に配置されている.

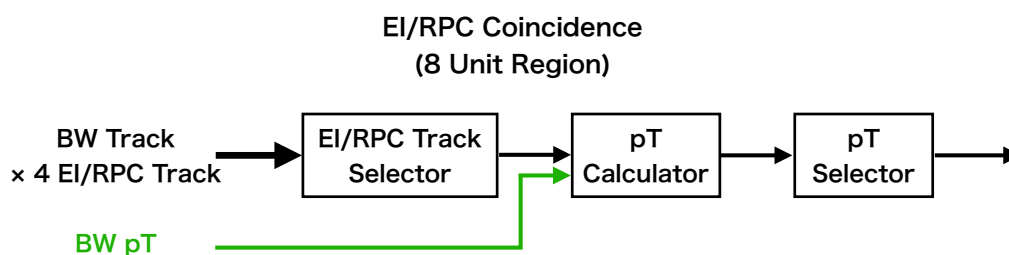


図 D.4 : EI Coincidence 及び RPC Coincidence の処理の概要. それぞれ, デコードされた 4 つのトラック情報をクロックごとに送信する Track Selector, 送信された情報を用いて p_T の判定を行う p_T Calculator, 4 クロックにわたって送られてくる飛跡から p_T が最大の飛跡候補を選択する p_T Selector からなる.

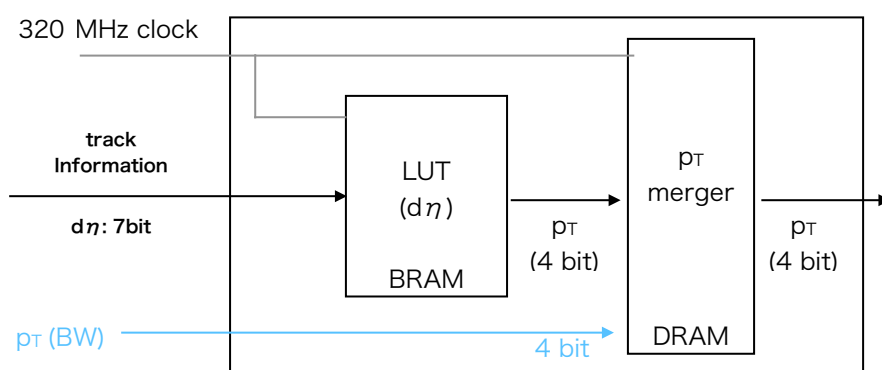


図 D.5 : EI Coincidence における p_T Calculator の概要^[14]. BRAM に実装した LUT を用いて p_T を出力し, BW で判定した p_T を合わせてこの飛跡の最終的な p_T を出力する.

D.3.2 各検出器との Inner Coincidence ファームウェアおよび Which-Inner

EI Coincidence

EI Coincidence では, TGC BW の 1 つの飛跡候補に対して TGC EI において再構成された最大 4 つの飛跡候補との η 位置の差 $d\eta$ を用いて p_T を計算する. 図 D.4 に 8 Unit Region における EI Coincidence の処理の概要を示す. モジュールとしては入力された 4 つのトラックの情報をクロックごとに送信する EI Track Selector, 送信された情報を用いて p_T の計算を行う p_T Calculator, 4 クロックにわたって送られてくる飛跡から p_T が最大の飛跡候補を選択する p_T Selector からなる. 32 Unit Region に対して適用する場合はこの処理回路を並列に 4 つ用意する. 図 D.5 に EI Coincidence における p_T Calculator の概要を示す. 現在の実装においては EI Coincidence のアルゴリズムでは 7 bit の $d\eta$ のみを用いて p_T を計算しており, p_T の計算のための LUT は BRAM に実装されている. 4 クロックにわたって p_T Calculator から出力された飛跡は p_T Selector に送られ, p_T が最大の候補のみが保存されて 40 MHz ごとに出力される.

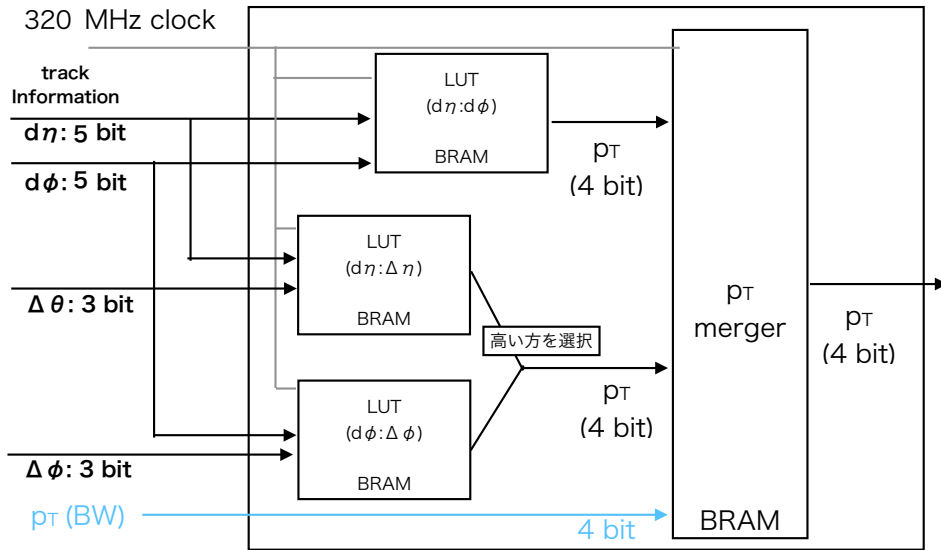


図 D.6 : RPC Coincidence における p_T Calculator の概要^[14]. $d\eta$ (5 bit), $d\phi$ (5 bit), $\Delta\theta$ (3 bit), $\Delta\phi$ (3 bit) の入力を用いて, BRAM に実装した 3 つの CW でそれぞれ p_T を判定する. $(d\eta : \Delta\theta)$, $(d\phi : \Delta\phi)$ の CW で判定された p_T のうち高い方を選択したのち, p_T Merger において BW で再構成された p_T , $(d\eta : d\phi)$ CW で判定した p_T と合わせてこの飛跡の最終的な p_T を出力する.

RPC Coincidence

RPC Coincidence では, TGC BW の 1 つの飛跡候補に対して RPC で再構成された最大 4 つの飛跡候補との位置の差 $d\eta$, $d\phi$, また RPC で再構成された飛跡の角度情報 $\Delta\theta$, $\Delta\phi$ を用いて p_T を計算する. 8 Unit Region における RPC Coincidence のモジュールの構成は図 D.4 に示すように TGC EI と同じであり, 入力された 4 つのトラックの情報をクロックごとに送信する RPC Track Selector, 送信された情報を用いて p_T の計算を行う p_T Calculator, 4 クロックにわたって送られてくる飛跡から p_T が最大の飛跡候補を選択する p_T Selector からなる. EI Coincidence と同様, 32 Unit Region に対して適用する場合はこの処理回路を並列に 4 つ用意する. RPC Coincidence では, p_T Calculator において $(d\eta : d\phi)$, $(d\eta : \Delta\theta)$, $(d\phi : \Delta\phi)$ の 3 つの CW でそれぞれ p_T を判定する. $(d\eta : \Delta\theta)$, $(d\phi : \Delta\phi)$ の CW で判定された p_T のうち高い方を選択したのち, p_T Merger において BW で再構成された p_T , $(d\eta : d\phi)$ CW で判定した p_T と合わせて最終的な p_T を出力する.

Tile Coincidence

Tile Coincidence では, 3.3.2 節で説明したように, BW での η 位置について $1.2 < |\eta| < 1.3$ なら D6 セルに落としたエネルギー, $1.05 < |\eta| < 1.2$ ならば D5 セルと D6 セルに落としたエネルギーの合計を確認し, 閾値を超えたミューオンのヒットを要求する. 図 D.7 に Tile Coincidence

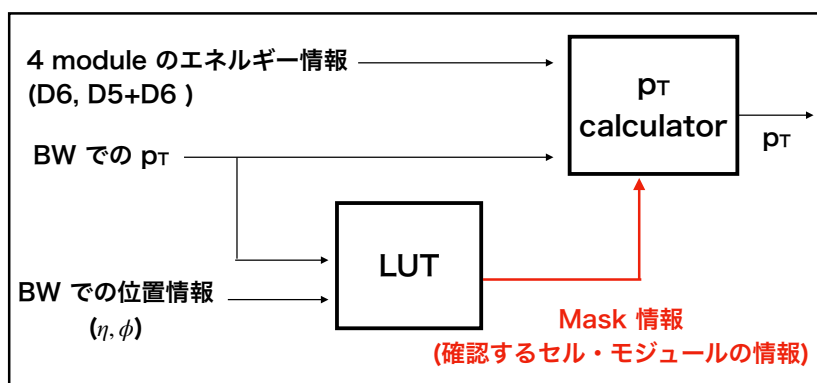


図 D.7 : Tile Coincidence の概要^[14]. BW での p_T や位置情報から Tile カロリメータでどのセル・モジュールのエネルギー情報を確認するかの Mask 情報を LUT を用いて出力する. pT Calculator において, Mask 情報で指定されたモジュールのエネルギー情報を確認し, 閾値を超えていた場合 BW で判定された p_T を出力する.

の概要を示す. BW で判定された p_T によって, BW での ϕ 方向に近い 2 または 3 モジュールのエネルギー情報を確認しトリガーを発行する. 1 つのトリガーセクターは 4 つの Tile モジュールに対してエネルギー情報を確認する. 飛跡位置や p_T によって D6 あるいは D5+D6 セルのどちらを確認するか, そして 4 つのモジュールのうちどの 2 つあるいは 3 つのモジュールの情報を確認するかという情報 (Mask 情報) を LUT を用いて与える. pT Calculator において Mask 情報で示されたセルのエネルギー情報が閾値を超えていた場合, ミューオンのヒットがあったと判定し BW での p_T を後段に送る.

Which-Inner

Inner Coincidence の処理は Region ごとに行われ, 複数の検出器とのコインシデンスを並列にとる. 最終的なトリガー情報を出力する上では, どの検出器とのコインシデンス情報を後段に送るかを決定する必要がある. Which-Inner は, BW におけるトリガー情報から, どの検出器とのコインシデンスのトリガー情報を後段に送るかを決定するモジュールである. 図 D.8 に Which-Inner の概要を示す. ミューオンは電荷によって曲がる方向が異なり, また p_T によって曲がる大きさが異なることから, 飛跡の位置情報に加えて電荷や p_T 情報を用いることでどの内部検出器とのコインシデンスを取るかを選択する情報 (Inner Detectors flag) を出力する. pT Selector において Inner Detectors flag が立っている検出器のうちコインシデンスがとれたものを選択し, 後段にその検出器でのトリガー情報を出力する. Inner Detectors flag が立っている検出器のうち複数の検出器とコインシデンスがとれている場合, NSW → RPC → EI → Tile の順で優先順位をつけて選択する.

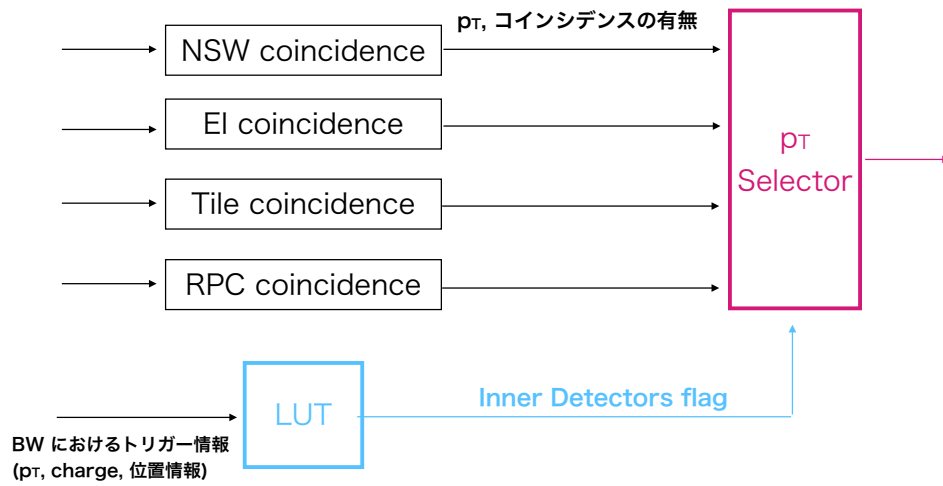


図 D.8 : Which-Inner の概要 [14]. BW の飛跡情報を元に LUT を用いて Inner Detectors flag を出力し, これを用いて適切な検出器とのコインシデンス情報を p_T Selector で選択して出力する.