

修士論文 2014年度（平成26年度）

LHC-ATLAS 実験 Run-2 に向けた  
Level-1 ミューオントリガーアルゴリズム と  
データ収集システムの改良

京都大学 理学研究科 物理学・宇宙物理学専攻 物理学第二教室  
高エネルギー物理学研究室

救仁郷 拓人

2015年1月28日

## 概要

陽子衝突型加速器 Large Hadron Collider ( LHC ) は 2010 年から 2013 年 2 月までの間衝突実験を行った ( Run-1 )。Run-1 において ATLAS 実験は、Higgs 粒子の発見という成果を得た。Higgs 粒子は素粒子間の相互作用を記述する素粒子標準模型において存在を予言されていたが、未発見の粒子であった。Higgs 粒子の発見によって標準模型に登場する粒子は全て発見されたことになり、素粒子物理学はその歴史に大きな節目を迎えた。

しかし、素粒子標準模型は相互作用を正確に記述する一方で、階層性問題の存在や、ダークマターの候補となる粒子が理論内に存在しない問題など多くの未解決の問題を抱えている。そのためこれらの問題を解決する素粒子標準模型を超えた物理の存在が信じられている。その探索のために、現在 LHC に対してアップグレード作業が行われている。

LHC は Run-1 では最高重心系エネルギー 8 TeV、最大瞬間ルミノシティ  $0.7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  の衝突実験を行った。アップグレード後の 2015 年から再開される運転 ( Run-2 ) では、重心系エネルギー 13 TeV、ルミノシティ  $1.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  の運転を行う予定である。LHC によって生じる膨大なイベントの全てを記録することは出来ないので、トリガーによって興味のあるイベントを選択してデータ取得を行っているが、Run-2 において物理信号に対するアクセプタンスを Run-1 と同等に保ったまま、物理解析に用いる統計量を増やすためにはトリガー性能の向上が必要である。本研究では、Run-2 に向けたハードウェアミュオントリガー、データ収集システムそれぞれに対する改良を行った。

1 つ目の改良は、Thin Gap Chamber ( TGC ) の Endcap 部 (  $1.0 < |\eta| < 1.9$  ) で発行するハードウェアミュオントリガー ( Level-1 ミュオントリガー ) に対する改良である。TGC で発行する Level-1 ミュオントリガーにハドロンカロリメータとのコインシデンスを要求することで、衝突点から飛来するミュオン以外によって発行されるトリガーを選択的に除去する。Run-1 では磁場の外側にある TGC Big Wheel のみを用いてミュオントリガーの発行を行っていたために、発行したトリガーの 60 % が衝突点以外から飛来した荷電粒子によるものだった。Run-2 では衝突点から飛来する粒子とそうでない粒子とを区別するために、磁場の内側にある検出器と TGC Big Wheel とのコインシデンスを要求する。  $1.3 < |\eta| < 1.9$  においては磁場の内側にある TGC FI と TGC Big Wheel とのコインシデンスを要求するが、  $1.0 < |\eta| < 1.3$  では新しくハドロンカロリメータを利用することにした。私は TGC Big Wheel とハドロンカロリメータとのコインシデンス手法の開発からその評価までを行った。

2 つ目の改良は Run-1 において TGC で起こった、連続して発行されるトリガーによるリードアウトバッファのオーバーフローへの対処である。2012 年のランでは通常よりも 100 倍多い検出器からのヒットが数  $\mu\text{s}$  に渡って発生し続けて、ヒットレートが高くなりすぎたために ATLAS 全体のデータ収集を止めてしまうという事象が頻発した。Run-2 でこの問題を起こさないために、そのような事象を判定して、トリガーを VETO するための専用回路を開発した。

これら 2 つの改良によって Run-1 と比べて高ルミノシティ環境となる Run-2 においても Level-1 ミュオントリガーを Run-1 以上に高い性能で運転することを目指している。



# 目次

概要	i
第1章 序論	1
第2章 LHC と ATLAS 実験	3
2.1 LHC	3
2.2 ATLAS 検出器	5
2.2.1 検出器全体像	5
2.2.2 ATLAS の座標系	6
2.2.3 ミューオンスペクトロメータ	6
2.2.4 Tile Calorimeter: TileCal	8
2.2.5 マグネット	11
2.3 ATLAS トリガーシステム	12
2.3.1 トリガー全体像	12
2.3.2 Level-1 トリガー	12
2.3.3 High Level Trigger	14
2.4 ATLAS 実験の目指す物理	14
2.5 Run-2 ( 2015 年から ) へ向けたアップグレード	16
第3章 Level 1 エンドキャップミュオントリガー	18
3.1 TGC について	18
3.1.1 TGC の構造と動作原理	19
3.1.2 TGC の配置	21
3.1.3 トリガーセクター	23
3.2 トリガースキーム	24
3.2.1 $p_T$ 算出の概要	24
3.2.2 コインシデンスの取り方	25
3.3 TGC の情報読み出し処理	27
3.3.1 Sector Logic におけるトリガー判定と SLB からの読みだし	27
3.3.2 Star SWitch によるデータ圧縮	28
3.3.3 ROD からのデータ読み出し	28
第4章 TGC と TileCal との間でコインシデンスを要求するトリガーアルゴリズム の開発	30

4.1	TileCal と TGC のコインシデンスの必要性 . . . . .	30
4.2	コインシデンススキームの開発 . . . . .	33
4.3	パフォーマンス評価・最適化 . . . . .	37
4.4	トロイド磁場の遷移領域におけるトリガーの扱い . . . . .	39
4.5	TileCal から TGC への信号の受け渡し . . . . .	43
<b>第 5 章</b>	<b>バーストトリガーへの対処</b>	<b>45</b>
5.1	2012 年に起きた TGC リードアウトバッファの オーバーフロー . . . . .	45
5.2	GC において一定バンチ内に閾値以上のトリガー発行が行われている場合は トリガーを VETO する機能 . . . . .	49
5.3	TGC 全体の情報を用いたバースト状態の判定: NIM Process Module の開発	51
5.3.1	NIM Process Module の仕様 . . . . .	52
5.3.2	NIM Process Module の回路図 . . . . .	53
5.3.3	NIM Process Module で行う処理 . . . . .	55
5.3.4	試作機と FPGA ファームウェアのテスト . . . . .	57
5.4	コミッショニング . . . . .	60
<b>第 6 章</b>	<b>結論</b>	<b>61</b>
	謝辞	62
	参考文献	63
<b>付 録 A</b>	<b>Appendix</b>	<b>65</b>
A.1	NIM Process Module の回路図 . . . . .	65

## 目 次

2.1	LHC の全体像	3
2.2	2015 年の LHC の運転スケジュール	4
2.3	ATLAS 検出器の全体像	5
2.4	ATLAS の座標系	6
2.5	ミュオンスペクトロメータの全体像	6
2.6	1 本の MDT チューブの模式図	7
2.7	MDT チェンバーの模式図	7
2.8	ATLAS カロリメータ全体像	8
2.9	TileCal モジュールの模式図	8
2.10	TileCal セルの配置	9
2.11	TileCal におけるペDESTAL 信号のエネルギー分布	9
2.12	TileCal D 層のノイズの $\eta$ 分布	10
2.13	パイルアップに対する TileCal のノイズ	10
2.14	マグネットの全体像	11
2.15	$ \eta $ と磁場積分強度	11
2.16	ATLAS トリガーシステムの概要	12
2.17	Level-1 トリガーのブロック図	13
2.18	ヒッグス粒子生成反応の ファインマンダイアグラム	14
2.19	重心系エネルギー 14 TeV での ヒッグス粒子の生成断面積	14
2.20	ヒッグス粒子崩壊反応の ファインマンダイアグラム	15
2.21	ヒッグス粒子崩壊の分岐比	15
2.22	ヒッグス粒子の各崩壊モードでの信号強度	15
2.23	IBL の追加により達成される b クォークの同定効率	16
2.24	ビームパイプの交換とシールドの追加による $\gamma$ フラックスの削減	17
3.1	ミュオンスペクトロメータの R-z 断面図	18
3.2	TGC チェンバーの模式図	19
3.3	TGC の断面図	20
3.4	電子雪崩の時間発展	20
3.5	TGC の重なり方	21

3.6	Big Wheel の形状 . . . . .	22
3.7	EI, FI の形状 . . . . .	22
3.8	TGC のトリガーセクター . . . . .	23
3.9	$p_T$ 算出の仕組み . . . . .	24
3.10	$p_T$ と $(\Delta R, \Delta\phi)$ の対応関係 . . . . .	25
3.11	TGC ヒット情報の流れ . . . . .	26
3.12	Sector Logic の写真とそのブロック図 . . . . .	27
3.13	SSW の写真 . . . . .	28
3.14	ROD の写真 . . . . .	29
4.1	Run-1 における L1_MU20 と、そこから再構成されるミューオンの $\eta$ 分布 . . . . .	31
4.2	フェイクトリガーの起源 . . . . .	31
4.3	ミューオンスペクトロメータ近傍の $r$ - $z$ 断面図 . . . . .	32
4.4	TGC トリガーセクター #6 でトリガー発行している時の TileCal モジュール #4(左上), #5(右上), #6(左下), #7(右下) のエネルギー分布 . . . . .	33
4.5	TGC トリガーセクターと TileCal モジュールの対応関係 . . . . .	34
4.6	TGC トリガーセクター #6 でトリガー発行をしている時の TileCal モジュール #6, #7 のエネルギー分布 . . . . .	35
4.7	TileCal Extended Barrel 領域のセル配置 . . . . .	36
4.8	D 層全体のエネルギーのうち、D5/D6 それぞれに落としているエネルギーの割合と $\eta$ の対応関係 . . . . .	36
4.9	TGC と TileCal 間のコインシデンスによって得られる効率・削減率 . . . . .	37
4.10	EI と TileCal の使い方 . . . . .	38
4.11	コインシデンス要求後の Level-1 ミューオントリガーの $\eta$ 分布 . . . . .	39
4.12	Hot RoI の分布 . . . . .	40
4.13	RoI マスクのパフォーマンス . . . . .	41
4.14	Run-2 で予想される Level-1 ミューオントリガーの $\eta$ 分布 . . . . .	41
4.15	TMDB と Sector Logic の接続対応表 . . . . .	43
4.16	TMDB 機能のブロック図 . . . . .	44
5.1	LHC から供給されたルミノシティと、ATLAS が記録したルミノシティ . . . . .	45
5.2	データロスが起きた前後の TGC のヒット数と、バッファオーバーフロー回数 . . . . .	46
5.3	典型的なイベントと、バーストイベントのイベントディスプレイ . . . . .	47
5.4	TGC Sector Logic における処理のブロック図 . . . . .	49

5.5	バーストストッパー判定の例 . . . . .	50
5.6	NIM インput受信部分の回路図 . . . . .	53
5.7	SN65KVDS348PW のファンクションテーブル . . . . .	53
5.8	BPI - FPGA 間の接続の模式図 . . . . .	54
5.9	BPI に対して Write 操作の後に Read 操作を行うタイミングチャート . . . . .	55
5.10	NPM の FPGA 処理のブロック図。 . . . .	56
5.11	NPM 試作機の写真。左側に LEMO コネクタが並んでいる。これらのコネクタで受けた NIM インputは LVTTTL レベルに変換され、FPGA に接続されている。また、インputをロジックアナライザーに接続するためのコネクタも配置している。FPGA のレジスタは CPLD を介したプロトコルで VME から読み書きが行える。FPGA にファームウェアダウンロードを行うための BPI メモリを搭載している。 . . . . .	57
5.12	ロジックアナライザーの波形 . . . . .	58
5.13	オシロスコープの波形 . . . . .	59

# 第1章 序論

Large Hadron Collider (LHC) は欧州原子核研究機構 ( CERN ) に建設された世界最高エネルギーの陽子衝突型加速器である。LHC は 2010 年から 2013 年 2 月までの運転 ( Run-1 ) において、最高重心系エネルギー 8 TeV、最大瞬間ルミノシティ  $0.7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ 、バンチ衝突頻度 20 MHz を達成した。現在はアップグレードのために運転を停止しており、2015 年に運転を再開する。アップグレード後は重心系エネルギー 13 TeV、バンチ衝突頻度 40 MHz での運転を行い、その後 14 TeV まで重心系エネルギーを上げていく予定である。また、バンチカレントを 1.1 倍に増やし、衝突点におけるベータ関数  $\beta^*$  を 0.6 m から 0.5 m へ下げることによって瞬間ルミノシティ  $1.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  まで引き上げる。

ATLAS 検出器は LHC の衝突点の 1 つに設置されており、高エネルギー領域での物理事象を精密に測定することを目的とした汎用検出器である。ATLAS 実験の主な物理ターゲットは Higgs 粒子の性質解明、超対称性粒子 ( SUSY 粒子 ) に代表される重い新粒子の探索、そして高エネルギー領域での素粒子標準模型の精密検証などである。

LHC で生じる膨大なデータの中から物理解析に有用なデータを効率的に選び出すため、ATLAS 実験では 3 段階のトリガーシステムを用いている。本研究では Thin Gap Chamber ( TGC ) で発行される Level-1 エンドキャップ部ミュオントリガーと、データ収集システムそれぞれに対して改良を行った。1 つは TGC とハドロンカロリメータとのコインシデンス手法の開発、そしてもう 1 つは Run-2 で起きることが懸念される TGC リードアウトバッファのオーバーフローへの対処である。

Level-1 トリガーレートは通信バンド幅・記録容量などの制限から 100 kHz 以内にする必要があり、この 100 kHz を研究対象とする物理事象を捉えるよう設定された各種トリガーに割り当てていく。Run-1 で使用していたミュオントリガーのアルゴリズムをそのまま Run-2 で使用した場合、予想される Level-1 ミュオントリガーレートは 34 kHz となる。このままだと Level-1 トリガー全体の 1/3 をミュオントリガーが占めることになり、他の重要なトリガーを発行することが出来ないため、ミュオントリガーレートを大きく削減する必要がある。現在のトリガー手法で発行される Level-1 ミュオントリガーには衝突点から飛来するミュオン以外によって発行されるトリガーが多く含まれることが分かっている。これは特に TGC の発行するエンドキャップ部分において顕著であり、本来記録すべきでないイベントを除去することで、トリガーレートを大きく削減することが可能である。その実現のためには、磁場の内側にある検出器と外側にある検出器のヒット情報のコインシデンスを要求するのが有効であることを Run-1 のデータから明らかにし、トリガー効率を 97 % に保ったまま、トリガー削減率 49 % の達成を可能にするアルゴリズムを開発した。

TGC はコインシデンスを課すために磁場の内側と外側の両方に検出器を置いているが、磁場の内側に設置されている TGC には磁石との干渉のため検出器を設置出来ない領域がある。磁場内側の TGC に代わりコインシデンスを要求できる検出器としてハドロンカロリメータがある。ハドロンカロリメータは本来ハドロンシャワーを起こしたジェットのエネルギ測定を目的とする検出器である。しかし、ATLAS のハドロンカロリメータは奥行き方向に 3 層構造になっており、その最外層に到達する粒子はほとんどミュオンのみであることからミュオン検出器としても活用できることが分かった。私はハドロンカロリメータと TGC という独立した大規模検出器間のコインシデンス手法の開発からその性能評価までを一貫して行った。

また、現在の ATLAS データ収集システムには懸念事項がある。Run-1 中の 2012 年に TGC のリードアウトバッファがオーバーフローを起こして ATLAS 全体のデータ収集システムが止まり、データをロスしてしまうことがあった。状況を詳しく調べると TGC, MDT, RPC という独立したミュオン検出器全てから通常よりも 100 倍程度多いヒットが数  $\mu\text{s}$  に渡って発生し続けていることが原因であった。現在もこの原因は不明であり、このままでは Run-2 においても同様の事象でバッファのオーバーフローを起こしてデータをロスしてしまう可能性がある。これを避けるために、以下の 2 つの対策を行った。

1. 一定以上の連続したトリガーを VETO するロジックの導入
2. 正確なモニタリングを行うための VME モジュールの開発

対策 1 によってバッファがオーバーフローを起こすことは無くなり、データのロスを防げる。そして、対策 2 で開発したモジュールを用いて正確なモニタリングを行うことで、未だ原因のよく分からない大量の信号の原因を探ることが可能になる。

本論文では、第 2 章で LHC 及び ATLAS 検出器とトリガーシステムの概要を述べ、Run-2 に向けて行われているアップグレードの全体像を説明する。第 3 章で TGC の動作原理と用いられているエレクトロニクスについて説明する。第 4 章では、Level-1 ミュオントリガーの改善すべき点を述べた上で、ハドロンカロリメータと TGC を用いた新しいコインシデンス手法について詳しく説明する。第 5 章では 2012 年に起きたバッファのオーバーフローについて説明した後、その対策のために導入したトリガー VETO の方法を解説する。更に、オーバーフローが起きている状態の正確なモニタリングのために開発を行った VME モジュールについても説明する。

## 第2章 LHC と ATLAS 実験

ATLAS 実験は スイス・ジュネーブ近郊の CERN 研究所にある Large Hadron Collider (LHC) 加速器を用いておこなっている。本論文では 2015 年に始まる ATLAS 実験 Run-2 に向けたトリガーシステムのアップグレードについて説明する。本章ではその前提となる LHC 加速器、ATLAS 実験とそのトリガーシステムについて説明する。

### 2.1 LHC

LHC は、ジュネーブ近郊にある CERN 研究所に建設された陽子衝突型加速器である。2010 年に重心系エネルギー 7 TeV で本格稼働を開始して、2012 年には重心系エネルギー 8 TeV での運転を行った。現在、世界最高エネルギーで実験を行える加速器である。

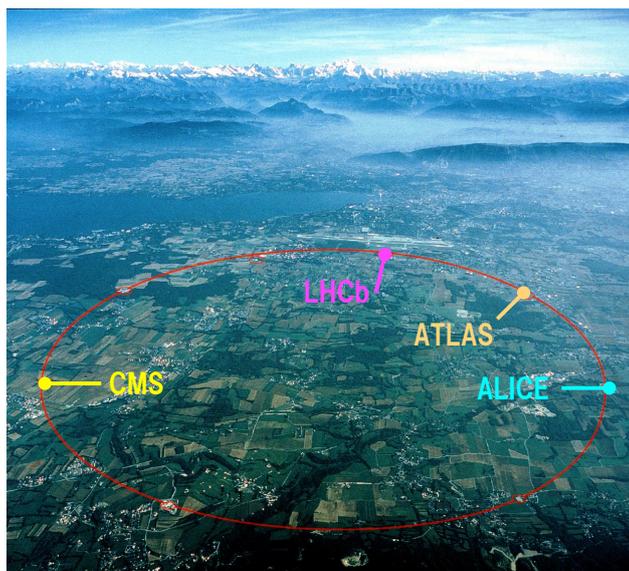


図 2.1: LHC の全体像。全周 27 km に渡るトンネル上に ATLAS, CMS, ALICE, LHCb 検出器が設置されている。[1]

LHC は 2013 年から約 2 年間運転を停止し、バンチカレントを 1.1 倍に増やし、衝突点におけるベータ関数  $\beta^*$  を 0.6 m から 0.5 m へ下げるなどのアップグレードを行った。2015 年から始まる Run-2 では重心系エネルギー 13 TeV、瞬間ルミノシティ  $1.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  での運転を行う。運転再開後も徐々にアップグレードしていき、バンチ間隔は 50 ns から半分の 25 ns になる。また、瞬間ルミノシティは最大で  $2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  まで到達する可能性がある。図 2.2 に LHC の 2015 年の運転スケジュールを示す。

### LHC Schedule 2015

Approved by the Research Board, December 2014



図 2.2: 2015 年 LHC の運転スケジュール。8 月にバンチ間隔を 25 ns にする。

## 2.2 ATLAS 検出器

ATLAS 検出器は直径 25 m、長さ 44 m の円筒形をしている。本節では ATLAS 検出器の全体像について説明する。また、本研究で用いる Thin Gap Chamber ( TGC ) と Tile Calorimeter ( TileCal ) について詳しく説明する。

### 2.2.1 検出器全体像

衝突型加速器に設置される一般的な検出器は、内側から内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミュオンスペクトロメータという構成をとる。飛跡検出器はソレノイド磁場で曲げられた荷電粒子をとらえ、飛跡の再構成を行い運動量を測定する。電磁カロリメータは電磁シャワーを起こさせることにより電子及び光子のエネルギーを測定する。ハドロンカロリメータは、ハドロンシャワーが起こったジェットのエネルギーを測定する。最外部に配置したミュオンスペクトロメータにより、ミュオンの運動量を測定する。

ATLAS 検出器もそれに準じた配置をとっている。検出器の全体像を 図 2.3 に示す。本研究ではミュオントリガー検出器の TGC と、ハドロンカロリメータである TileCal を用いる。また、ATLAS 検出器はマグネットに特徴があり、一般的なソレノイド磁石に加えてミュオンスペクトロメータ部にトロイド磁石を設置することで、ミュオンスペクトロメータにおける独立な運動量測定を可能にしている。次小節からはミュオンスペクトロメータ、TileCal、マグネットそれぞれについて説明を行う。

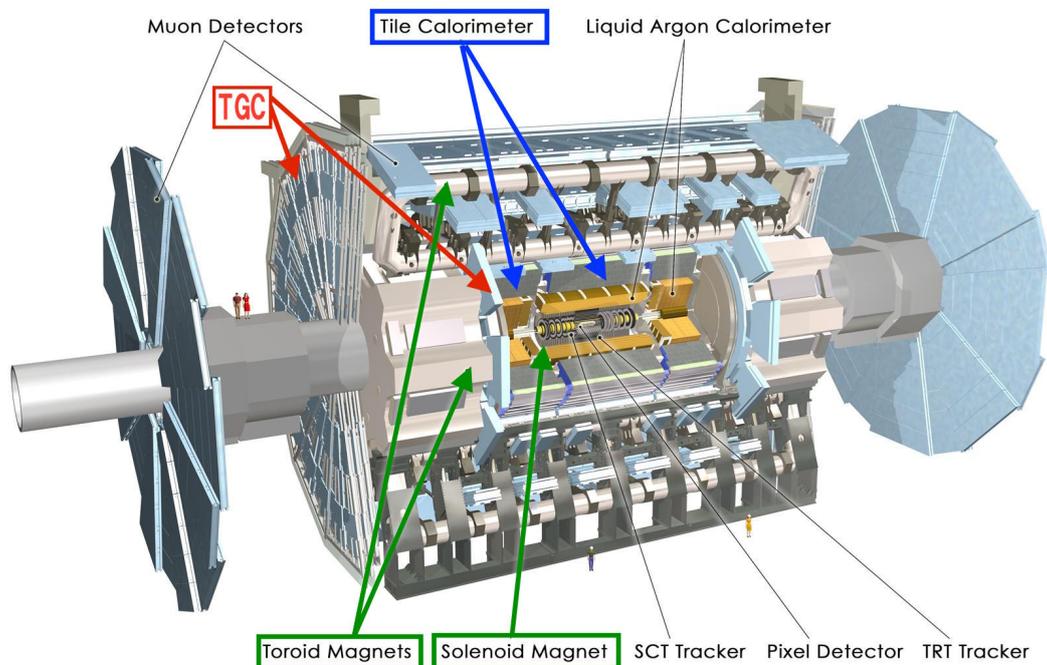


図 2.3: ATLAS 検出器の全体像。直径 25 m 長さ 44 m の円筒形をしている。総重量は 7,000 t [1]

## 2.2.2 ATLAS の座標系

ATLAS で用いられる座標系 2 種類を 図 2.4 に示す。1 つ目が直交座標系であり、衝突点を原点、LHC リングの中心に向かう方向に  $x$  軸、天頂方向に向かって  $y$  軸、LHC のビーム軸方向に  $z$  軸として定義されている。検出器のうち  $0 < z$  の側を A-side、 $z < 0$  の側を C-side と呼ぶ。

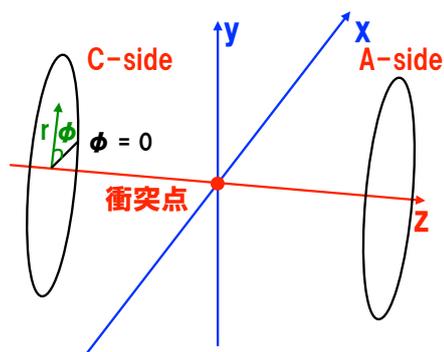


図 2.4: ATLAS の座標系

2 つ目が、円筒座標系であり、円筒の動径を  $R$ 、方位角を  $\phi$ 、そして円筒の中心にあるビーム軸を  $z$  として定義されている。

さらに天頂角  $\theta$  から定義される擬ラピディティ  $\eta = -\ln(\tan \frac{\theta}{2})$  と方位角  $\phi$  を用いた表現もよく使用される。擬ラピディティはエネルギー  $E$ 、運動量  $P$  の粒子のラピディティ  $y = \frac{1}{2} \ln \left( \frac{E+P \cos \theta}{E-P \cos \theta} \right)$  の高エネルギー極限である。

## 2.2.3 ミューオンスペクトロメータ

ミュオンスペクトロメータは検出器の最外層に設置される。これはミュオンの寿命が  $2.2 \mu\text{s}$  と長く、電磁相互作用によってのみエネルギー損失し、かつ電子に比べて制動放射によるエネルギー損失が小さいので物質に対する透過力が高いためである。ミュオンスペクトロメータはトリガー用検出器と精密位置測定用検出器で構成されている。ミュオンスペクトロメータの全体像を 図 2.5 に示す。

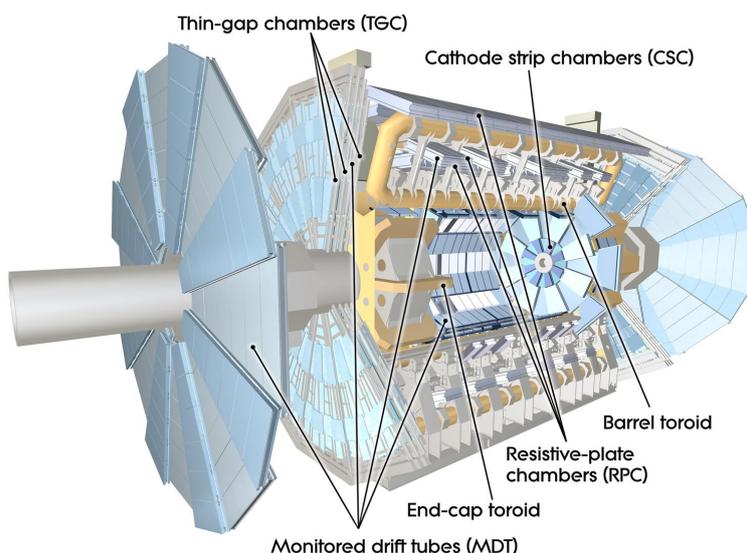


図 2.5: ミューオンスペクトロメータの全体像。トリガー検出器である TGC, RPC と精密位置測定用検出器である MDT, CSC がある。 [1]

## トリガー検出器

トリガー用検出器はバレル部分を RPC が、エンドキャップ部分を TGC がそれぞれ担当する。

- Resistive Plate Chamber ( RPC )  
RPC は高抵抗のプレートを複数枚並べた構造をしたガス検出器である。ATLAS では直交するストリップを用いて  $z - \phi$  の 2 次元読み出しを可能にしている。
- Thin Gap Chamber ( TGC )  
TGC はタイムジッター 25 ns 程度での  $R - \phi$  の 2 次元読み出しが可能な MWPC である。TGC については次章で詳しく説明する。

## 精密位置測定用検出器

- Monitored Drift Tube ( MDT )  
MDT はドリフトチューブを並べた構造をとっており、バレル部分では  $z$  を、エンドキャップ部分では  $R$  を精密に測定する。それぞれトロイド磁石によって荷電粒子が曲げられる主な方向にあたり、高精度で運動量の測定が可能になる。1 本のドリフトチューブは図 2.6 に示したように、直径 30 mm のカソードチューブの中心に直径  $50 \mu\text{m}$  のアノードワイヤを通すことで出来ており、位置分解能は  $80 \mu\text{m}$  である。これらは図 2.7 に示したようにして 1 つのチェンバーを構成する。3 層ないしは 4 層をエポキシ樹脂で固めてアルミフレームの両面に設置している。
- Cathod Strip Chamber ( CSC )  
CSC は放射線の多い  $2.0 < |\eta| < 2.7$  の領域に設置されている運動量測定用の MWPC で、ストリップ読み出しをしている。ワイヤ間隔 2.54 mm、ストリップ間隔 5.1 mm で、信号の大きさの重心を求めることにより位置分解能  $60 \mu\text{m}$  を達成している。

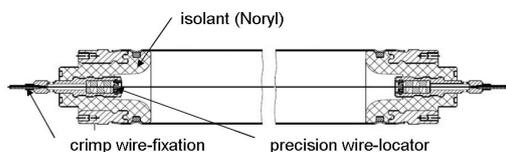


図 2.6: 1 本の MDT チューブの模式図。荷電粒子が通過するとガスがイオン化され、生じた電子がアノードワイヤから読み出される。 [2]

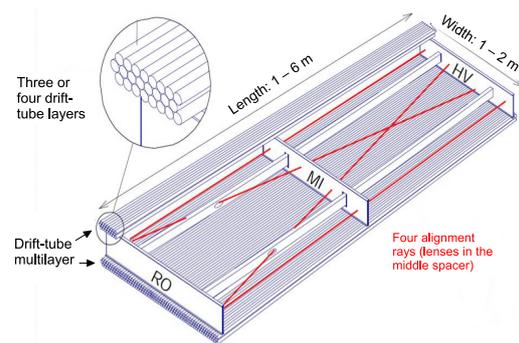


図 2.7: MDT チェンバーの模式図。ドリフトチューブを並べることでチェンバーが構築される。 [2]

## 2.2.4 Tile Calorimeter: TileCal

TileCal はバレル部分 ( $|\eta| < 1.7$ ) に設置されているハドロンカロリメータで、その構造は厚さ 3mm の鉄と厚さ 5mm のシンチレータとを互いに並べたサンプリング型測定器である。長さ 5.8 m の Long Barrel 部分と、A-side, C-side それぞれにある長さ 2.6 m の Extended Barrel 部分に分かれている。それぞれは 内径 2.28 m、外径 4.25 m である。図 2.8 に ATLAS のカロリメータ全体像を示す。

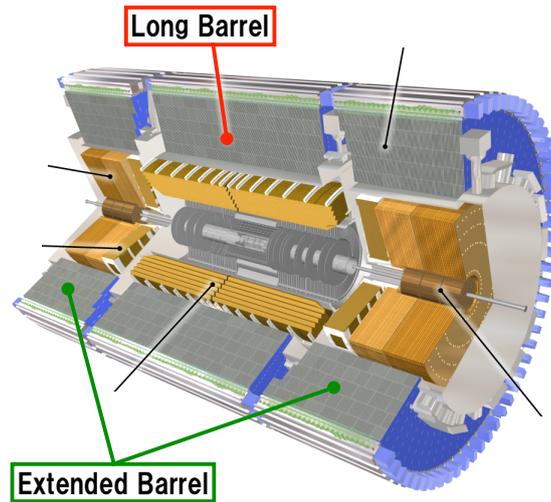


図 2.8: ATLAS カロリメータ全体像。TileCal は Long Barrel 部と Extended Barrel 部に分かれている。 [2]

TileCal は  $\phi$  方向に 64 分割したものが信号読み出しの単位となっている。そのユニットはモジュールと呼ばれ、 $\phi$  方向に 0.1 rad をカバーする。TileCal モジュールの模式図を 図 2.9 に示す。シンチレーション光は波長変換ファイバーを通じて光電子増倍管 (PMT) で読み出される。PMT と読み出しのフロントエンドエレクトロニクスは各モジュールの一番外側のフレーム内部にまとめられている。フレームはそれらエレクトロニクスを内蔵するために用いられているだけでなく、ソレノイド磁場のリターンとしての役割も担っており、これにより PMT が受ける磁場も小さくなる。

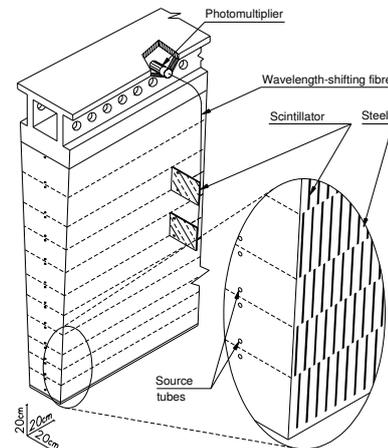


図 2.9: TileCal モジュールの模式図。吸収体の鉄とシンチレータのサンドイッチ構造になっている。1 モジュールで 0.1 rad をカバーする。 [2]

このモジュールは R 方向に内側から A 層, B/C 層, D 層の 3 層で構成されており、信号は独立に読み出される。図 2.10 に TileCal セルの配置図を示す。この層構造を活用することで、最外層である D 層にはほとんどミューオン以外到達しないことを利用したミューオンの識別が可能である。

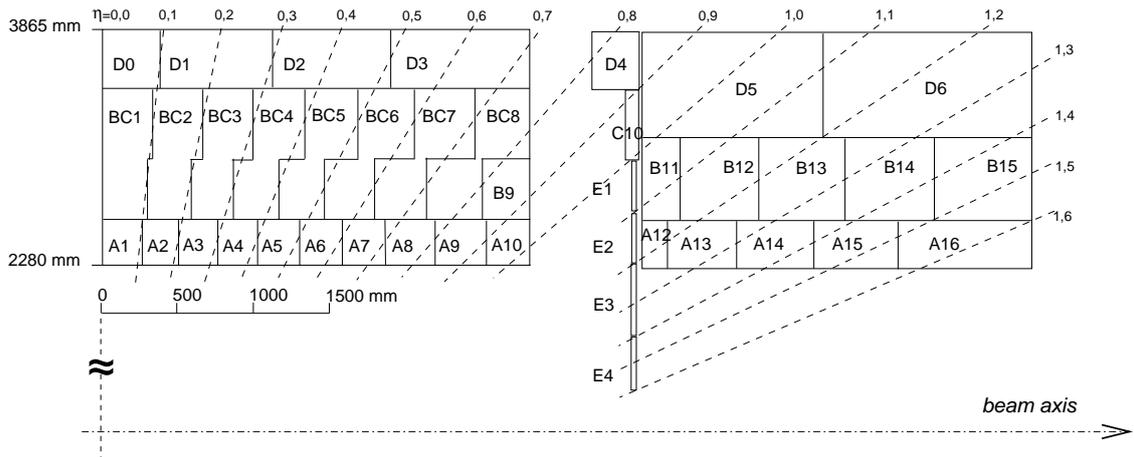


図 2.10: TileCal セルの配置。奥行方向に 3 層構造になっている。 [2]

TileCal におけるペDESTAL信号のエネルギー分布の例を 図 2.11 に示す。このペDESTAL、つまりノイズには電気的な成分とパイルアップ（一度のバンチ衝突で起きる相互作用の数:  $\langle \mu \rangle$ ）による成分の 2 成分があり、double gaussian でフィットできる。ノイズが少ないことはエネルギーを精度よく測定するために重要である。

TileCal D 層のノイズを 図 2.12 に示す。図にはペDESTALを double gaussian でフィットした  $\sigma$  がプロットされている。ノイズにはパイルアップ依存する成分があるため、Run-2 の高パイルアップ環境ではエネルギー分解能が悪化する可能性がある。図 2.13 にパイルアップが上昇した時の TileCal のノイズを  $\langle \mu \rangle < 20$  はデータで、 $\langle \mu \rangle > 20$  は Monte Carlo 法による予測値で示す。2012 年の Run でのパイルアップが平均して約 20 であったが、Run-2 ではこれよりも高い ( $\sim 40$ ) パイルアップになる。TileCal はより高いパイルアップになってもノイズを一定の範囲内に保ち、エネルギーを測定することができる。

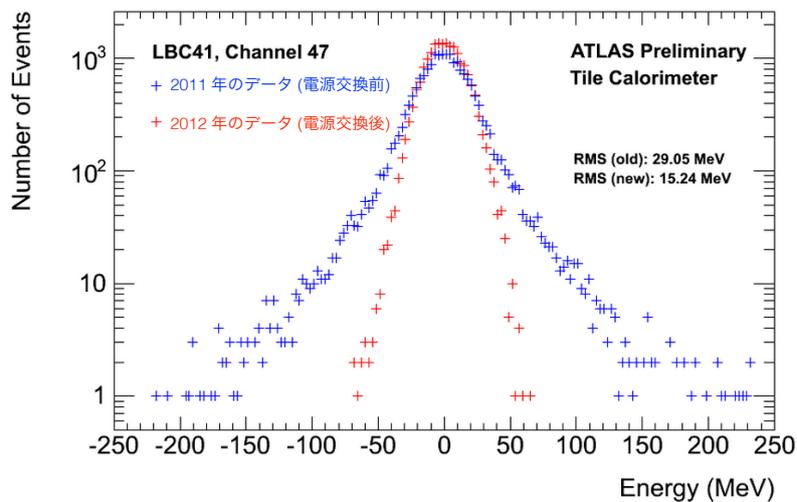


図 2.11: TileCal におけるペDESTAL信号のエネルギー分布。2011 年に取得したデータ (青)、2012 年に取得したデータ (赤)。2 つのデータ取得の間に電源の交換を行い、ノイズが減少した。 [4]

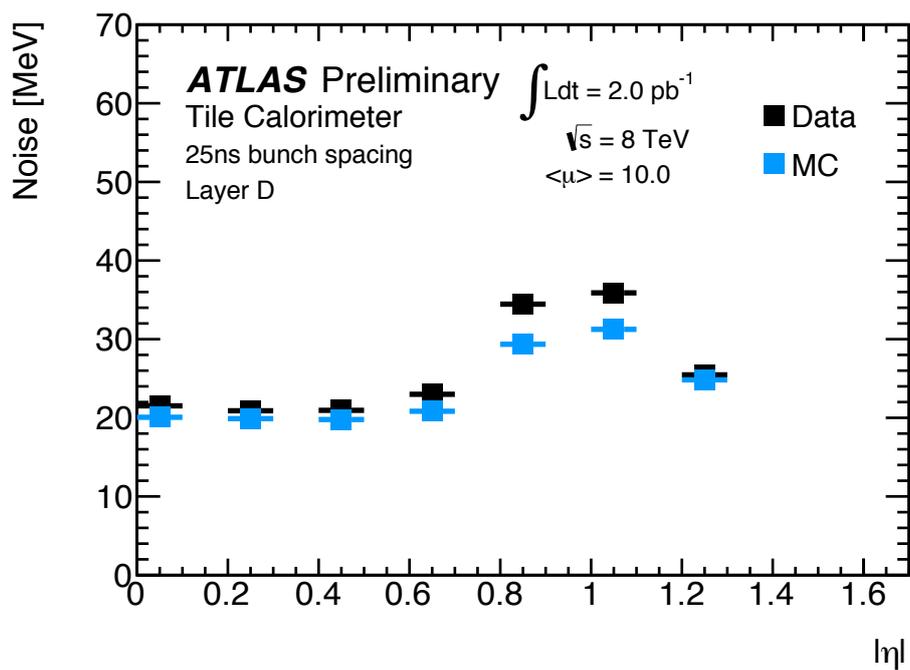


図 2.12: TileCal D 層のノイズの  $\eta$  分布。double gaussian でフィットした  $\sigma$  がプロットされている。 [3]

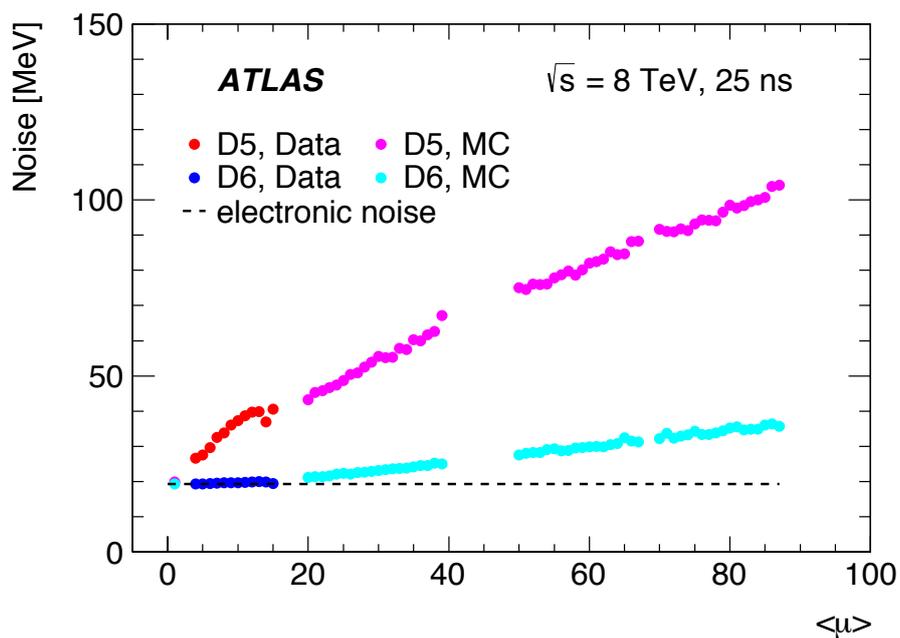


図 2.13: パイルアップに対する TileCal のノイズ。Run-2 以降にパイルアップが上昇しても TileCal のノイズは図に示した範囲に収まる。 [5]

## 2.2.5 マグネット

通常のソレノイド磁石以外にトロイド磁石を用いていることが ATLAS の特徴である。マグネットの全体像を図 2.14 に示す。

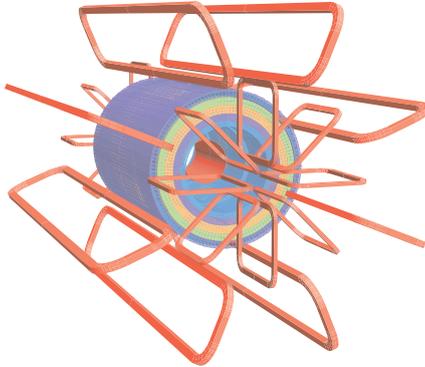


図 2.14: マグネットの全体像。中央にソレノイド磁石があるだけでなく、 $\phi$  方向に 8 回対称なトロイド磁石が設置されている。 [2]

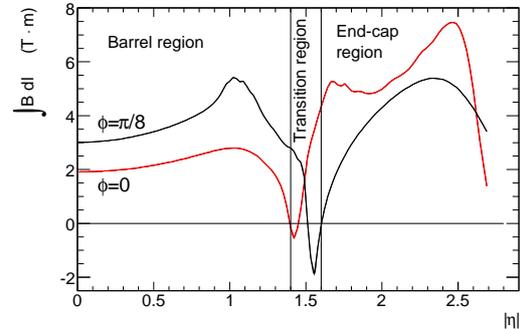


図 2.15:  $|\eta|$  と磁場積分強度。大きくバレル領域とエンドキャップ領域に分けることが出来るが、それらの中には遷移領域が存在する。 [2]

- ソレノイド磁石  
内部飛跡検出器とバレル部電磁カロリメータとの間に設置されている。ビーム軸に沿った磁束密度 2 T のソレノイド磁場を内部飛跡検出器内に与えることによって、荷電粒子は  $\phi$  方向に曲げられる。その曲率半径から横方向運動量  $p_T$  を測定する。
- バレルトロイド磁石  
カロリメータの外側に設置された長さ 25 m の磁石によって  $\phi$  方向のトロイド磁場を発生させる。バレルトロイド磁石は  $\phi$  方向に 8 回対称となるよう設置されており、これより発生される 0.5 T の磁場によってミュオンは  $\eta$  方向に曲げられて、RPC と MDT で  $p_T$  が測定される。
- エンドキャップトロイド磁石  
エンドキャップ部分にも長さ 5 m のトロイド磁石が設置されている。バレルトロイド磁石と同じく  $\phi$  方向に 8 回対称となるよう設置されていて、1 T の磁場を作る。

トロイド磁場の積分強度と  $|\eta|$  の関係を図 2.15 に示す。トロイド磁場はバレル領域とエンドキャップ領域に大きく分けられるが、実際にはその間に遷移領域が存在している。遷移領域では磁場が弱く、十分なベンディングパワーが得られない。また、トロイド磁場は  $\phi$  方向が主成分だが、実際には R 方向や z 方向成分も存在している。

## 2.3 ATLAS トリガーシステム

ハドロンコライダーを用いた高エネルギー実験において、衝突によって生じる事象の中から物理解析の対象とするイベントを選別するためには、トリガーシステムとデータ収集システムの性能が重要である。本節では ATLAS 実験におけるトリガーシステムについて説明する。

### 2.3.1 トリガー全体像

LHC は約 40 MHz の頻度でバンチ衝突を行っている。1 バンチには  $1.6 \times 10^{11}$  個の陽子が含まれており、1 回の衝突ごとに数十の反応が起きる。これらのイベントを各検出器が観測することによって生じる膨大なデータを全て記録することは、通信のバンド幅・データ記録容量を考えると不可能であるし、そもそも膨大なデータに含まれる物理的に興味のある事象はごく僅かである。興味あるイベントを逃さず、効率良くデータ収集を行うために、ATLAS では図 2.16 のように Level-1, Level-2, Event Filter という 3 段階のトリガーシステムを採用している。

Level-1 は  $2.5 \mu\text{s}$  以内という厳しい Latency 要求を満たすためにハードウェアを用いた高速の処理を行い、その後 Level-2, Event Filter (EF) とソフトウェアでの処理を行う。これらをまとめて High Level Trigger と呼ぶ。Run-1 においてトリガーレートは Level-1 で 60 kHz、Level-2 で 5 kHz、Event Filter で 400 Hz であった。

### 2.3.2 Level-1 トリガー

最初のイベントセレクションを行う Level-1 トリガーは、カロリメータ・ミュオンスペクトロメータの情報に基づき決定される。Level-1 トリガーのブロック図を図 2.17 に示す。Level-1 カロリメータトリガーは電磁カロリメータ・ハドロンカロリメータの情報を統合して、 $E_T$  の高い電子、光子、ジェット、 $\tau$  レプトンを含むイベントに対して発行される。さらに、ニュートリノなどによってエネルギーが持ち去られた missing  $E_T$  が大きなイベントに対してもトリガー発行を行う。 $E_T$  のスカラー和に対するトリガーを発行すること、電子/光子/ $\tau$  に対して isolation を要求することもできる。各オブジェクトに対して 4 ~ 16 段階の  $E_T$  閾値が設定される。

Level-1 ミューオントリガーは RPC (パレル領域), TGC (エンドキャップ領域) の情報に基づいて、衝突点から飛来する高い  $p_T$  をもったミュオンを含むイベントに対して発行される。各ミュオンに対して 6 段階の  $p_T$  閾値が設定される。

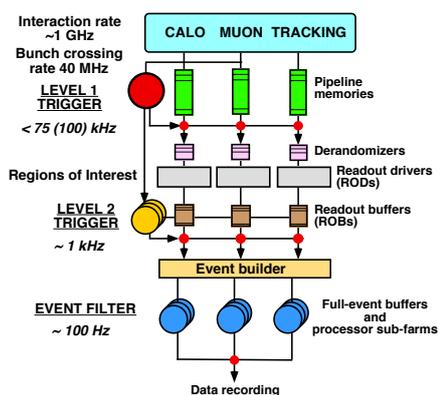


図 2.16: ATLAS トリガーシステムの概要。大きく 3 段階のトリガーになっている。 [6]

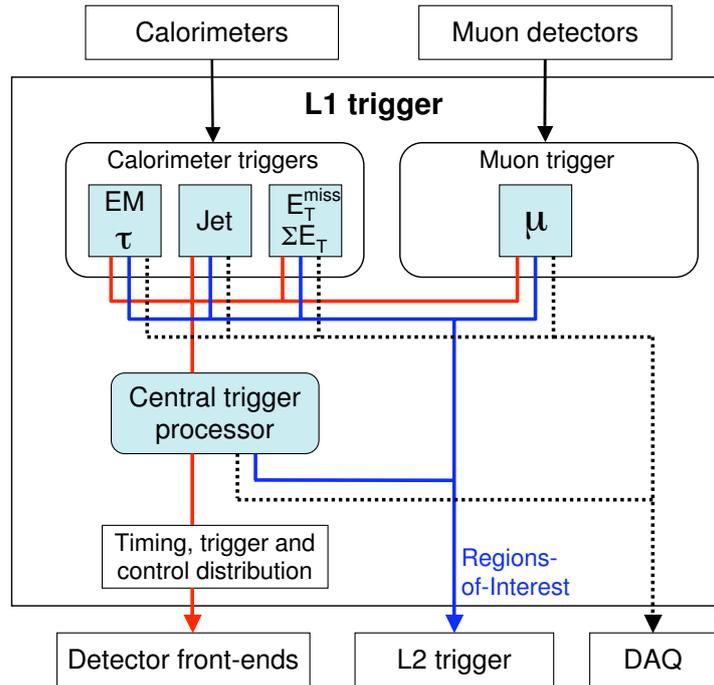


図 2.17: Level-1 トリガーのブロック図。TGC, RPC のトリガー情報とカロリメータのエネルギー情報を CTP に送り、CTP が L1A 信号を発行する。 [2]

TGC, RPC トリガーにより測定されたミュオンの  $p_T$  情報と、カロリメータトリガーにより測定されたエネルギー情報は Central Trigger Processor (CTP) に送られる。CTP ではインプットを組み合わせ最大 256 個のトリガー条件が設定可能で、トリガー条件ごとにマスク、後述するデッドタイムを決定するための優先順位、 $1 \sim 2^{24}$  までの pre-scaling ファクターが設定される。トリガー条件の例として、ある閾値以上のミュオンが 2 つ以上あり、かつある閾値以上のジェットが少なくとも 1 つあるという条件などがある。こうした条件の OR をとって、トリガーの発行を示す Level-1 Accept (L1A) 信号が発行される。L1A 信号にはどのトリガー条件を満たしたかを表す 8 bit が添付され、Timing Trigger and Control distribution system (TTC) を通じて、衝突から  $2.5 \mu\text{s}$  以内に各検出器に送られる。各検出器システムは L1A 信号を受信すると、バッファに蓄積したデータから、該当するバンチ部分のデータを読み出す。

短時間にうちに連続して L1A 信号が発行されると、フロントエンドバッファのオーバーフローが起きる。それを防ぐために CTP では simple デッドタイム、complex デッドタイムという 2 種類のデッドタイムを設定している。simple デッドタイムは各 L1A 発行から一定バンチ間設定されるデッドタイムで、リードアウトウィンドウのオーバーラップを防ぐ。現在の ATLAS では simple デッドタイムが 5 バンチに設定されている。complex デッドタイムは現在の ATLAS の設定を例にとると、415 バンチ交差のうち 7 回以上 L1A 信号を発行しないと設定するタイプのデッドタイムで、データの転送レートを制御する。

### 2.3.3 High Level Trigger

Level-2 ではより精度良くトリガー判定を行うために、例えばミューオントリガーについて言えば MDT, CSC, 内部飛跡検出器などの高精度な位置情報を用いて  $p_T$  を測定し、トリガー判定を行う。Level-2 では 40 ms のレイテンシー制約があるので、効率をよくするために Level-1 トリガーが発行された付近 Region of Interest ( RoI ) の情報のみを用いてトリガー判定が行われる。

Event Filter では RoI に限定せずに全検出器の情報を用いてトリガー判定を行う。トリガー判定は複数の PC による並列処理によって 1 イベントに約 1 秒かけて行われている。Event Filter を通過すると最終的なディスク書き込みが行われる。

## 2.4 ATLAS 実験の目指す物理

ATLAS ではヒッグス粒子の発見を主目的の 1 つとして掲げてきた。ヒッグス粒子はその存在を長年予測されていながらも 50 年にも渡ってその発見に至っていなかったが、ATLAS では 2012 年 7 月に 125 GeV/c 付近に新粒子があること、さらに 2013 年 3 月にはその新粒子のスピンの 0 であることから新粒子がヒッグス粒子であることを強く示唆しているという発表を行っている。

ヒッグス粒子の生成過程には次の 4 種類がある。

- gluon gluon fusion, ggF • W/Z associate production  
 $gg \rightarrow H$   $qq \rightarrow (W/Z)H$
- vector boson fusion, VBF • ttbar fusion  
 $qq \rightarrow qqH$   $qq/gg \rightarrow ttH$

それぞれのファインマンダイアグラムを 図 2.18 に示す。また、ヒッグス粒子の生成断面積を 図 2.19 に示す。

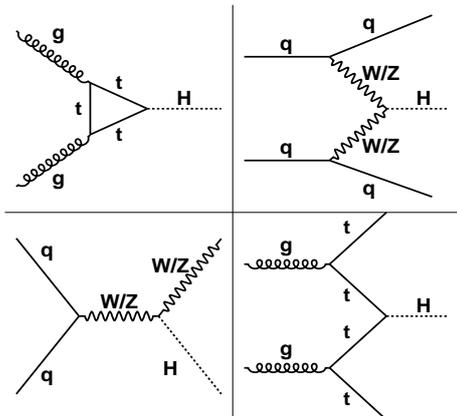


図 2.18: ヒッグス粒子生成反応のファインマンダイアグラム

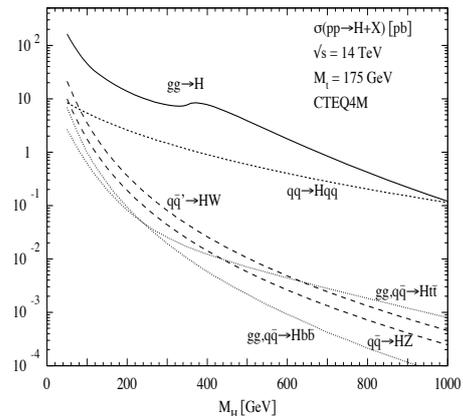


図 2.19: 重心系エネルギー 14 TeV でのヒッグス粒子の生成断面積 [9]

ヒッグス粒子の崩壊過程は主に次の 4 種類が研究されている。それぞれのファインマンダイアグラムを 図 2.20 に、崩壊分岐比を 図 2.21 に示す。

- $H \rightarrow \gamma\gamma$
- $H \rightarrow ZZ$
- $H \rightarrow bb$
- $H \rightarrow WW$
- $H \rightarrow \tau\tau$

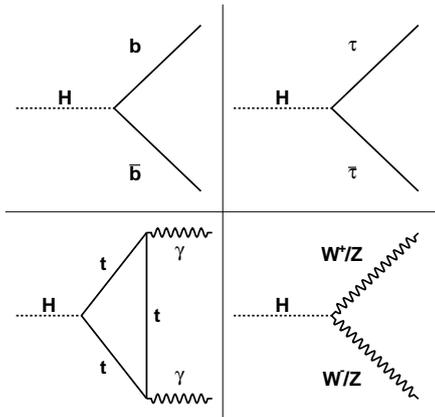


図 2.20: ヒッグス粒子崩壊反応のファインマンダイアグラム

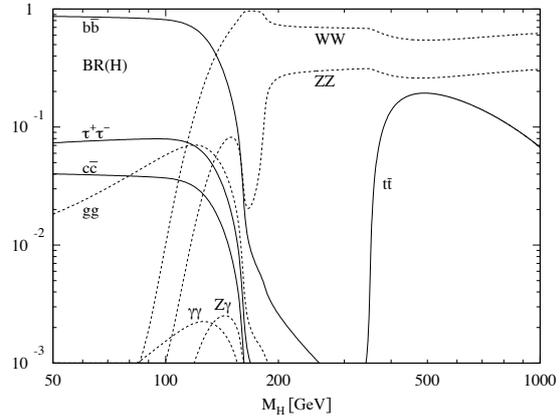


図 2.21: ヒッグス粒子崩壊の分岐比 [9]

図 2.22 に各崩壊モードに対して標準模型で予測される信号強度の値を 1 に規格化した時の、ATLAS 実験による現在の値を示す。 $\mu = 1$  は発見された新粒子と標準模型ヒッグス粒子とが完全に一致することを意味する。現在は誤差の範囲で標準模型ヒッグス粒子と発見されたヒッグス粒子は一致しているが、今後統計を挙げて測定を行うことによって 1 と異なるつまり標準模型とのズレが見つかる可能性がある。このように、今後もヒッグス粒子の性質を精密に測定することは ATLAS 実験における目標の 1 つである。

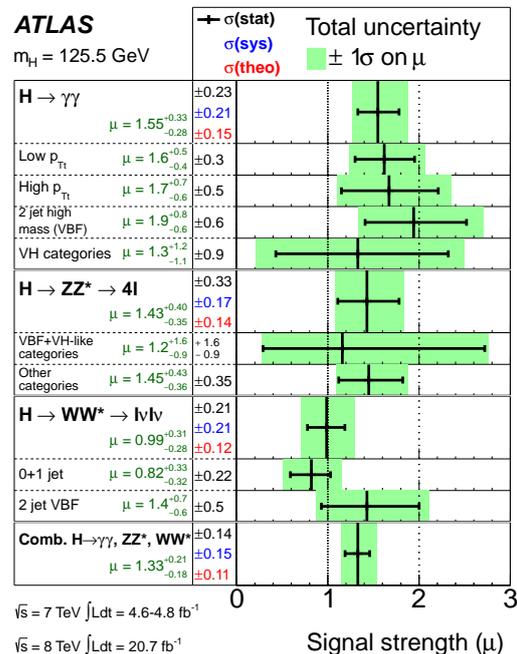


図 2.22: ヒッグス粒子の各崩壊モードでの信号強度。標準模型から予測される値を 1 として規格化している。 [10]

## 2.5 Run-2 ( 2015 年から ) へ向けたアップグレード

Run-1 では LHC によってヒッグス粒子を発見できたが、超対称性粒子 ( SUSY 粒子 ) に代表されるような標準模型を超えた物理の探索のために、現在よりも更に高エネルギー・高統計での実験を行っていく。そのためには LHC をエネルギー・ルミノシティ両方についてアップグレードする必要がある。加速器のアップグレードにより達成される高パイルアップ・高ルミノシティ環境下で実験を行うために、検出器に対してもアップグレードを行う必要がある。

本研究は Run-2 に向けたミュオントリガーの改良に関するものである。本節では Run-2 に向けて ATLAS で行われている本研究以外の主たる改良を概説する。

### • Insertable B Layer ( IBL ) の導入

現在 Pixel 検出器の平行部分には  $R = 50.5, 88.5, 122.5$  mm の 3 層にわたって検出器が設置されており、最も内側の B Layer は b クォークの同定に重要な役割を担っている。b ハドロンは寿命が長いので崩壊するまでに数 mm 飛ぶため、b ハドロンが崩壊する際の 2 次崩壊点の存在が b クォーク起源のジェットの特徴となる。2 次崩壊点を探すためには Pixel 検出器において、荷電粒子の崩壊点を精度よく測定することが不可欠であるが、パイルアップが増大するにつれてその精度は下がってしまう。そこで B Layer とビームパイプの間  $R = 33$  mm に新たな Pixel 検出器 IBL を設置した。衝突点のより近くで崩壊点の測定を行うことにより 2 次崩壊点の測定精度がよくなる。図 2.23 では、IBL の有無による b クォークの同定効率の変化を示している。ルミノシティが  $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  に上昇すると ASIC のデータ帯域不足が不足する。それによって 10 % の B Layer 情報がなくても、現在と同等の同定効率を維持できる。

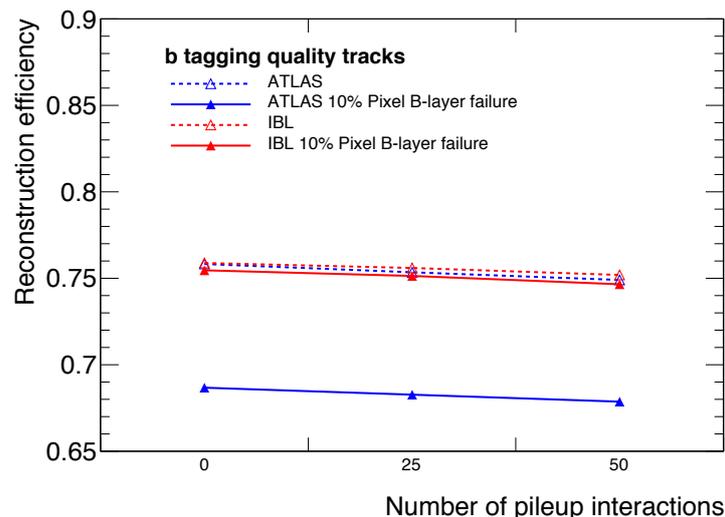


図 2.23: IBL の追加により達成される b クォークの同定効率。現在の ATLAS 検出器構成 (青)、IBL の追加後 (赤)。10 % の B Layer 情報がなくても現在と同等の効率を維持できる。 [11]

- ビームパイプの交換とシールドの追加

衝突点付近のビームパイプにはシールドがない場所があり、そこから漏れ出る粒子により生成される 2 次生成粒子はバックグラウンドとなることが分かっている。それらを削減するために、シールドの追加を行った。また、ビームパイプを現在のステンレス製から質量数の小さいアルミニウム製に交換することで 2 次生成粒子との相互作用を抑える。これらの改善を行った結果、予想される  $\gamma$  フラックスの削減について 図 2.24 に示す。アルミニウム製のビームパイプに交換することで、全体に 1/10 程度までフラックスを削減できる。シールドの追加を行うことにより、 $z = 7.5$  m 付近で検出器外まで漏れでている  $\gamma$  を防ぐことができる。

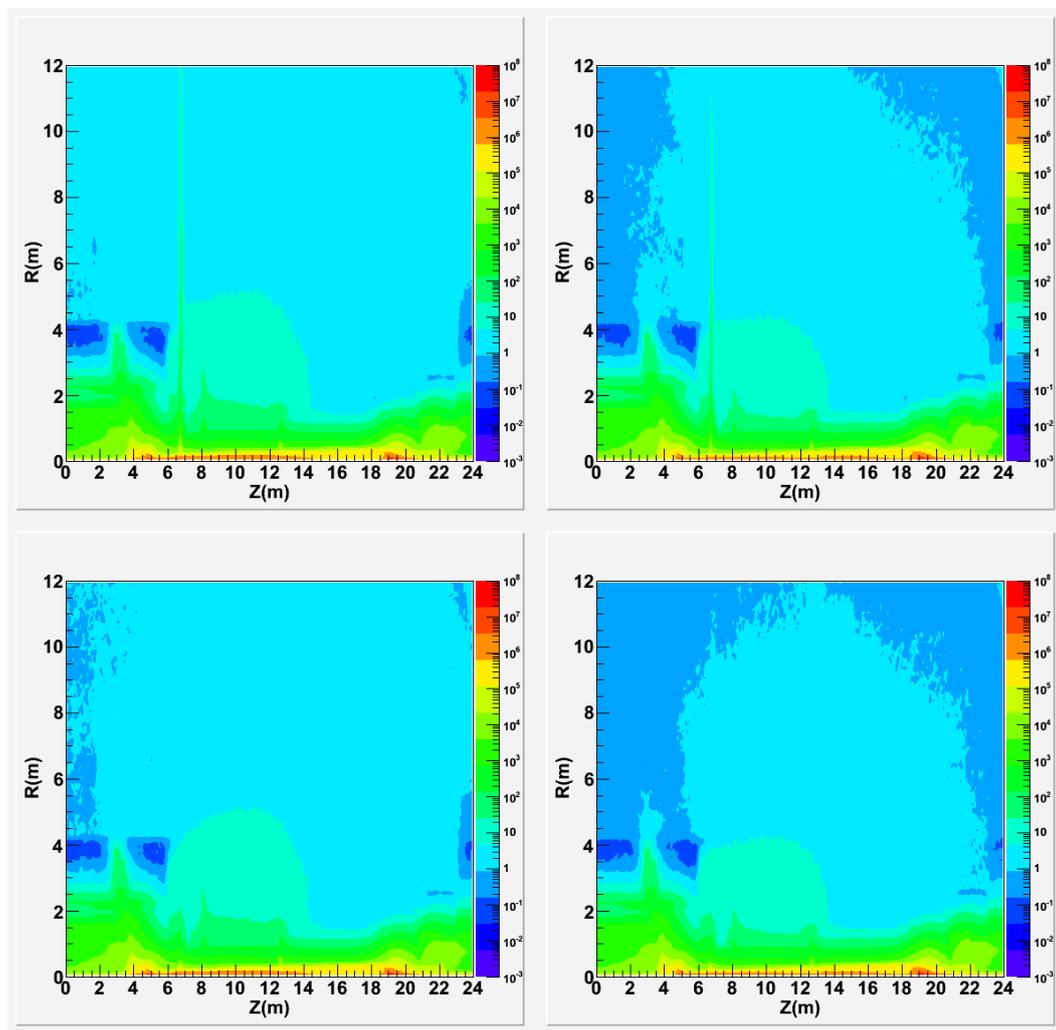


図 2.24: ビームパイプの交換とシールドの追加による  $\gamma$  フラックスの削減。左上：現状の  $\gamma$  フラックス。右上：ビームパイプをアルミニウム製に交換した場合。全体に 1/10 程度までフラックスを削減できる。左下：シールドの追加を行った場合。 $z=7.5$  m 付近で検出器外まで漏れでている  $\gamma$  を防ぐことができる。右下：両方の改善を行った場合。 [12]

# 第3章 Level 1 エンドキャップミュオントリガー

2.2.3 節で説明したように、Level 1 ミュオントリガーはエンドキャップ領域を TGC が、バレル領域を RPC が担当する。図 3.1 にミュオンスペクトロメータの R-z 断面図を示す。

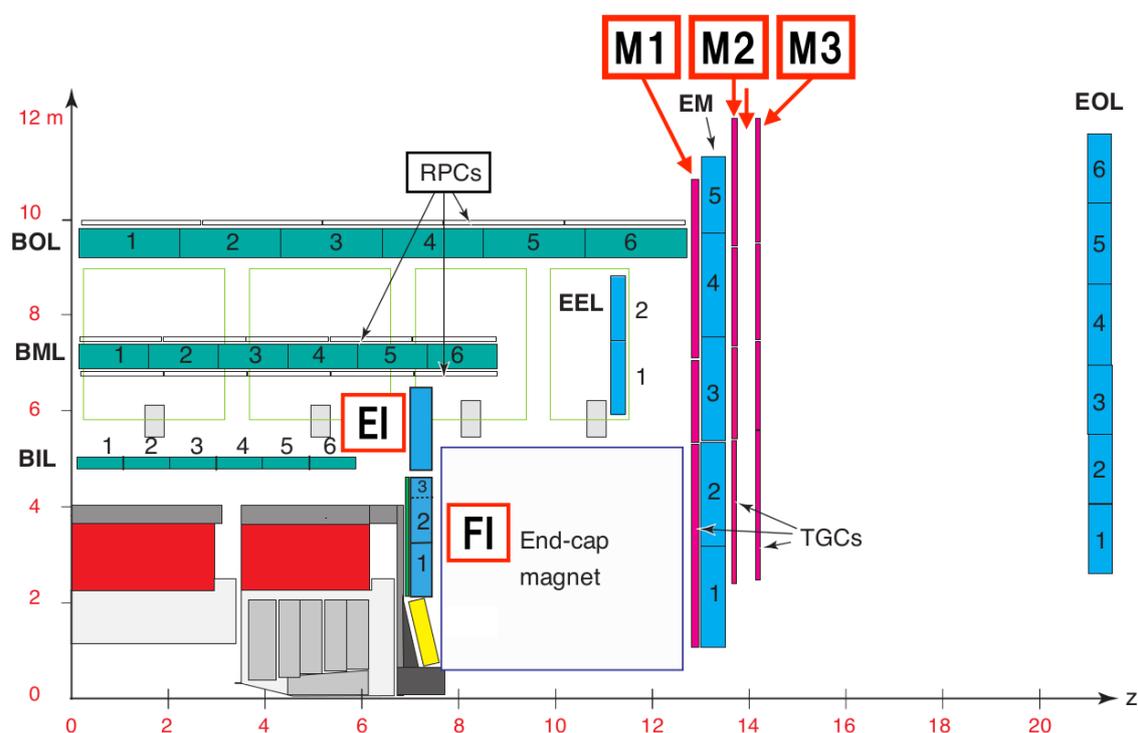


図 3.1: ミュオンスペクトロメータの R-z 断面図。バレル領域 ( $|\eta| < 1.05$ ) は RPC が、エンドキャップ領域 ( $1.05 < |\eta|$ ) は TGC が Level 1 ミュオントリガーを担当する [2]

本章ではこのうち、エンドキャップ領域を担当する TGC の概要とそのトリガースキームを述べた後、トリガー判定回路、読み出し回路などのエレクトロニクスを説明する。

## 3.1 TGC について

最初に TGC の基本的な構造と動作原理、トリガー処理の単位について説明する。

### 3.1.1 TGC の構造と動作原理

TGC は Multi Wire Proportional Chamber ( MWPC ) の一種であり、 $|z| = 7.0, 7.4$  m に配置される EI, FI と、 $|z| = 13.4, 14.7, 15.2$  m に配置される Big Wheel とに大別される。( 図 3.1 )

### TGC の構造

円形のエンドキャップ領域をカバーするために、配置場所によって R 方向の長さ 1 m ~ 2.4 m と大きさの異なる台形のチェンバーを設置している。チェンバーの模式図を図 3.2 に、TGC の各種パラメータを表 3.1 に示す。

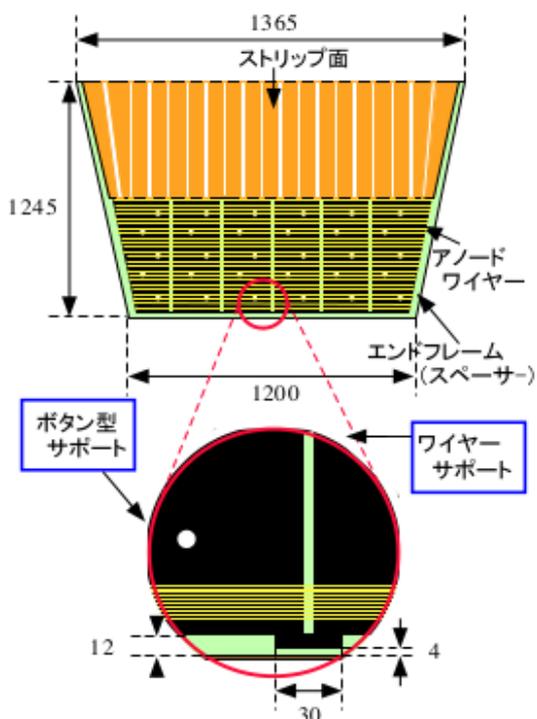


表 3.1: TGC の各種パラメータ。 [2]

Gas gap	$2.8 \pm 0.1$ mm
Anode wire pitch	$1.8 \pm 0.05$ mm
Wire diameter	50 $\mu$ m
Wire potential	$2800 \pm 100$ V
Operationg plateau	200 V
Gas mixture	CO <sub>2</sub> + n-pentane (55: 45)
Gas amplification	$3 \times 10^5$

図 3.2: TGC チェンバーの模式図。直交して配置されたアノードワイヤとカソードストリップによって 2 次元読み出しが行われる。 [13]

アノードは直径 50  $\mu$ m の金メッキをしたタングステンワイヤで、台形をしたチェンバーの上辺・下辺と平行に張られている。カソードにはガラスエポキシ板に表面抵抗 1 M $\Omega$  のカーボン塗布したものを用い、カーボン塗布した面の反対側には銅で出来たストリップがワイヤに直交するように張られている。ワイヤのたるみを出来るだけ減らすためのワイヤサポートが 30 cm 毎に設置されており、そのために局所的な不感領域が存在する。ワイヤは 6 ~ 20 本をまとめて 1 つのチャンネルとして読み出し、ストリップは 32 本それぞれを 1 つのチャンネルとして読み出す。こうした構造により TGC は R- $\phi$  の 2 次元読み出しを可能にしている。

### TGC の動作原理

TGC のワイヤとストリップの配置を 図 3.3 に示す。TGC は印加電圧 2.8 kV のアノードワイヤをカソード面によって挟んだコンデンサ構造をしており、この中には  $\text{CO}_2$  と n-pentane が 55:45 という比率で混合されたガスが充填されている。荷電粒子がチェンバー内を通過すると、その飛跡上のガス分子が電離されて電子とガスイオンが生じる (1 次電離)。電離された 1 次電子は印加電圧によってワイヤ側に加速され、ガス分子の電離エネルギーを超えると 2 次電子を生成する。ワイヤ近傍の電場は大きいので 2 次電離が雪崩的に起こり、ワイヤの周囲に 図 3.4 に示したようなカスケード形の雪崩を生成する。雪崩により生じた電子は 1 ns 以内にワイヤに吸収されるが、雪崩により生じたガスイオンは電子よりも重いいため、ゆっくりとカソード面に向かって移動する。コンデンサ構造に伴い、ガスイオンの電荷移動によってワイヤに電圧が誘起され、ワイヤではその時間微分の成分を読み出す。一方、カーボン面にも電圧が誘起され、それによってストリップにも電圧が誘起される。ストリップではそうして誘起された電圧を読み出す。

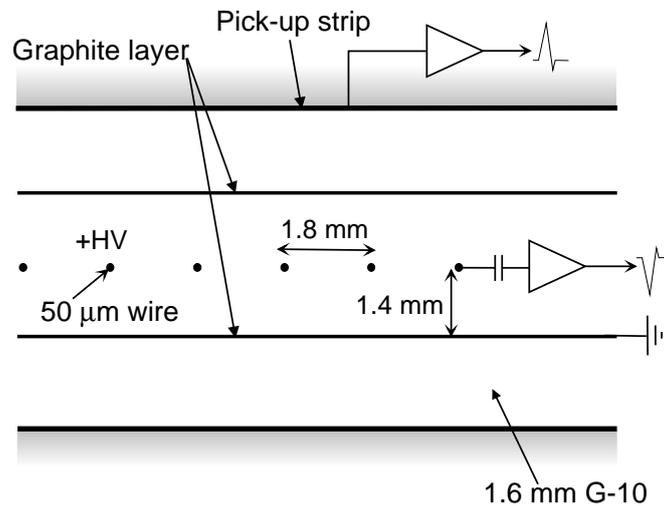


図 3.3: TGC の断面図。ワイヤとストリップによる 2 次元読み出しを行っている。 [2]

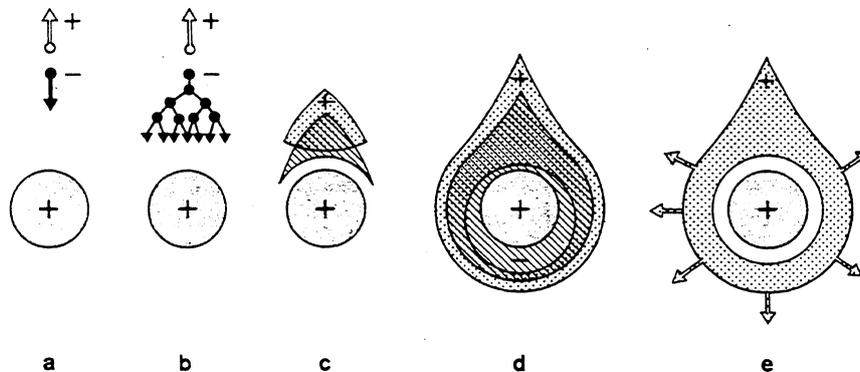


図 3.4: 電子雪崩の時間発展。雪崩が時間発展する様子を左から右の順番で表している。 [8]

## TGC の分類

図 3.5 に示すように、ATLAS 実験において TGC は 2 枚 (Doublet) ないしは 3 枚 (Triplet) を重ねた構造にして使用している。Doublet ではそれぞれのワイヤ・ストリップから読み出しが行われるが、Triplet では 2 枚目にはストリップが存在せず、3 枚のワイヤと 2 枚のストリップによる読み出しを行っている。

これらの複数枚の情報はコインシデンスをとってバックグラウンドを減らすために用いられる。また、後述するように 3 out of 4 等のマジョリティーロジックを使ってコインシデンス信号を作成しており、各層がもつデッドスペースが重ならないように配置することで、トリガーシステムとしての不感領域を減らすことが出来ている。

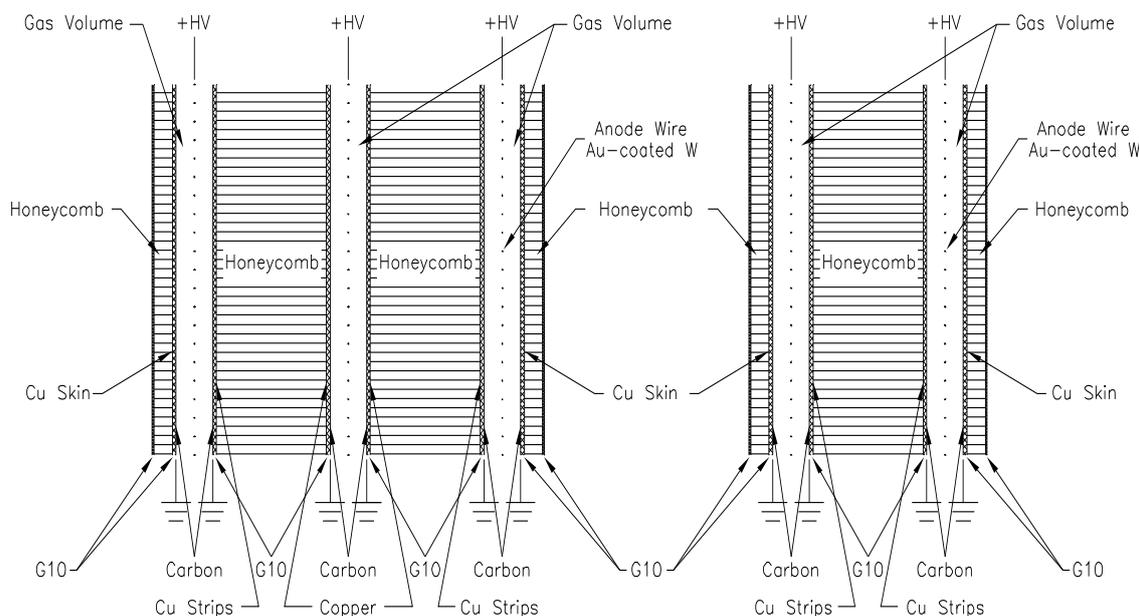


図 3.5: TGC の重なり方。TGC Triplet (左)、TGC Doublet (右)。[2]

### 3.1.2 TGC の配置

TGC の配置を 図 3.1 に示した。M1 は Triplet、M2、M3、EI、FI は Doublet である。Run-1 におけるトリガー判定は M1、M2、M3 を合わせて 7 枚・3 層の TGC チェンバーによって行った。

## Big Wheel

Big Wheel の写真を 図 3.6 に載せる。TGC におけるデータ処理は  $1/12$  を単位として行い、トリガー判定は後述するトリガーセクターという単位で行われる。Big Wheel がカバーする  $1.0 < |\eta| < 2.4$  の領域のうち、 $1.0 < |\eta| < 1.9$  を Endcap、 $1.9 < |\eta| < 2.4$  を Forward と呼ぶ。 $|\eta| = 1.9$  はデータ処理の境界であると同時に、トリガーセクターの境界にもなっている。

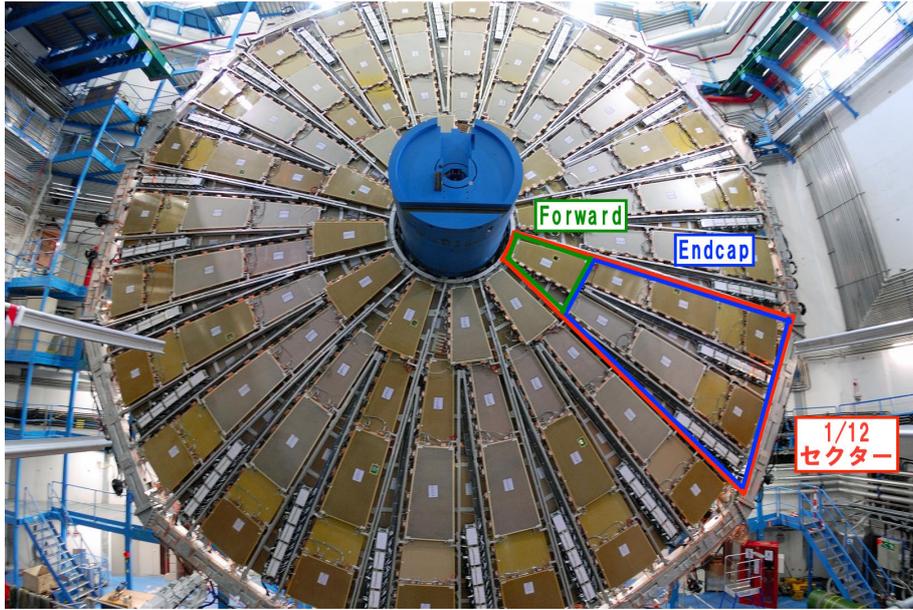


図 3.6: Big Wheel の形状。Big Wheel は 1/12 円を単位としてチェンバーの構築がされている。[1]

## EI, FI

図 3.7 に EI, FI の形状を示す。EI にはパレルトロイド磁石との物理的な干渉のため、チェンバーを設置できない領域がある。トロイド磁石が 8 回対称なので、EI のチェンバーが無い領域も 8 回対称になっている。Run-1 において EI, FI はトリガー判定には用いられず、offline でのミュオントラックの再構成に必要な位置情報の測定のみを行っていた。

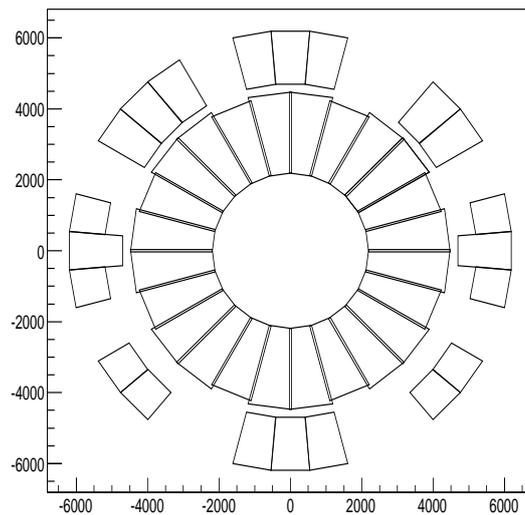


図 3.7: EI, FI の形状。EI にはトロイド磁石と干渉するためチェンバーが入れられなかった領域がある。

### 3.1.3 トリガーセクター

TGC のデータ処理は、円盤を  $\phi$  方向に 1/12 分割したセクターという単位で処理が行われるが、トリガー判定はセクターを更に分割したトリガーセクターという単位で行われる。図 3.8 にトリガーセクターの概略を示す。1 つのトリガーセクターは Forwrд 領域ではチェンバー 1 枚、Endcap 領域ではチェンバー 4 枚 (M1) ないしは 5 枚 (M2, M3) から成る。

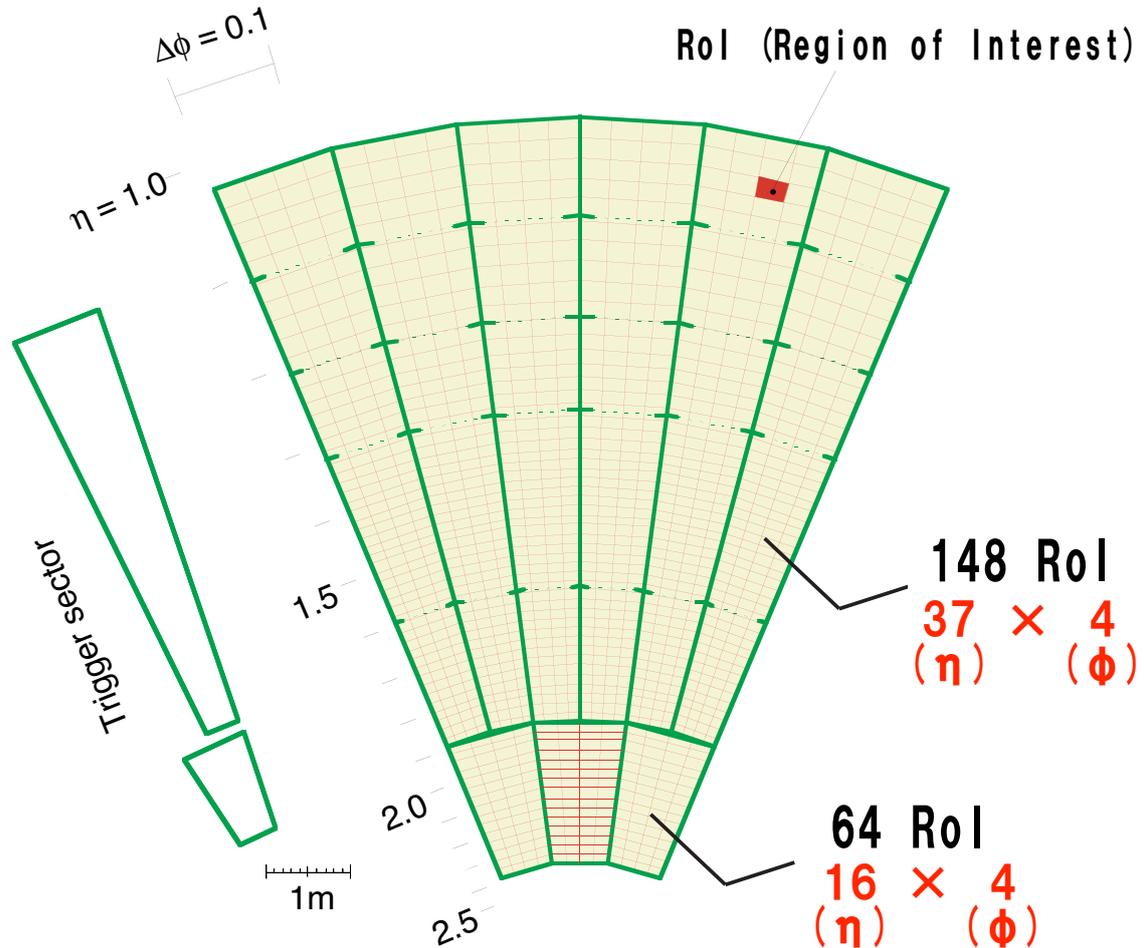


図 3.8: TGC のトリガーセクター。A-side, C-side それぞれで 72 トリガーセクターに分割される。更に Endcap トリガーセクターは 148 RoI に、Forward トリガーセクターは 64 RoI に分割される。 [2]

更に各トリガーセクターは Region of Interest (RoI) というサブセクターに分割される。Endcap トリガーセクターは R 方向に 37 分割、 $\phi$  方向に 4 分割されているので合計 148 RoI、Forward トリガーセクターは R 方向に 16、 $\phi$  方向に 4 分割されているので 64 RoI に分割されている。RoI がトリガー判定の最小単位である。

## 3.2 トリガースキーム

TGC では  $p_T$  を算出し、算出された値が閾値以上である場合にトリガーを発行する。本節では TGC において行われるトリガー判定の方法について説明する。

### 3.2.1 $p_T$ 算出の概要

TGC における  $p_T$  算出は次のようにして行われる。

1. 衝突点付近で例えば  $W^-$  ボソンが生成され、 $W^- \rightarrow \mu^- + \bar{\nu}_\mu$  崩壊反応によりミュオンが生成される。
2. ミュオンは Big Wheel に到達する前にトロイド磁場によって曲げられる。
3. トロイド磁場を通過した後、TGC Big Wheel の M1, M2, M3 を順に通過する。ヒットした各点で TGC が生成した信号をフロントエンドエレクトロニクスが処理し、2次元情報 ( $R, \phi$ ) が生成される。
4. ミュオンが無限大の運動量を持っていた場合、その飛跡は M3 のヒット点と衝突点を結んだ直線になる。この直線と実際の飛跡とのズレ ( $\Delta R, \Delta\phi$ ) から  $p_T$  を算出する。これを図に示したものが図 3.9 である。 $p_T$  が高いほど磁場で曲げられにくいので、 $(\Delta R, \Delta\phi)$  は小さくなる。ここまでの処理は  $R, \phi$  独立に行い、最後に  $R - \phi$  間のコインシデンスを要求する。 $R - \phi$  コインシデンスの際に、モンテカルロシミュレーションを用いて  $(\Delta R, \Delta\phi)$  と  $p_T$  との関係性を求めた図 3.10 に従って  $p_T$  も算出する。トリガー判定モジュールにこの対応関係を書き込んでおき、それに従って  $p_T$  判定を行う。

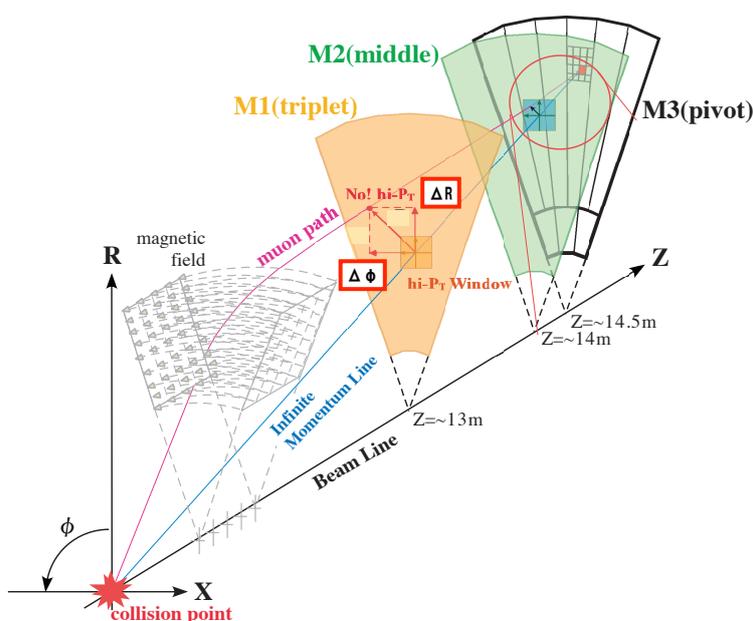


図 3.9:  $p_T$  算出の仕組み。無限大運動量での飛跡とのズレから  $p_T$  を算出する。[14]

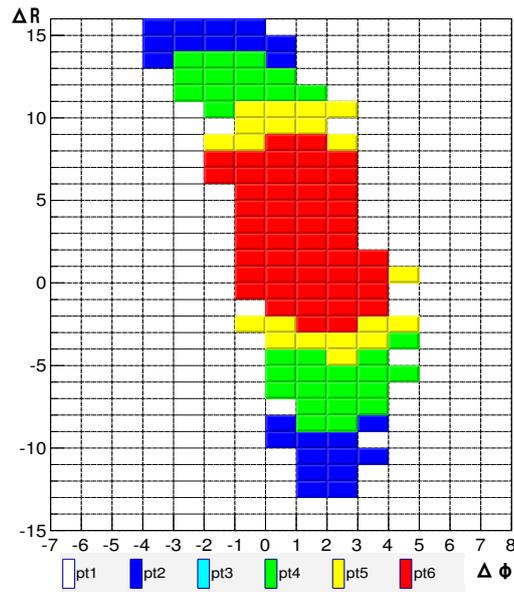


図 3.10:  $p_T$  と  $(\Delta R, \Delta\phi)$  の対応関係。横軸に  $\Delta\phi$ 、縦軸に  $\Delta R$  をとっている。pt1 はコイ  
ンシデンス条件成立、pt2 は  $p_T > 6$  GeV、pt4 は  $p_T > 10$  GeV、pt5 は  $p_T > 15$  GeV、  
pt6 は  $p_T > 20$  GeV を意味する。( pt3 は使っていない ) [15]

### 3.2.2 コインシデンスの取り方

前小節で示した  $p_T$  算出の方法が、どのようにして実装されているかを説明する。TGC  
ではヒット情報に対するコインシデンスを段階的に行い、トリガー判定を行うために必要な  
情報を統合していく。図 3.11 にヒット情報の処理の流れを示す。このうち、トリガー系の  
処理に対応するエレクトロニクスとその役割を以下で説明する。

TGC からのアナログ信号は最初にチェンバー側面に設置された Amplifier Shaper Dis-  
criminator (ASD) に送られる。ASD は入力信号の増幅、整形、デジタル化を行い、  
その結果を Patch Panel に出力する。Patch Panel は入力信号に対して 16 チャンネ  
ル単位で異なる Delay をかけることで、Time of Flight (TOF) やケーブル長の違いにより  
生じるタイミングのズレをそろえる。タイミングをそろえた信号を LHC 基準クロックに同  
期させてバンチ識別 ( Bunch Crossing ID ) を行い、その結果を SLave Board (SLB) に出  
力する。

SLB では Triplet/Doublet 内でのコインシデンスを行う。Doublet のワイヤ/ストリップ  
(WD/SD)、Triplet のワイヤ/ストリップ (WT/ST) それぞれで異なる処理を行うために 4  
種類の SLB が存在する。WD, SD では 3 out of 4 ロジック、WT では 2 out of 3 ロジッ  
ク、ST では 1 out of 2 ロジックが課される ( N out of M ロジック: M 層の入力中  
N 層以上にヒットがあることを要求する )。SLB によってコインシデンスをとった後の信  
号は、Category-6 規格の Ethernet Cable によって High- $p_T$  ボードへ送られる。High- $p_T$

ボードでは Triplet と Doublet との間でコインシデンスを要求する。ワイヤとストリップそれぞれの信号を処理するために 2 種類の High- $p_T$  ボードがある。Triplet 間、Doublet 間でコインシデンスが要求された結果は G-Link 信号に変換され、光ファイバーで Sector Logic へと送られる。

High- $p_T$  ボードから受け取った情報を元に、実際にトリガー判定を行うモジュールが Sector Logic である。図 3.10 に示した  $p_T$  と  $(\Delta R, \Delta\phi)$  の間の対応関係に従って  $p_T$  を算出して、計算された  $p_T$  が閾値以上で合った場合にトリガー発行を行う。トリガー判定結果は MUon CTP interface ( MUCTPi ) へと送られ、CTP における Level-1 トリガー判定に用いられる。

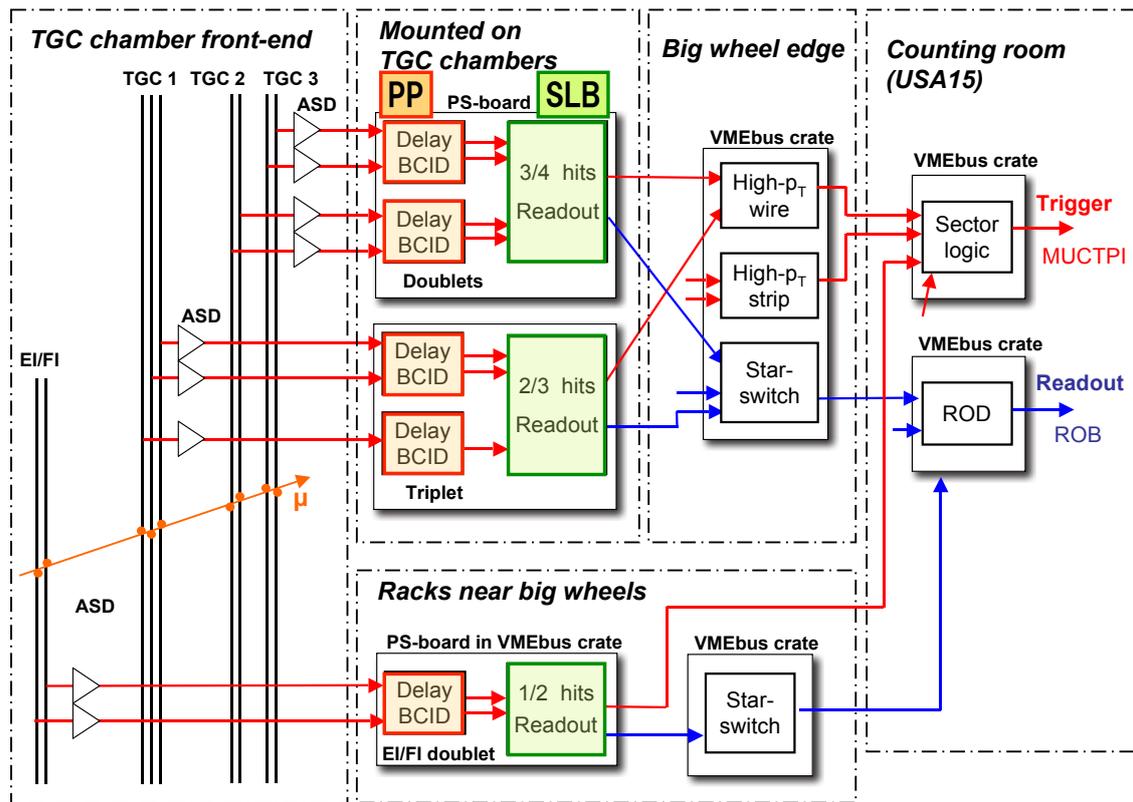


図 3.11: TGC ヒット情報の流れ。赤線はトリガー系の信号処理。青線はリードアウト系の信号処理を表している。[2]

### 3.3 TGC の情報読み出し処理

前節では TGC におけるトリガー判定方法と、その実装について説明した。本節ではトリガー発行後に行う TGC の情報読み出し処理について説明する。Sector Logic による Level-1 ミューオントリガーの判定結果は、MUCTPi を介して CTP に送信される。CTP は TGC, RPC, カロリメータからのインプットを統合し、トリガー条件と照らし合わせる。そして、インプットがいずれかのトリガー条件を満たしていた場合、Level-1 トリガーの発行を示す L1A 信号を発行する。

CTP で発行された L1A 信号は ATLAS 検出器を構成する全ての計測器システムに配られ、TGC の場合 SLB がその信号を受ける。SLB は L1A 信号が発行されたバンチと、その前後 1 バンチの合計 3 バンチ分のデータを Star SWitch (SSW) へと送る。SSW は各 SLB のデータを収集・圧縮して、リードアウトデータの最終モジュール Read Out Driver (ROD) に送信する。ROD はイベントの整合性をチェックして、PC ベースの Read Out System (ROS) へと送信する。

#### 3.3.1 Sector Logic におけるトリガー判定と SLB からの読みだし

Sector Logic は High- $p_T$  ボードからワイヤ情報・ストリップ情報を受け取り、図 3.10 の対応関係に従い  $p_T$  を算出する。図 3.12 に Sector Logic の写真と、そのブロック図を示す。 $p_T$  算出を含む Sector Logic におけるトリガー処理は FPGA1, FPGA2 内で行われ、FPGA にダウンロードするファームウェアの変更のみでコインシデンスアルゴリズムを変更できて、Run-1 の途中では  $p_T$  算出の対応関係を何度も変更した。FPGA でのトリガー判定結果は 32 bit にエンコードされて MUCTPi へと送信される。

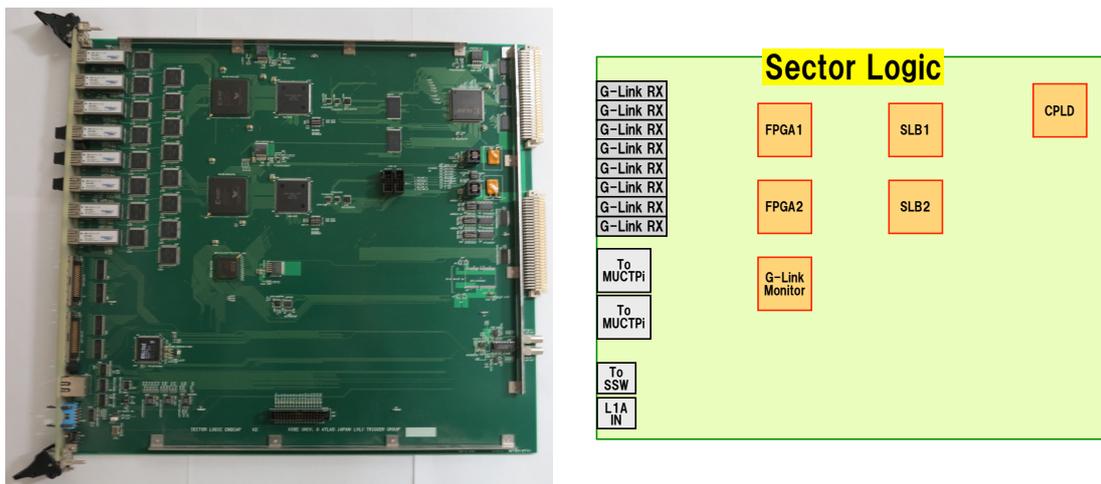


図 3.12: Sector Logic の写真 (左) とそのブロック図 (右)。コインシデンスロジックは FPGA1, FPGA2 に対して書き込まれる。

また、Sector Logic には SLB ASIC も搭載されている。SLB ASIC には前節で説明した Triplet/ Doublet 内でのコインシデンスを行う機能の他に、L1A 信号を受け取るまでの間

ヒット情報を保持し、L1A 信号を受けて該当バンクのデータを送り出す機能がある。SLB ASIC は L1A 信号を受け取ると、L1A 信号が発行されたバンクとその前後 1 バンクの合計 3 バンク分の TGC ヒット情報・トリガー判定結果・バンク番号を SSW へと送信する。

### 3.3.2 Star SWitch によるデータ圧縮

通常、TGC 全チャンネルのうちヒットがあるのは極一部なので、SLB から送られてくるデータにはヒットが無かったチャンネルの情報が多く含まれている。ヒット無しのチャンネル情報は送信せず、送信されなかった情報はデータ記録時にヒットが無かったと解釈することで、データの圧縮が可能になる。具体的には、SLB から受け取ったデータをセルと呼ばれる 8 bit の塊 20 個に分割し、各セルにアドレスをつける。値が 0 でないセルのみをアドレスと共に送信することで、データ量を圧縮できる。圧縮されたデータは G-Link 信号によって ROD へと送信される。

SSW はデータ圧縮を行うためにインプットデータを一時的に FIFO に蓄える。FIFO は FPGA にオンチップで実装され幅 18 bit、深さ 128 bit である。通常のヒット数であればヒット情報は FIFO サイズ内に収まるが、想定を上回るヒット数のデータを処理すると FIFO のオーバーフローが起きる。オーバーフローが起きた回数は圧縮後のデータと共に ROD へと送信される。

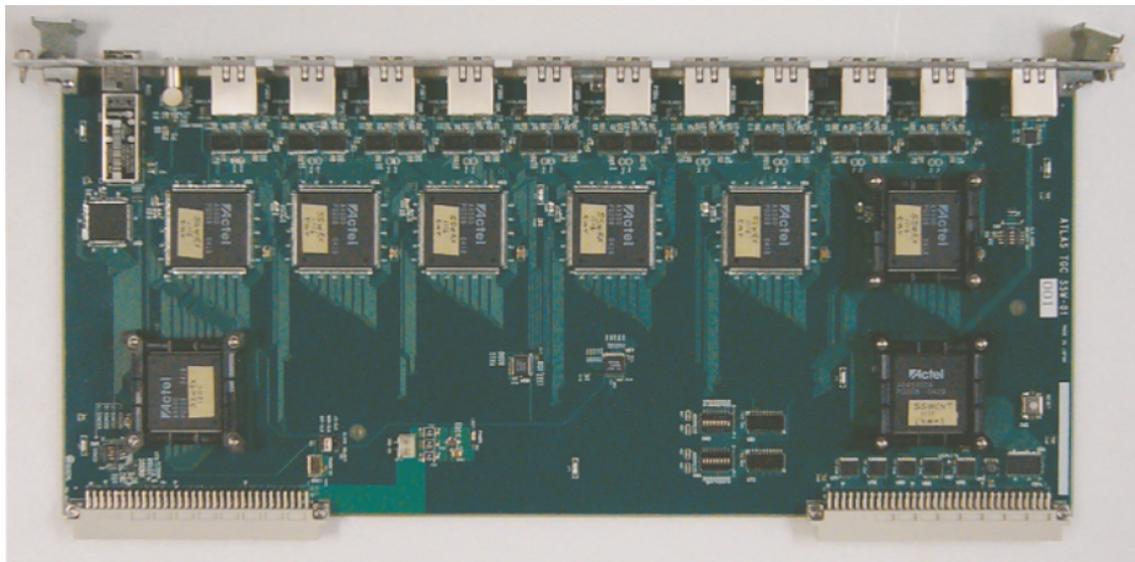


図 3.13: SSW の写真。SLB から受け取った情報を圧縮して ROD へ送信する。

### 3.3.3 ROD からのデータ読み出し

ROD は TGC エレクトロニクスの中でリードアウトのデータが最終的に集約されるモジュールである。ROD の写真を図 3.14 に載せる。ROD は最大 12 個の SSW から圧縮されたシリアルデータを受け取り、これを電氣的なパラレルデータに戻した上で FIFO メモ

りに一時格納する。格納された入力データはトリガー情報を用いてイベントごとにまとめられ、出力フォーマットに従って Read Out System (ROS) へと送信される。

受け取った情報に何らかのエラーが含まれている場合 ( e.g. SSW RX の FIFO がオーバーフローした場合 )、ROD は CTP にビジー信号を送信することがある。ビジー信号が出されている間、CTP は L1A 信号を発行することができない。



図 3.14: ROD の写真。SSW から圧縮されたデータを受け取り、出力フォーマットに従って ROS へと送信する。

## 第4章 TGC と TileCal との間で コインシデンスを要求する トリガーアルゴリズムの開発

本章では Run-2 で新しく導入する TGC と TileCal との間でコインシデンスを要求するトリガーアルゴリズムを説明する。Run-1 では TGC Big Wheel のみでトリガー判定を行っていたが、Run-2 では衝突点から飛来するミュオン以外によって発行されるトリガーを除去するために、トロイド磁場の内側にある検出器、具体的には TGC FI ( $1.3 < |\eta| < 1.9$ ) ないしは TileCal ( $1.0 < |\eta| < 1.3$ ) とのコインシデンスを要求する。TileCal は本来ハドロンシャワーを起こしたジェットのエネルギーを測定するための検出器であるが、3 層構造をしている TileCal の最外層を利用することで、ミュオン検出器として利用できる。本研究では、TileCal の最外層と TGC との間でコインシデンスを要求する手法を開発し、Run-1 で取得したデータを用いて開発した手法が Level-1 ミュオントリガーを効率よく削減できることを示した。その結果から  $1.0 < |\eta| < 1.3$  では TGC のコインシデンス対象に TileCal を用いることが決定し、実際に Run-2 で実装するためのエレクトロニクスを開発中である。

### 4.1 TileCal と TGC のコインシデンスの必要性

Run-1 において取得したデータを用いて  $p_T > 20$  GeV/c と判定された Level-1 ミュオントリガー ( L1\_MU20 ) と、オフライン解析で再構成されたミュオンそれぞれの  $\eta$  分布を 図 4.1 に示す。本解析に使用したデータは通常の解析に使用される Level-2, Event Filter による判定を通過したデータとは異なり、Level-1 による判定のみを課して記録されたイベントの集合である。これは 2012 年の Level-1 判定がかかった後のデータになっており、このデータを用いて新しく導入するアルゴリズムの検証が行える。2 つのヒストグラムの差は、Level-1 ミュオントリガーを発行したが衝突点から飛来したミュオンによるものではないために再構成されたミュオンが発行されたトリガー位置の周辺 (  $dR = \sqrt{(\eta_{\text{Level-1}} - \eta_{\text{offline}})^2 + (\phi_{\text{Level-1}} - \phi_{\text{offline}})^2} < 0.1$  ) には存在していないトリガーを意味している。この様な本来取得すべきでないトリガーが Run-1 では TGC で発行したミュオントリガーの約 60 % を占めていた。

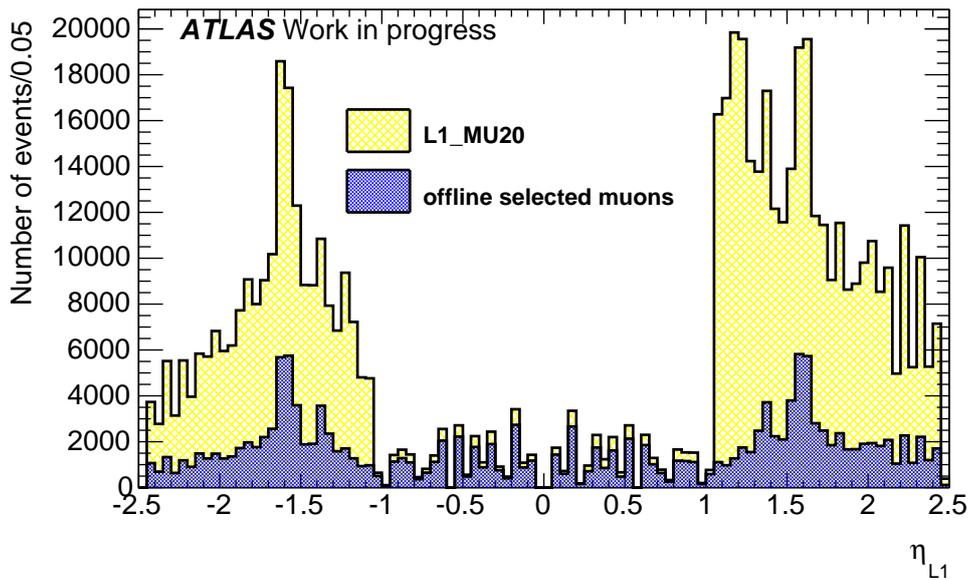


図 4.1: Run-1 における L1\_MU20 (黄) と、オフライン解析で再構成されたミュオン (青) の  $\eta$  分布。2 つのヒストグラムの差は衝突点から飛来するミュオン以外によって発行されたトリガーであり、取得すべきではない。

これらの本来取得すべきでないトリガーをフェイクトリガーと呼ぶことにして、フェイクトリガーがどのようにして発行されるかを図 4.2 に示す。

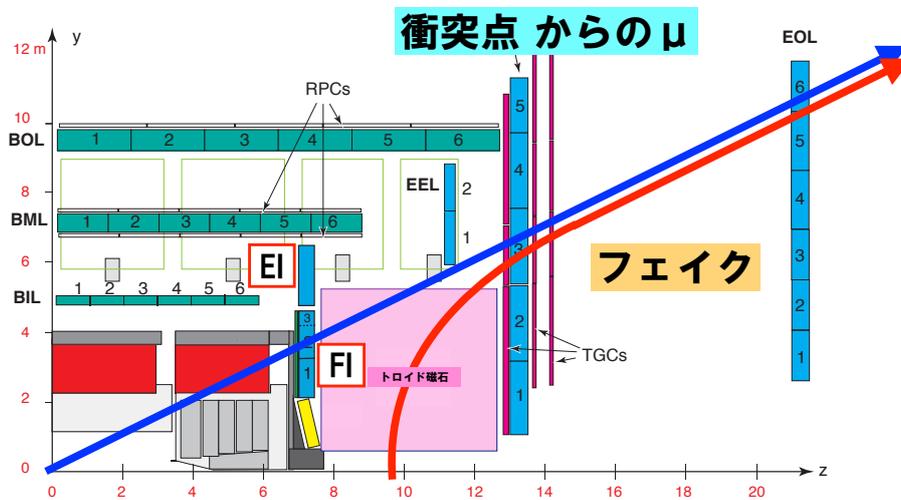


図 4.2: フェイクトリガーの起源。衝突点でソフトな衝突をした陽子がトロイド磁石付近でビームパイプを叩くことによって、本来予期していない荷電粒子が生成される。

衝突点でソフトな衝突をした陽子がトロイド磁石付近でビームパイプを叩くことによって、衝突点以外からも荷電粒子が生成される。これらがトロイド磁場によって曲げられて TGC Big Wheel に入射した時、TGC は衝突点からの飛来を仮定して粒子の入射角度のみを測定しているため、衝突点から飛来したミュオンと区別できない。こうして、誤って発行されるのがフェイクトリガーである。

図 4.2 より、フェイクトリガーを選択的に除去するためにはトロイド磁石よりも衝突点に近い検出器と TGC Big Wheel との間でコインシデンスをとればよいことがわかる。コインシデンス対象として最初に考えられる検出器は EI, FI である。Monte Carlo 法を用いたシミュレーションで、衝突点からのミュオンが EI, FI に作るヒットを調べておき、そこにポジションマッチングを要求することでコインシデンス条件を決定できる。しかし、図 3.7 で示したように EI には磁石と干渉するためにチェンバーを設置できない領域がある。EI はチェンバーがない領域でコインシデンスをとれないし、チェンバーが存在していてもポジションマッチングを要求するヒット位置がチェンバーが存在する領域と存在しない領域との両方にわたる場合は、コインシデンスを要求できない。このため、EI のみをコインシデンス対象とすると、 $1.0 < |\eta| < 1.3$  の領域で発行されるフェイクトリガーを十分に削減できない。

そこで、 $1.0 < |\eta| < 1.3$  の領域で、EI 以外に Big Wheel とコインシデンスを要求する対象になる検出器がないか考えた。図 4.3 にミュオンスペクトロメータ近傍の  $r$ - $z$  断面図を示す。EI の更に内側には TileCal の Extended Barrel 領域があり、これは全  $\phi$  方向をカバーする検出器である。更に TileCal は 3 層構造になっていて、その最外層である D 層まで到達する粒子は 99 % 以上がミュオンであるため、ミュオン識別検出器として使用できる可能性がある。以上から、 $1.0 < |\eta| < 1.3$  の領域で TGC Big Wheel とのコインシデンスを要求する対象として TileCal を考え、そのコインシデンススキームを開発し、予想される性能をデータを使って評価した。

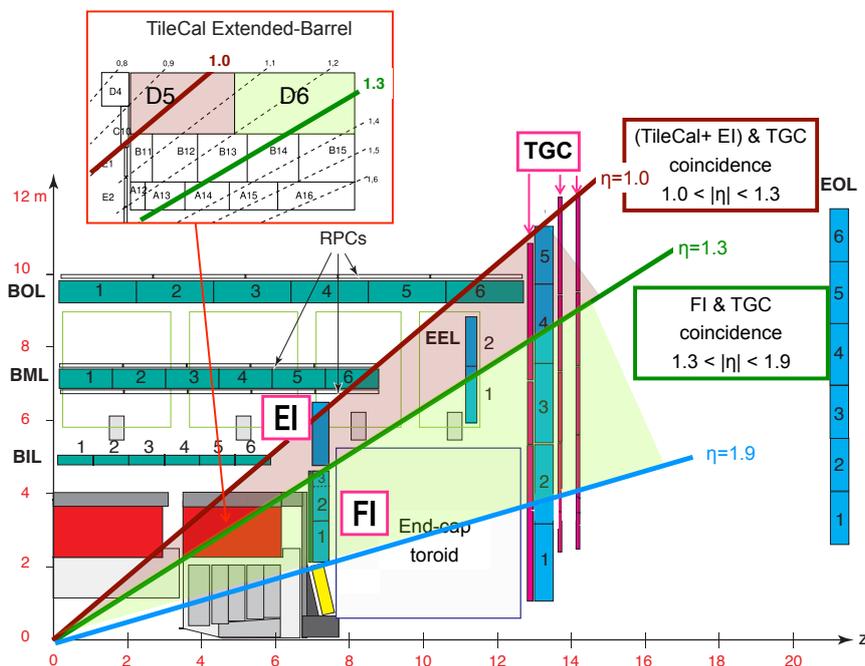


図 4.3: ミュオンスペクトロメータ近傍の  $r$ - $z$  断面図。  $1.3 < |\eta| < 1.9$  の領域に対しては FI に対して Big Wheel とのコインシデンスを要求する。  $1.0 < |\eta| < 1.3$  には EI があるが、全  $\phi$  領域をカバーしていないので、その内側にある TileCal に対して Big Wheel とのコインシデンスを要求するアルゴリズムを開発した。

## 4.2 コインシデンススキームの開発

重心系エネルギー 8 TeV、バンチ間隔 50 ns で取得された Run-1 のデータを用いて TGC と TileCal 間のコインシデンススキーム開発を行った。このデータは High Level Trigger による判定を通過しているので、offline で再構成出来る衝突点からのミュオンが多く含まれるので、それを選び出してコインシデンススキームの開発に用いた。

TGC と TileCal とのコインシデンス判定は、TGC でトリガーを発行している時の TileCal におけるエネルギーロスを調べ、それにスレッシュホールドを定めることで行う。TileCal におけるエネルギー参照範囲をミュオンが通過する領域に限定することで、誤差の伝播によるノイズを減らして高削減率・高効率なコインシデンス判定が行える。そこで、ミュオントラックとエネルギー参照範囲との関係を以下の順序で調べた。TGC, TileCal は  $\phi$  方向に異なる単位で分割されているため、最初に TGC と TileCal との  $\phi$  方向の対応関係を調べた。その後、 $\eta$  方向の対応関係を調べてエネルギー参照範囲を更に狭めた。

### $\phi$ 方向の対応関係

TGC, TileCal は  $\phi$  方向にそれぞれ 48, 64 という異なる単位に分割されている。その対応関係を調べてエネルギー参照範囲を定めるために、各 TGC トリガーセクターでトリガーを発行している時、64 個ある TileCal モジュールの D 層で測定されたエネルギー分布を調べた。図 4.4 はそのうちの 1 例で、TGC トリガーセクター #6 でトリガーを発行した時に  $\phi$  方向にポジションマッチングがとれそうな範囲の TileCal モジュール #4(左上), #5(右上), #6(左下), #7(右下) のエネルギー分布を示したものである。

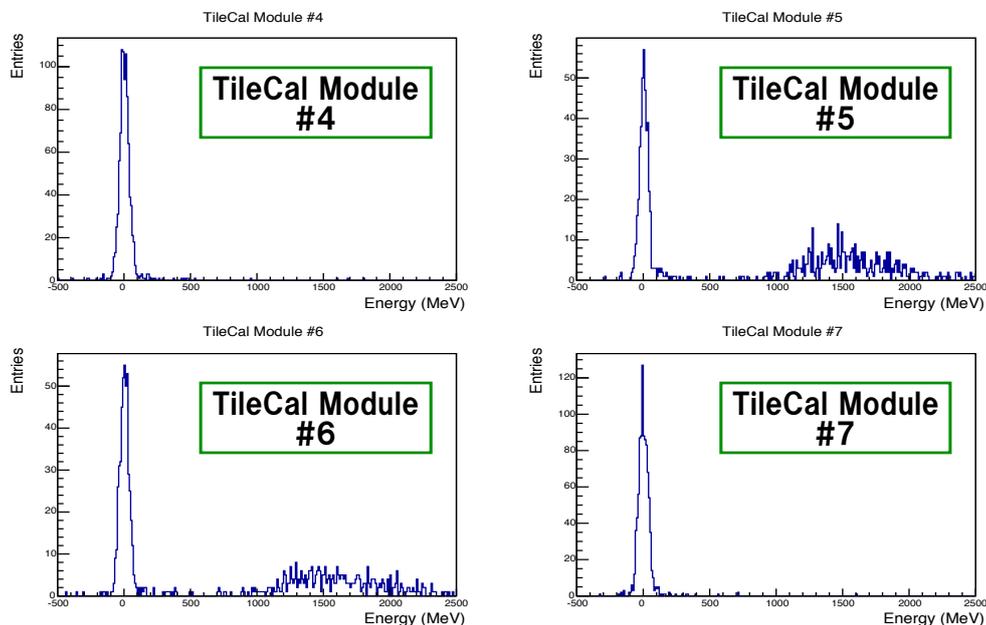


図 4.4: TGC トリガーセクター #6 でトリガー発行している時の TileCal モジュール #4(左上), #5(右上), #6(左下), #7(右下) のエネルギー分布。100 MeV までのペDESTAL信号とは別に TileCal モジュール #5, #6 にはミュオンによる信号がある。

TileCal モジュール #4, #7 では 100 MeV 程度までに測定エネルギーが分布する。これがペDESTAL信号で、他の 60 個の TileCal モジュールにも同様な分布が見られる。一方、TileCal モジュール #5, #6 ではペDESTALとは明らかに異なる信号が 500 MeV 以上のエネルギー領域に分布している。これが TileCal D 層において測定されたミュオン信号である。これより、各 TGC トリガーセクターに対応する TileCal モジュールを調べてそれらに適切なエネルギー・スレッシュホールドを定めることで、ミュオンによる信号とそれ以外の信号との識別が可能であることがわかる。

TGC の各トリガーセクターに対応する TileCal モジュールを調べた結果が図 4.5 である。横軸に TGC トリガーセクター番号、縦軸に TileCal モジュール番号をとり、ある TGC トリガーセクターでトリガーを発行した時に 300 MeV 以上のエネルギー損失のあった TileCal モジュールをフィルした。1 TGC トリガーセクターに対しては 2 TileCal モジュールが対応していることがわかった。

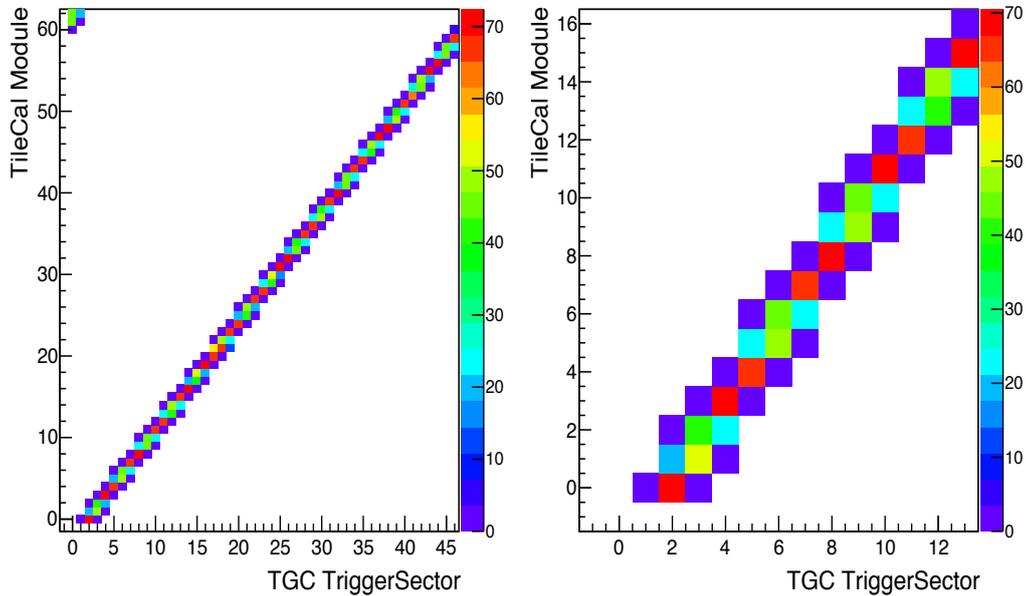


図 4.5: TGC トリガーセクターと TileCal モジュールの対応関係、全体図 (左)、拡大図 (右)。1 TGC トリガーセクターに対しては 2 TileCal モジュールが対応する。

図 4.5 で各 TGC トリガーセクターに対応する TileCal モジュールが分かった。これらにエネルギー・スレッシュホールドを定めるにあたって、1 トリガーセクターに対応する 2 TileCal モジュールの両方にエネルギー損失をするミュオンがどの程度存在するかを調べた。対応する TileCal モジュールの両方にエネルギー損失を行う場合が多ければ、2 つの TileCal モジュールのエネルギーに対して独立なスレッシュホールドを定めることは出来ず、エネルギーの和に対してスレッシュホールドを定めることになる。しかし、和をとると誤差の伝搬に従い  $\sigma = \sqrt{\sigma_{\text{Module1}}^2 + \sigma_{\text{Module2}}^2}$  とノイズが増大してしまう。ノイズが増大するとコインシデンス判定のスレッシュホールドを高く定めなければならず、衝突点からのミュオンにより発行されたトリガーをコインシデンスによって失う割合が大きくなるので、出来る限り独立にスレッシュホールドを定めたい。

TGC トリガーセクター #6 でトリガー発行をしている時の、TileCal モジュール #6, #7 のエネルギー分布を図 4.6 に示す。図 4.6 より、両方の TileCal モジュールに 500 MeV 以上のエネルギー損失をしているのは全体の 1.5% 程度である。そのため各 TileCal モジュールに対して独立にエネルギーレシールドを定めればよく、衝突点からのミュオンによるトリガーを高い割合で保ったままフェイクトリガーを選択的に削減できる。

TGC トリガーセクター # でトリガーを発行したが、どちらのモジュールにもエネルギーロスをしないイベントも 1% ほど存在する。これらは TileCal モジュール間にわずかに存在する隙間をミュオンがすり抜けたイベントである。

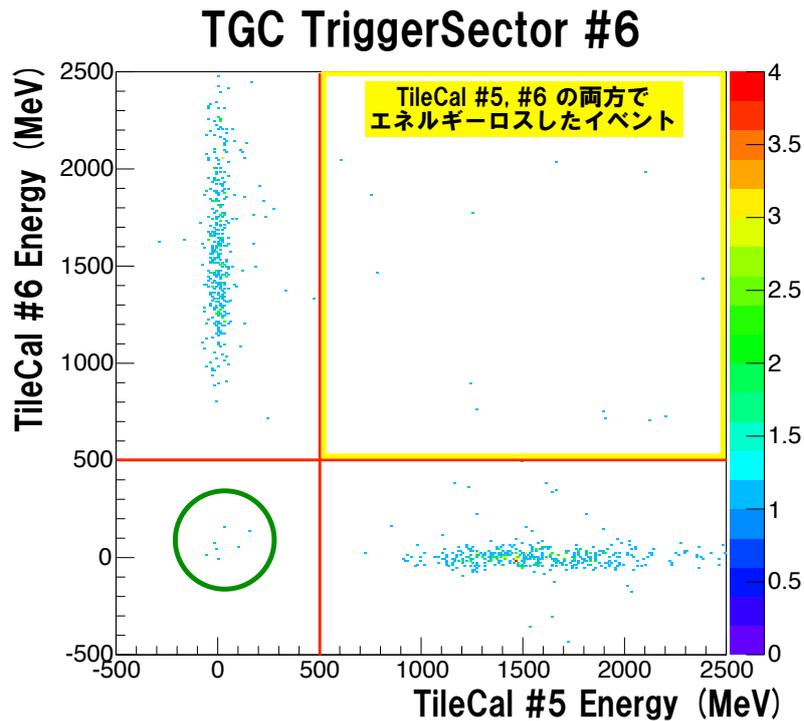


図 4.6: TGC トリガーセクター #6 でトリガー発行をしている時の TileCal モジュール #6 (横軸), #7 (縦軸) のエネルギー分布。両方の TileCal モジュールに同時にエネルギーを落とすミュオンは少ない。

以上から、図 4.5 に示されている各 TGC トリガーセクターに対応する TileCal モジュールそれぞれに対して独立にエネルギーレシールドを定めて、TGC と TileCal 間のコインシデンスを要求できることがわかった。これで TGC と TileCal との  $\phi$  方向の対応関係を決定できた。

### $\eta$ 方向の対応関係

TileCal Extended Barrel D 層は D5, D6 という 2 つの領域に分かれているが、ここまでの解析には D5 と D6 の和を使用していた。しかし、これはノイズの観点からは不利で、 $\eta$  領域ごとにエネルギー参照範囲を D5 ないしは D6 片方だけにできれば、ノイズを減らしてより低レシールドでコインシデンス判定を行える。図 4.7 に示した TileCal Extended

Barrel 領域の配置から、 $1.2 < |\eta| < 1.3$  では D6 のみにエネルギーを落とすことが予想される。これを確認するために、図 4.8 に横軸  $\eta$ 、縦軸  $E_{D5}-E_{D6}/E_{D5}+E_{D6}$  ( D5 のエネルギーを  $E_{D5}$  として表した ) の図を示す。縦軸の値が 1 であれば D5 だけに、 $-1$  であれば D6 だけにエネルギーを落としていることを表す。

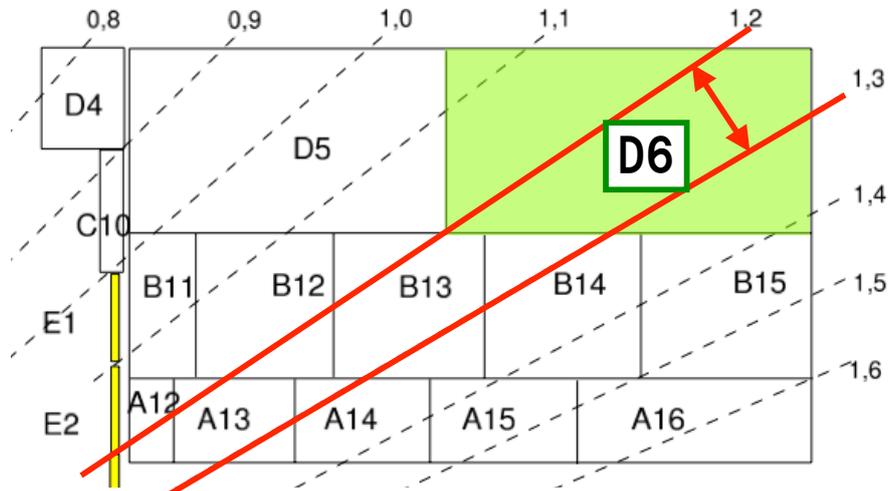


図 4.7: TileCal Extended Barrel 領域のセル配置。 $1.2 < |\eta| < 1.3$  では D6 のみにエネルギーを落とすことが予想される。

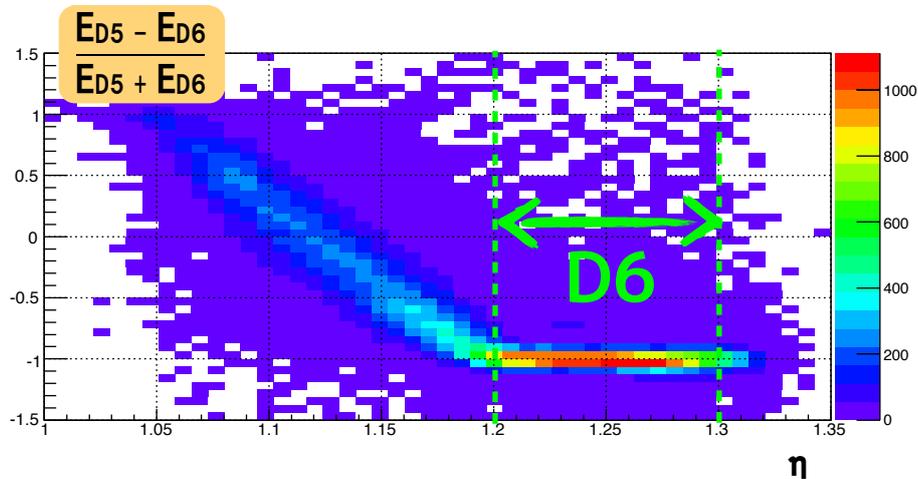


図 4.8: D 層全体のエネルギーのうち、D5/D6 それぞれに落としているエネルギーの割合と  $\eta$  の対応関係。

これより、 $1.0 < |\eta| < 1.2$  では D5, D6 の両方にエネルギーを落としているが、 $1.2 < |\eta| < 1.3$  ではエネルギーを落とすのが D6 だけであることが分かり、これは図 4.7 に示した TileCal の配置ともコンシステントな結果である。したがって  $1.0 < |\eta| < 1.2$  では D5 と D6 のエネルギーの和を、 $1.2 < |\eta| < 1.3$  では D6 のエネルギーを利用してコインシデンス判定を行うことにする。

### 4.3 パフォーマンス評価・最適化

4.2 節で示したコインシデンススキームのパフォーマンスを評価するために、効率と削減率を次のように定義する。衝突点から飛来したミュオンにより発行されたトリガーは保持したまま、フェイクトリガーだけを選択的に削減するのが良いコインシデンススキームであり、高効率・低削減率であればより良いコインシデンススキームだと言える。

Level-1 で  $p_T > 20 \text{ GeV}/c$  と判定されたトリガーのうち、周囲 ( $dR = \sqrt{d\eta^2 + d\phi^2} < 0.1$ ) に offline  $p_T > 20 \text{ GeV}/c$  のミュオンが存在するものを選択し、これがコインシデンスによって保たれる割合を効率と定義する。効率の計算にはコインシデンススキームの開発に用いたデータと同じ、衝突点から飛来する offline で再構成可能なミュオンでその offline  $p_T$  が  $20 \text{ GeV}/c$  以上のものを選んだ。Level-1 で  $p_T > 20 \text{ GeV}/c$  と判定されたトリガーを選択し、コインシデンス要求後に残るトリガーの割合を削減率と定義する。削減率の計算には重心系エネルギー  $8 \text{ TeV}$ 、バンチ衝突頻度  $25 \text{ ns}$  で行ったランのデータを用いた。このデータは 2012 年の Level-1 で取得されたイベントの集合で、Level-1 に追加するアルゴリズムの評価を行えるデータになっている。

コインシデンス判定は TileCal のエネルギーに対してスレッシュホールドを定めて行う。4.2 節で示したコインシデンススキームを用いて各スレッシュホールドごとに効率・削減率を計算した結果を図 4.9 に示す。例えばスレッシュホールドを  $500 \text{ MeV}$  に設定することで、 $1.0 < |\eta| < 1.3$  の領域で効率を  $97.4\%$  に保ったまま、 $14.6\%$  までトリガー数を削減できる。

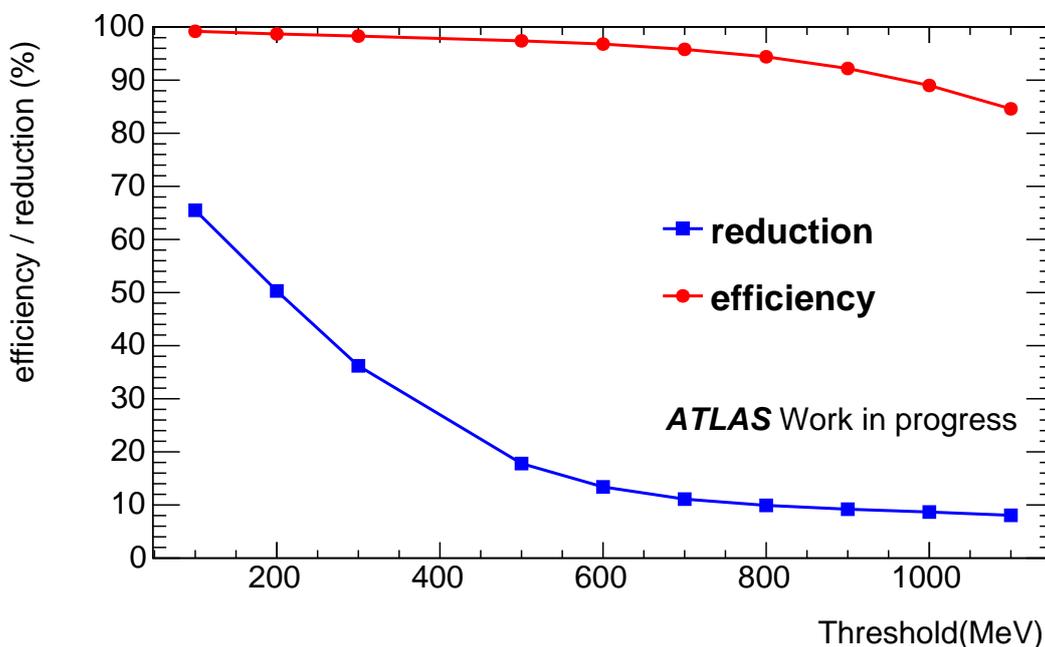


図 4.9: TGC と TileCal 間のコインシデンスによって得られる効率 (赤)・削減率 (青)。スレッシュホールド  $500 \text{ MeV}$  に設定した場合、効率を  $97.4\%$  に保ったまま、 $14.6\%$  までトリガーを削減できる。

TileCal コインシデンスのパフォーマンスがわかったので、次に EI チェンバーの使用について考える。EI にはチェンバーを設置出来ない領域があるが、チェンバーの存在する  $\phi$  領域も存在する。EI チェンバーが存在しない領域では Big Wheel とのコインシデンスを要求できる対象は TileCal だけだが、EI チェンバーの存在する領域ではコインシデンス対象として TileCal, EI の 2 つが考えられる。2 つの対象に対してどのようにコインシデンスを要求するのが最適であるかを調べるために次のような解析を行った。

TGC のトリガー判定は、SSC と呼ばれる 8 RoI を単位にして行われる。EI にはチェンバーを入れることが出来ない領域が存在するため、EI とのコインシデンスを要求出来る SSC と要求できない SSC が存在する。TileCal と EI の組み合わせ方として有効であると考えられるのは、EI でコインシデンスを要求できない SSC に対して TileCal とのコインシデンスを要求するという手法 ( Exclusive-OR ) である。Exclusive-OR、TileCal だけ、EI だけという 3 種類の場合それぞれについて  $1.0 < |\eta| < 1.3$  における効率、削減率を調べた。それぞれの手法の概念図と結果を、図 4.10 に示す。

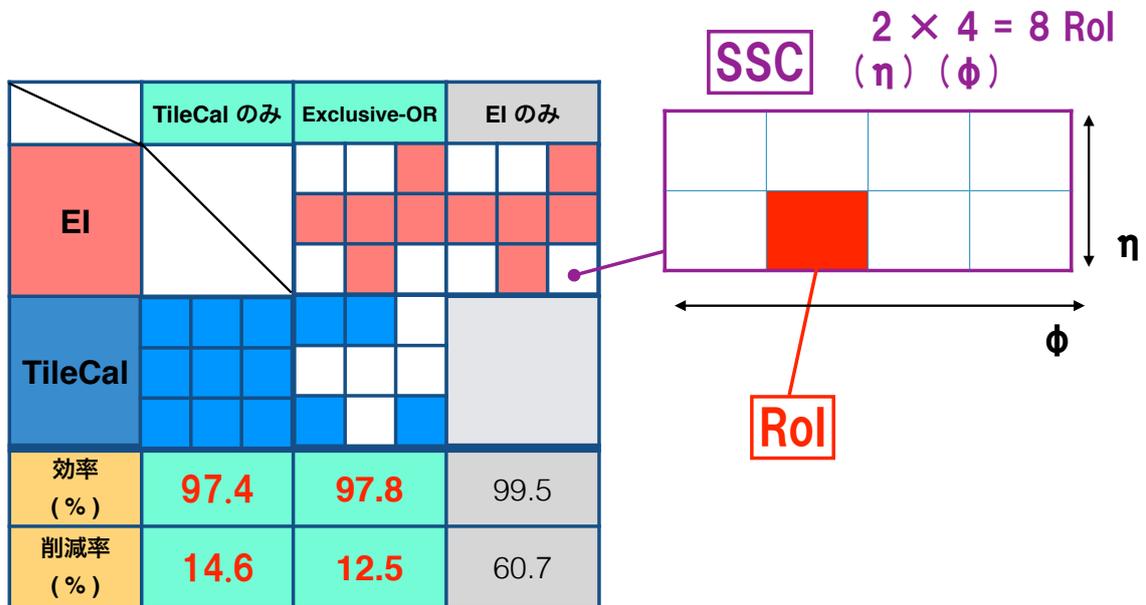


図 4.10: EI と TileCal の使い方。各 SSC に対して EI とのコインシデンスを要求した場合を赤で、TileCal とのコインシデンスを要求した場合を青で塗りつぶすことで表している。Exclusive-OR の方がわずかに性能がよいが、TileCal のみでもトリガー削減が行えている。

Exclusive-OR が最も高い性能を示しているが、TileCal だけに対してコインシデンスを要求しても十分高い性能が発揮出来ている。それに、Exclusive-OR と比べて TileCal だけを用いた方がコインシデンススキームが簡単になり、大規模な検出器システムを運用する上でメリットが大きい。そのため、TileCal だけの場合と Exclusive-OR の両方を実装しておき、2 つのモード切り替えが行えるれるファームウェアを作成した。ランの初期などは EI を使わずに TileCal にのみコインシデンスを要求し、必要に応じて Exclusive-OR へ移行する方針とした。

$1.0 < |\eta| < 1.3$  には TileCal との、 $1.3 < |\eta| < 1.9$  には FI とのコインシデンスを要求することによって Run-1 の手法から削減出来るトリガーを図 4.11 に示す。それぞれ白抜き部分が FI とのコインシデンス、水色の網掛け部分が TileCal とのコインシデンスで削減されるトリガーの  $\eta$  分布を示している。

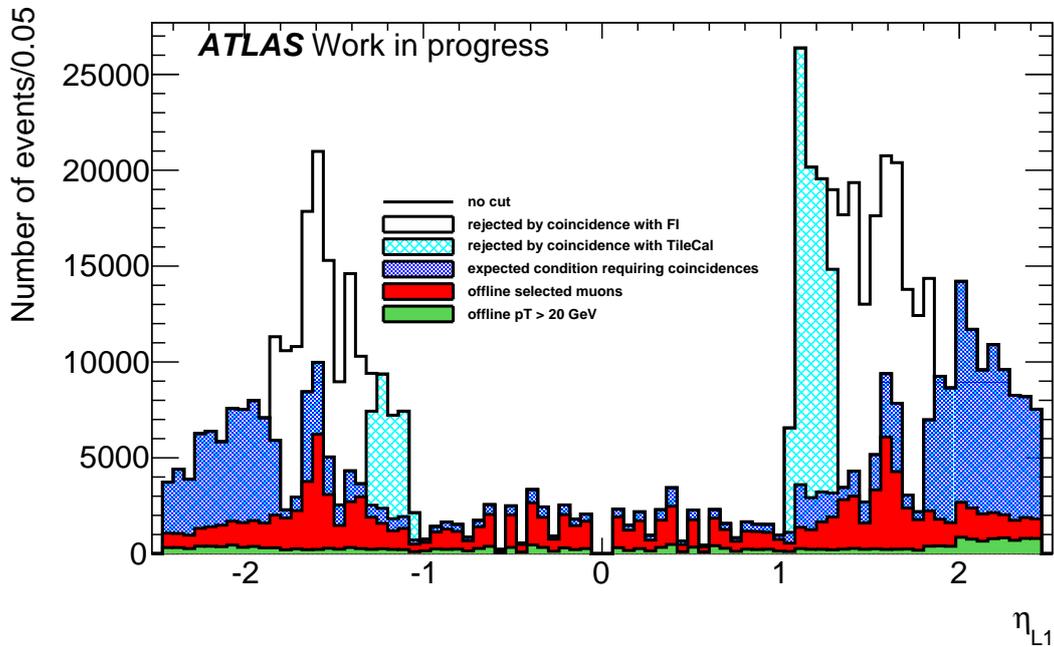


図 4.11: コインシデンス要求後の Level-1 ミューオントリガーの  $\eta$  分布。 $1.0 < |\eta| < 1.3$  には TileCal との、 $1.3 < |\eta| < 1.9$  には FI とのコインシデンスを要求した。コインシデンスを要求することによってそれぞれの領域でフェイクトリガーが選択的に削減されて、Level-1 ミューオントリガー分布 (青) のうち、衝突点から飛来したミュオンによるトリガー (赤) の割合が増加した。

本研究で開発したトリガー手法は ATLAS 内での発表を経て承認後 [5] に採用され、実装のためのハードウェア開発を進めている。

#### 4.4 トロイド磁場の遷移領域におけるトリガーの扱い

図 4.11 で示したコインシデンス要求により得られる Level-1 ミューオントリガーの  $\eta$  分布を観察すると、 $|\eta| = 1.4, 1.6$  の周囲にはまだフェイクトリガーが多く残っている。図 2.15 に示したように、これらの領域ではトロイド磁場のバレル領域とエンドキャップ領域の継ぎ目になっていて、磁場が弱くなっている。そのためミュオンを十分に曲げることが出来ず運動量分解能が悪いため、 $p_T$  の低いミュオンに対してもトリガーが発行されている。

このようなアルゴリズムにより発行されるトリガーはコインシデンス要求では取り除けない。そもそもこの領域では  $p_T$  を精度よく測定することが出来ないため、この領域ではトリガー発行を行わないとした場合のトリガー削減率と効率低下を評価した。

トリガー効率を保ったままトリガーレートの削減を行うために、トリガー発行を行わない(マスクする)領域を選定した。トリガーレートが特に高い RoI ( Hot RoI ) をマスクすることで効率低下を抑えつつ、トリガー削減が行える。トロイド磁場は  $\phi$  方向に 8 回対称なので、Hot RoI も 8 回対称に存在する。TGC エンドキャップ部分は 48 トリガーセクターで構成されるので、6 TGC トリガーセクター単位で解析を行った。図 4.12 にその 1 単位についての Hot RoI 分布を示す。

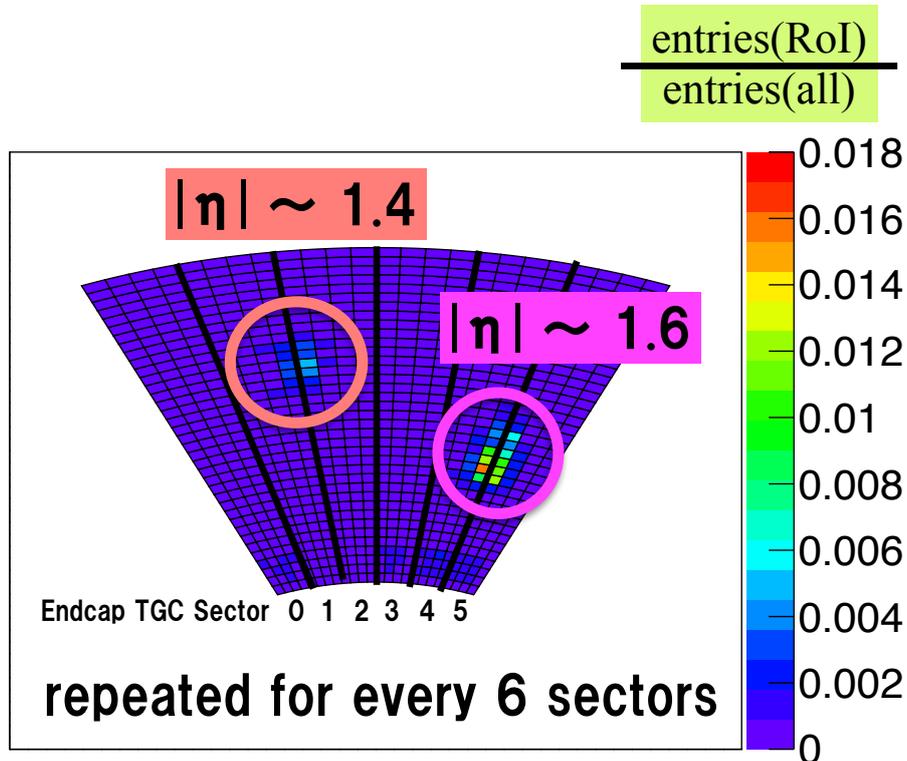


図 4.12: Hot RoI の分布。一つ一つの四角が RoI を表し、6 トリガーセクター全体で発行したトリガー数を分母、各 RoI で発行したトリガー数を分子として定義した割合をプロットしている。丸で囲んだ RoI はトリガーレートが高い。

一つ一つの四角が RoI に対応し、6 トリガーセクター全体で発行したトリガー数を分母、各 RoI で発行したトリガー数を分子として定義した割合をプロットしている。図中で丸で囲んだ RoI は他の RoI と比べてトリガーレートが 5 ~ 10 倍ほど高いため、これらを Hot RoI として定義してマスクすることで効率低下を抑えつつ、効率よくトリガー削減が行える。

図 4.12 で示した各 RoI の値に対してスレッシュホールドを定めて、スレッシュホールド以上の RoI を Hot RoI としてマスクする。図 4.13 に各スレッシュホールドに設定することで得られる効率・削減率を示す。スレッシュホールドを 0.003 に定めてマスクした場合、 $1.3 < |\eta| < 1.7$  において効率を 92 % に保ったまま、トリガーを 43 % まで削減できる。効率が 8 % 低下するが、これはそもそもこの領域で発行されたトリガーには通常よりも低い  $p_T$  により発行されたトリガーが含まれるためである。また、全  $\eta$  領域における効率低下は 0.7 % に抑えられており、Hot RoI をマスクすることはミューオントリガーレート削減に有効である。

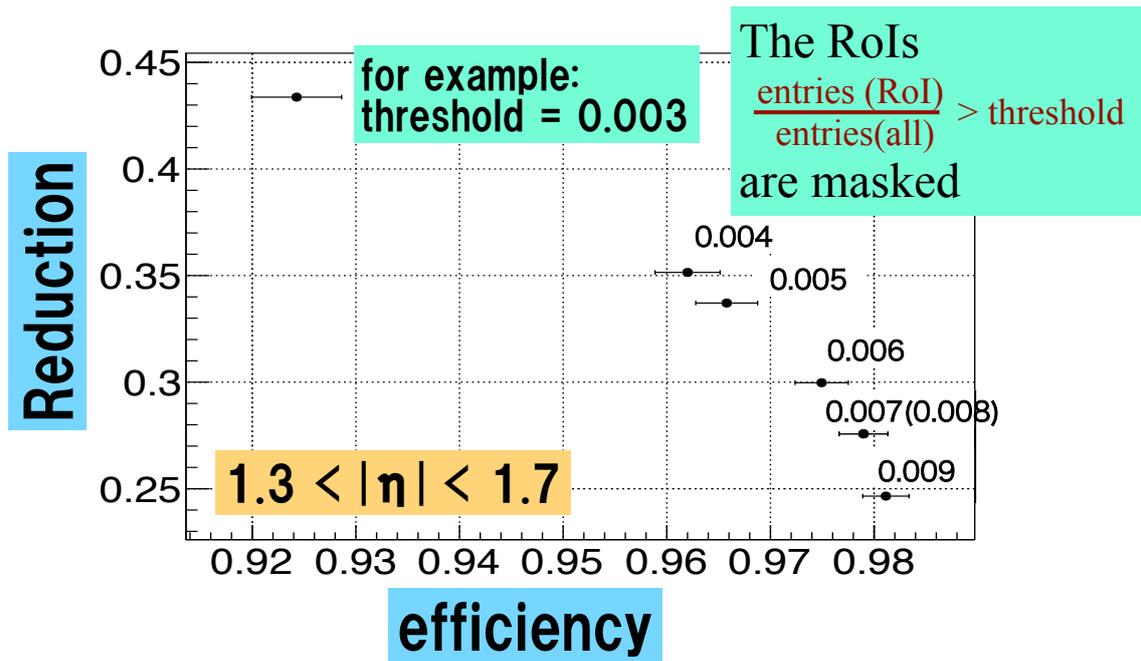


図 4.13: RoI マスクのパフォーマンス。スレッシュヨルド 0.003 で、効率を 92 % に保ったまま削減率 43 % の達成が可能である。

図 4.11 に RoI マスクをした後のトリガー分布を書き加えると 図 4.14 になる。図 4.14 のトリガー数を元に Run-2 で想定される最高ルミノシティ  $2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  において予想されるトリガーレートを表 4.1 に示す。

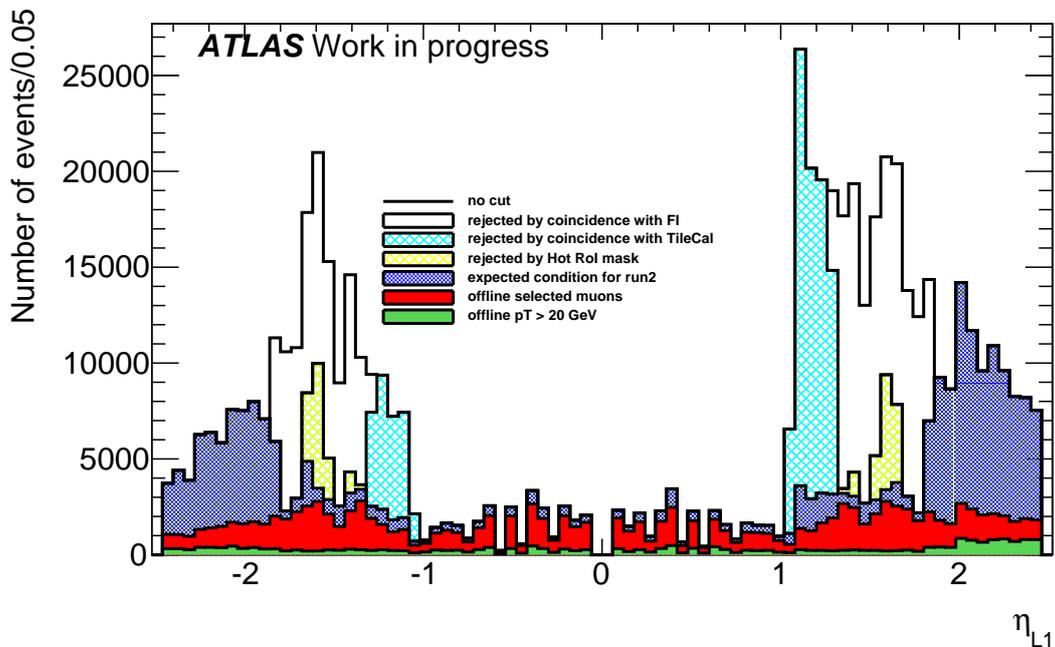


図 4.14: Run-2 で予想される Level-1 ミューオントリガーの  $\eta$  分布。  $|\eta| = 1.4, .16$  にあったトリガーが Hot RoI をマスクすることによって削減された。

表 4.1: トリガーレート削減。赤字が Run-2 に実装する条件。

	削減率 (%)	効率 (%)	トリガーレート (kHz) ( Luminosity $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ ) ( 重心系エネルギー 13 TeV )
Run-1 のアルゴリズム	100.0	100.0	34
TileCal + FI コインシデンス	53.4	98.1	21
Hot RoI マスク	<b>48.9</b>	<b>97.4</b>	<b>19</b>

Run-1 のトリガーアルゴリズムでは 34 kHz というトリガーレートだったのが、TileCal + FI とのコインシデンスを要求することで 21 kHz まで、さらにトロイド磁場が弱い箇所のトリガーをマスクすることによって効率を 97 % に保ったまま、19 kHz までトリガーレートを削減出来る。

## 4.5 TileCal から TGC への信号の受け渡し

本章で示してきた TileCal と TGC 間のコインシデンスを実現するためのハードウェアについて述べる。Level-1 レイテンシー  $2.5 \mu\text{s}$  以内にトリガー発行を行うために、TileCal により測定されたエネルギーは陽子衝突の瞬間を起点として 27 バンチ交差 (675 ns) 以内に TGC トリガー判定モジュール Sector Logic へ供給されなければならない。その実現のために新しく TileMuon Digitizer Board (TMDB) というボードが開発されており、2015 年春までにインストールされる。

### Tile Muon Digitizer Board (TMDB)

コインシデンス判定を行うには 1 TGC トリガーセクターごとに、2 TileCal モジュール分のエネルギー情報が必要になる。また、ハードウェア上では 2 TGC トリガーセクターを 1 つの Sector Logic ボードでカバーしている。これらの条件と 図 4.5 を元に信号接続を考えた結果を 図 4.15 に示す。

Fiber #	TGC Sector #	SL #	TileCal Mod #				TMDB #	TMDB Opt #
13-A	2	2	0	1	2	3	TMDB 0	1
3	0		1	2	3			
1-A	4	3	2	3	4	5	TMDB 0	2
5	2		3	4	5			
1-B	6	4	4	5	6	7	TMDB 0	3
7	4		5	6	7			
2-A	8	5	8	9	10	11	TMDB 1	1
9	8		9	10	11			
2-B	10	6	10	11	12	13	TMDB 1	2
11	10		11	12	13			
3-A	12	7	12	13	14	15	TMDB 1	3
13	12		13	14	15			
3-B	14	8	16	17	18	19	TMDB 2	1
15	16		17	18	19			
4-A	16	9	18	19	20	21	TMDB 2	2
17	18		19	20	21			
4-B	18	10	20	21	22	23	TMDB 2	3
19	20		21	22	23			
5-A	20	11	24	25	26	27	TMDB 3	1
21	24		25	26	27			
5-B	22	12	26	27	28	29	TMDB 3	2
23	26		27	28	29			
6-A	24	13	28	29	30	31	TMDB 3	3
25	28		29	30	31			
6-B	26	14	32	33	34	35	TMDB 4	1
27	32		33	34	35			
7-A	28	15	34	35	36	37	TMDB 4	2
29	34		35	36	37			
7-B	30	16	36	37	38	39	TMDB 4	3
31	36		37	38	39			
8-A	32	17	40	41	42	43	TMDB 5	1
33	40		41	42	43			
8-B	34	18	42	43	44	45	TMDB 5	2
35	42		43	44	45			
9-A	36	19	44	45	46	47	TMDB 5	3
37	44		45	46	47			
9-B	38	20	48	49	50	51	TMDB 6	1
39	48		49	50	51			
10-A	40	21	50	51	52	53	TMDB 6	2
41	50		51	52	53			
10-B	42	22	52	53	54	55	TMDB 6	3
43	52		53	54	55			
11-A	44	23	56	57	58	59	TMDB 7	1
45	56		57	58	59			
11-B	46	24	58	59	60	61	TMDB 7	2
47	58		59	60	61			
12-A	0	1	60	61	62	63	TMDB 7	3
1	60		61	62	63			

図 4.15: TMDB と Sector Logic の接続対応表。オレンジ色で示しているのがコインシデンスを要求する TileCal モジュール。1 TMDB は 8 TileCal モジュールの情報を処理し、結果を 3 Sector Logic ボードに供給する。

1 つの TMDB は 8 TileCal モジュールの情報を処理し、結果を 3 Sector Logic ボードに供給する。必要な TMDB は A-side, C-side それぞれで 64 (モジュール) ÷ 8 (モジュール/枚) = 8 枚ずつ、合計 16 枚である。TMDB 機能のブロック図を図 4.16 に示す。

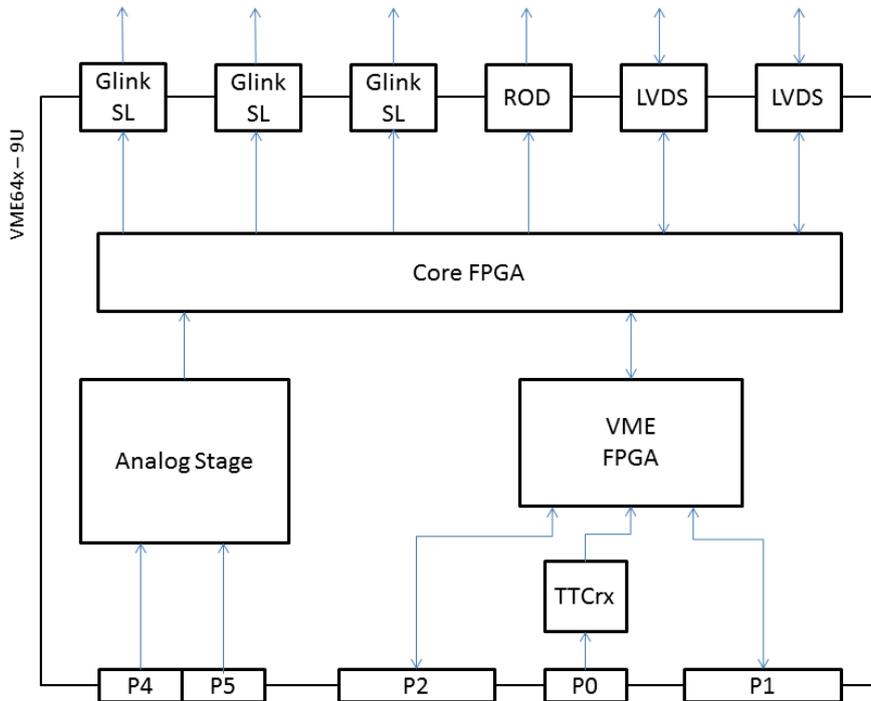


図 4.16: TMDB 機能のブロック図。 [5]

1. 8 TileCal モジュールからエネルギー情報 (D5, D6) を P4, P5 VME コネクターを経由して受け取り、デジタル化する。(Analogue Stage)
2. VME バスから各信号のエネルギーキャリブレーションに必要な情報を書き込み、Core FPGA に対して供給する。(VME FPGA)
3. D5, D6 それぞれの信号を受け取る。(Core FPGA)
4. TTC からバンチ情報を受け取って、処理している信号にバンチ番号を添付する。(Core FPGA, TTCrx)
5. バンチ番号の添付されたエネルギー情報を、3 TGC Sector Logic に対して G-Link 信号で送信する。(GLink SL)
6. 3 Sector Logic ボードに対して 8 TileCal モジュール以上の情報が必要になった場合、隣のボードと信号をやりとりすることでそれを実現する。(LVDS)
7. 読み出し情報を ROD に送信する。(ROD)

TMDB のインストールによって、TGC と TileCal との間でコインシデンスが要求可能になり、本章で示したコインシデンススキームによりトリガーレートを効率よく削減できる。量産に向けて試作機での試験が進んでおり、2015 年春のインストールを目指している。

## 第5章 バーストトリガーへの対処

2012年のラン中、短時間 ( $\sim \mu\text{s}$ ) の間に Level-1 トリガーが連続して発行され、かつヒット数が通常よりも 100 倍多い状態が続いたために、リードアウトバッファがオーバーフローを起こしてデータ収集プロセスを止めてしまい、システム復旧までの間データをロスする事象が頻発した。現象として、数  $\mu\text{s}$  にわたって通常の 100 倍多いヒットが発生し続けていたことはわかっているが、その原因はわかっていない。対処を行わなければ Run-2 でも同じ理由でデータをロスすることが予想されるため、既存のトリガー回路での対処と、新しく開発したハードウェアの機能を利用して、データのロスを防ぎ、かつ正確なモニタリングを行う。

### 5.1 2012年に起きた TGC リードアウトバッファのオーバーフロー

2012年に ATLAS でデータ収集を行っている際、TGC のリードアウトバッファがオーバーフローしてデータ収集プロセスが止まり、システム復旧までの間データをロスする事象が頻発した。問題が起きたランの 1 つについて、LHC から供給されたルミノシティと、ATLAS が記録したルミノシティそれぞれの時間推移を図 5.1 に示す。

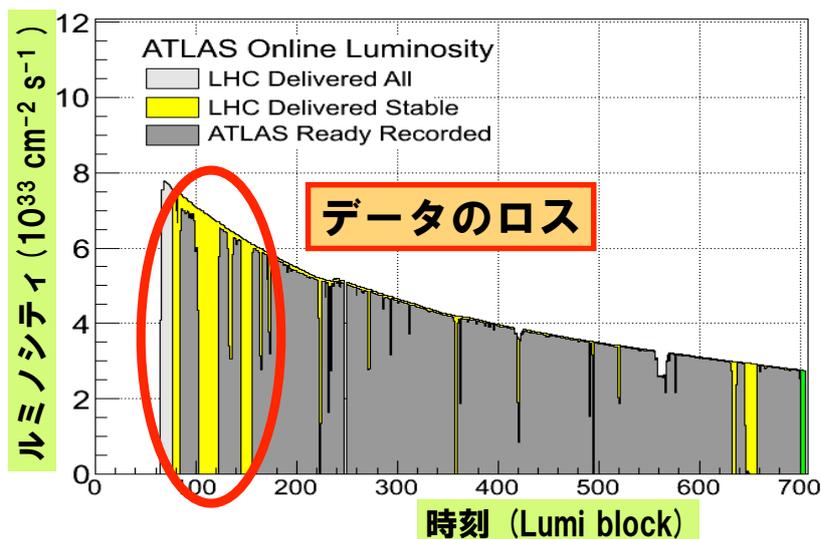


図 5.1: LHC から供給されたルミノシティ (黄) と、ATLAS が記録したルミノシティ (濃灰)。横軸に用いた Lumi block は約 2 分の単位。赤丸ではデータ収集システムの復旧を行っていたために、データをロスした。

灰色のヒストグラムと黄色のヒストグラムが重なっていれば、加速器から供給されたデータを全て検出器で取得できたことになる。赤丸で示した部分など黄色のヒストグラムが見えている箇所では、システムの復旧を行っていたために供給されたデータをロスした。これらは全て TGC のデータ集取システムが原因で起きており、ロスしたデータ量は 2012 年に取得したデータ  $25 \text{ fb}^{-1}$  の 2% にあたる  $0.5 \text{ fb}^{-1}$  であった。

2012 年に起きた同様の事象の 1 例を示す。ある SSW がカバーする領域について、データロスが起きた前後における、各 L1A (Level-1 Accept 信号: Level-1 トリガーの発行を示す) 信号発行時の TGC のヒット数 (黒) と、SSW RX オーバーフローが起きたバッファの数 (紫) と、L1A エラー (赤) を図 5.2 に示す。

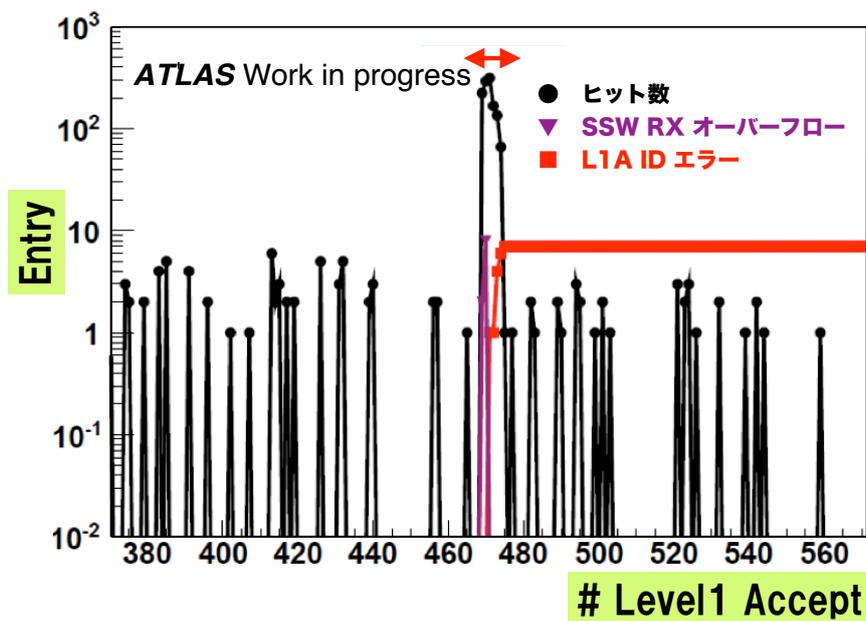


図 5.2: データロスが起きた前後の TGC のヒット数と、バッファオーバーフロー回数。横軸を L1A 発行回数にとり、TGC のヒット数 (黒)、SSW RX がオーバーフローした回数 (紫)、L1A ID エラー (赤) をログスケールで表している。赤矢印で示した箇所では通常よりもヒット数が 100 倍多い状態で L1A 信号が連続して発行されたために SSW RX FIFO がオーバーフローした。

TGC, RPC によるミュオントリガー情報とカロリメータトリガー情報とを合わせて、トリガー条件に基づき CTP が L1A 信号を発行する。通常、各 L1A 信号発行時に SSW がカバーする領域にあるヒット数は 5 ~ 10 である。しかし、赤矢印で示したデータロスが起きた箇所では、約 10 回の L1A 信号にわたって通常時の 100 倍多いヒット数が示されている。CTP で設定される simple デッドタイムによって各 L1A 信号の間には最低でも 5 バンチ交差以上あり、L1A 信号を 10 回発行する間には 50 バンチ交差 =  $2.5 \mu\text{s}$  が最低でも経過している。CTP で設定されるデッドタイムにはもう一つ、complex デッドタイムがあり、415 バンチ中では 7 回以上 L1A 信号は発行しない。赤矢印で示した箇所は 7 バンチ分を指し示しているため、ヒットが多い状態はこれよりも長く続いたが、complex デッドタイムにより L1A 信号が VETO されたのだと考えられる。

TGC におけるヒット数は通常 5 ~ 10 程度で、SSW は受け取った情報のうちヒットのあったチャンネル情報だけを送信することで、データの圧縮を行っている。通常の 100 倍多いヒット数では、データを受け取ってから圧縮するまでの間一時蓄積する SSW RX FIFO の受け取るデータ量がバッファサイズを超え、SSW RX オーバーフローを起こした(紫)。SSW RX FIFO のオーバーフローを起こした回数は圧縮後のデータと一緒に ROD へと送られ、それを元に ROD はエラーを検知してビジー信号を発行する。ROD がビジー信号を出している間は CTP で L1A 信号を発行できず、それによって L1A 番号にエラーが生じた(赤)。一度この状態に陥ると、システムを復旧するまでの間 L1A 信号を発行出来ず、供給されたデータをロスする。今後の説明では、データロスを引き起こす通常の 100 倍多いヒットが発生しているイベント/状態をバーストイベント/バースト状態と呼ぶ。

バーストイベントの原因について、図 5.3 に示した典型的なイベントと、バーストイベントのイベントディスプレイから考察する。

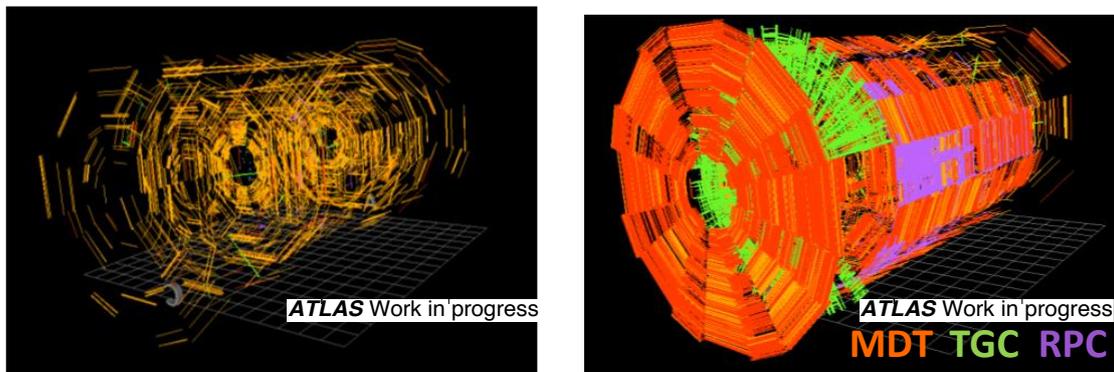


図 5.3: 典型的なイベント (左) と、バーストイベント (右) のイベントディスプレイ。色ごとに異なる検出器のヒット情報を表現している。

イベントディスプレイでは色ごとに異なる検出器のヒットを表現しており、バーストイベントでは TGC (緑), MDT(橙), RPC (紫) という少なくとも 3 つの独立したミュオン検出器に大量のヒットが発生している。しかし、特定の  $\phi$  領域でなく A-side/C-side 全体にヒットが発生しており、またカロリメータにエネルギーを落としていないことから、粒子により引き起こされたヒットではないと考えられる。次に考えられる原因は電気的なノイズだが、2012 年に比べてルミノシティが低かった 2011 年にはバーストは起きず、2012 年に最高瞬間ルミノシティが  $5 \times 10^{33} \text{ cm}^{-2} \text{ s}^{-2}$  を超えてから頻発したことに加えて、特定のセクター ( $\phi$  領域) にオーバーフローのソースが集中しておらず、かつ TGC, RPC, MDT という独立した検出器システムで同時に起きていることから、電気的なノイズ例えば発振がエレクトロニクスのどこかで起きているという原因も考えづらい。

バーストイベントについて以上のような考察を行ったが原因はわかっておらず、このまま対策を行わなければ Run-2 でも同じ問題が起きてデータをロスすることが予想される。そこで、高ルミノシティ環境で取得されるデータをロスせず、バースト状態がどのようにして起きているかを調べるために、Run-2 に向けて次の 3 つの機能を追加した。

### 1. TGC において一定バンチ区間内で閾値以上のトリガー発行が行われている場合はトリガーを VETO する機能

TGC が連続してトリガーを発行し続けると、バースト状態だと判断してトリガーを VETO する。具体的には、トリガー判定を行う Sector Logic において一定バンチ区間内のトリガー発行回数を監視し、その回数が閾値を上回っている場合はトリガーを VETO する。この判定には Sector Logic における処理の Latency を増やさないために、Sector Logic の入力信号である High- $p_T$  ワイヤーから定義される High- $p_T$  トリガーを使用する。これは TGC 7 層のコインシデンスがとられた信号なので、ただのノイズではない信号をモニターしていることになる。この改良によって、バースト状態において TGC が連続したトリガーが発行することを防げる。

### 2. バースト状態を検知して CTP で L1A 信号発行を VETO する機能

SSW でデータが受信されるのは、L1A 信号が発行された時である。そのため、バースト状態だと判定されている間は L1A 発行を行わないことで、SSW でデータは受信されず SSW RX オーバーフローを防げる。TGC で発行する Level-1 エンドキャップミュオントリガーは機能 1 によって VETO されるが、バースト状態では他の検出器にも大量のヒットがあり、バレル領域のミュオントリガーを担当する RPC がトリガー発行を行うことで、L1A 信号が発行される可能性がある。したがって、バースト状態で L1A 信号が発行されないようにするためには、TGC/RPC という検出器単位でトリガーを VETO するのではなく、CTP がバースト状態において L1A 信号を発行しないようにする。本研究で新しく開発した VME 9U 規格のモジュールを用いてバースト状態を判定し、その結果を CTP に伝達することでバースト状態では L1A 信号が発行されないようになる。こうして、バーストにより SSW RX オーバーフローを起こさないようになり、データロスが防げる。

### 3. バースト状態の情報を記録する機能

バーストの原因を探るために、Run-2 ではバースト状態のモニタリングと、イベントサンプルの取得を行いたい。機能 1, 2 によって SSW RX オーバフローと、それにより引き起こされるデータロスを防げるが、バースト状態で発行されるトリガーは全て VETO され、バーストイベントの情報は記録されない。そこで新しく VME 9U 規格のモジュールを開発してバーストイベントでの High- $p_T$  トリガー情報、バーストイベントの頻度・長さなどを記録することにした。さらに、バースト状態だと判定されている間の 1 イベントを取得することで、イベントサンプルを記録する。

これら 3 つの機能によって、Run-2 ではデータをロスすることなく、バースト状態のイベントサンプル取得と、バースト状態の起きる頻度・長さなどのモニタリングを行う。それぞれの改良については次節から詳しく説明する。

## 5.2 TGC において一定バンチ内に閾値以上のトリガー発行が行われている場合はトリガーを VETO する機能

Sector Logic には入力信号として High- $p_T$  ボードの出力が接続されている。これは Triplet と Doublet との間でコインシデンスを要求した結果得られる信号で、単なるノイズ信号は含まない。Sector Logic 上のトリガー判定 FPGA 内で、TGC Big Wheel 3 層 (M1, M2, M3) の Wire 信号について OR をとった結果が High- $p_T$  トリガーである。High- $p_T$  トリガーに対して本節で説明するバーストストッパーロジックによる判定を行うことで、Level-1 ミューオントリガーを VETO するか否かを決定する。図 5.4 に示したように、バーストストッパーロジックによる判定は通常の  $p_T$  判定と並列して行い、トリガーを VETO するかどうか判定することにより、トリガー判定処理の Latency を増やさないようにした。

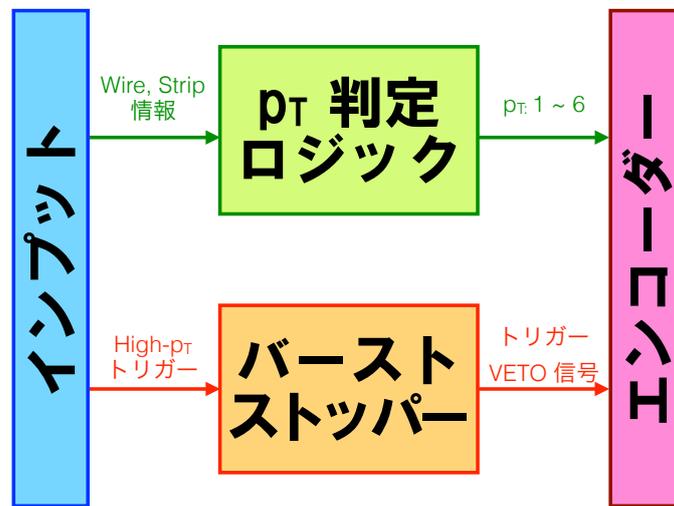


図 5.4: TGC Sector Logic における処理のブロック図。  $p_T$  判定ロジックとバーストストッパーロジックとを並列して処理し、Latency を増やさないようにした。

バーストストッパーロジックによる判定は以下のようにして行う。1 バンチごとの High- $p_T$  トリガーをシフトレジスタに詰める。シフトレジスタでは判定範囲として定めたバンチ区間内に含まれる High- $p_T$  トリガー数を監視し、閾値以上の High- $p_T$  トリガーがある場合は VETO 信号を出力する。バースト状態が終了すればデータ収集を再開できるように、判定範囲の High- $p_T$  トリガー数が閾値を下回れば自動的に VETO 信号の出力を停止する。次の図 5.5 では、6 バンチ中に 3 個以上の High- $p_T$  トリガーがある場合に VETO 信号を出力する設定での、バーストストッパー判定の例を説明する。

通常時は High- $p_T$  トリガーがまばらなので、バーストストッパー判定によってトリガーが VETO されることはない。しかし、バースト状態では連続した High- $p_T$  トリガーが数マイクロ秒にわたって発生し続けるため、判定範囲の High- $p_T$  トリガー数が設定した閾値を超えた時点でトリガーが VETO される。ここで示したのは 6 バンチ中に 3 個以上 High- $p_T$  トリガーがあれば VETO 信号を出力する例だが、バーストストッパー判定を行う範囲と閾値は VME バスからレジスタに値を設定することで任意に変更できる。

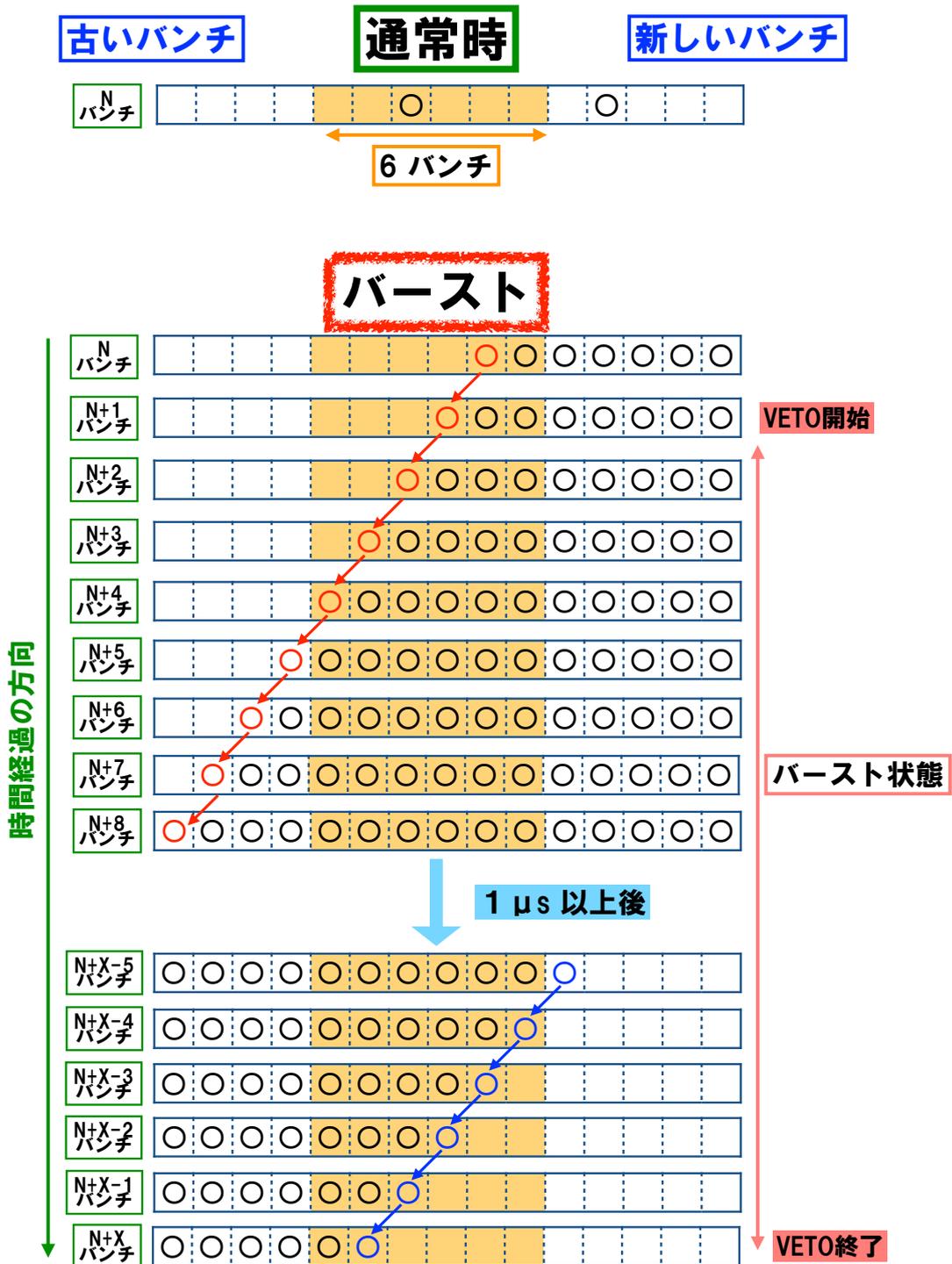


図 5.5: 6 バンチ中に 3 個以上 High- $p_T$  トリガーがあれば VETO 信号を出力する設定での、バーストストッパー判定の例。マス目でシフトレジスターを表現している。各マスにはそのバンチの High- $p_T$  トリガーが詰められており、丸があった場合が High- $p_T$  トリガー有りを意味する。左側のマス目ほど古いバンチの High- $p_T$  トリガーが詰まっており、1 バンチ交差するごとに丸が 1 マス分左にシフトする。オレンジ色で示している 6 バンチが判定を行う範囲で、この範囲内に 3 個以上 High- $p_T$  トリガーがあれば、VETO 信号を出力する。

バーストストッパーロジックをハードウェア記述言語 Verilog HDL を用いて記述し、Sector Logic のトリガー判定 FPGA に対して実装した。実装が正しく行えたかどうかを確認するために、テストベンチを用いたテストを行った [16]。確認を終えたファームウェアは、2014 年 5 月に ATLAS トリガーシステムで実際に用いている Sector Logic に対してもインストールした。

本節で説明した TGC Sector Logic にバーストストッパーロジックを実装する方法には 2 つの欠点がある。1 つ目の欠点は、RPC によってバーストリガーが発行された場合に対応できない点である。TGC Sector Logic に実装したバーストストッパーロジックによって、バースト状態で Level-1 エンドキャップミュオントリガーは発行されない。しかし、バースト状態では他の検出器にも大量のヒットがあり、RPC がバーストリガーを発行した場合、それによって L1A 信号が発行されると TGC SSW でオーバーフローが起きる。2 つ目の欠点は、特定のトリガーセクターにヒットが集中せず、しかし TGC 全体のヒット数が多くなるようなバーストが起きた場合に対応できない点である。バーストストッパーロジックは Sector Logic 上に実装されているので、判定はトリガーセクター単位で行われる。つまり、Endcap 部では 1/48 円、Forward 部では 1/24 円内のヒット情報を用いた判定であり、TGC 全体のヒット情報によってバーストイベントの判定を行えない。

これら 2 つの欠点を改善するために、TGC 全体の情報を元にバースト状態の判定が行える NIM Process Module の開発を行った。そして、NIM Process Module によるバースト状態の判定結果を CTP に伝達することで、CTP による L1A 発行を VETO する。これにより、他の検出器が TGC と同期して、バーストリガーを発行した場合にも L1A 信号は発行されない。

### 5.3 TGC 全体の情報を用いたバースト状態の判定： NIM Process Module の開発

TGC Sector Logic には NIM 信号を出力する LEMO コネクタがトリガーセクターごとに接続されており、そのコネクタに任意の信号を配線できる。そこで、各トリガーセクターの High- $p_T$  トリガーを NIM 信号で出力し、それを 1 つのボードに集約する。そして、集約先のボードで TGC 全体のヒット情報を用いたバーストストッパー判定を行うことを考案した。

TGC の A/C 各 side はそれぞれ Endcap 48 トリガーセクター、Forward 24 トリガーセクターの合計 72 トリガーセクターからなる。したがって、集約先のボードには LEMO コネクタが最低でも 72 個配置されており、その信号が FPGA に配線されている必要がある。これらの条件を満たすボードとして、新しい VME 9U 規格ボード NIM Process Module (NPM) の開発を行った。

### 5.3.1 NIM Process Module の仕様

NIM Process Module (NPM) の主な仕様は次の 4 つである。

- NIM インプット

76 個: 各トリガーセクターの High-p<sub>T</sub> トリガーを受信するために使用する。(72 個、4 個は予備)

1 個: LHC 基準クロックを受信するために使用する。

1 個: 逆 side の情報を受け取り A-side/C-side の情報をまとめるために使用する。

- NIM アウトプット

1 個: CTP にバースト状態の判定結果を通知するために使用する。

1 個: CTP でバーストのイベントサンプル取得を行うトリガー信号に使用する。

搭載する LEMO コネクタ数はインプット・アウトプットを合わせて 80 個で、VME 9U 1 スロットに収まる最大数となるようにした。

- ロジックアナライザー接続用コネクタ

76 個の NIM インプットをロジックアナライザーが接続可能なコネクタに配線する。これらのコネクタにロジックアナライザーを接続して 76 トリガーセクター全ての High-p<sub>T</sub> トリガーを解析することで、バーストストッパー判定を行うバンチ間隔・閾値を決定する。

- VME 9U 規格のモジュール

VME 9U 規格のモジュールとして作成し、FPGA と VME バスとの間で通信が行えるようにした。VME バスとの通信プロトコルは、不揮発性な素子である CPLD に実装した。バーストが起きた回数・長さなどは FPGA 内のレジスタに格納され、それらを VME バスから読み出すことでバースト状態のモニタリングを行う。

- コンフィギュレーションメモリ

FPGA へのファームウェアダウンロードを高速で行えるメモリ Byte Peripheral Interface (BPI) を搭載する。通常使用されるシリアル通信を行うメモリ Serial Peripheral Interface (SPI) と異なり、16 bit のパラレル通信を行うため、ファームウェアダウンロードを高速で行うことが出来る。今回確認を行ったのは 3 MHz のクロックを使用して、データ幅 16 bit でデータダウンロードを行う方法で、16 MHz のシリアル通信を行う VME Select Map モードに比べて、3 倍高速である。使用するクロックを 3 MHz から 40 MHz に切り替えることで、更に 13 倍速いダウンロードが可能になる。

これらの仕様を満たすようにパーツ選定を行い、それらのパーツを用いて回路図を作成した。

### 5.3.2 NIM Process Module の回路図

NIM Process Module の回路図を 付録 A.1 に載せる。回路図のうち本モジュールの特徴的な部分として、76 個の NIM インプットを処理している部分と、BPI メモリの接続部分の 2 箇所について解説を行う。

#### (1) NIM インプット受信部分

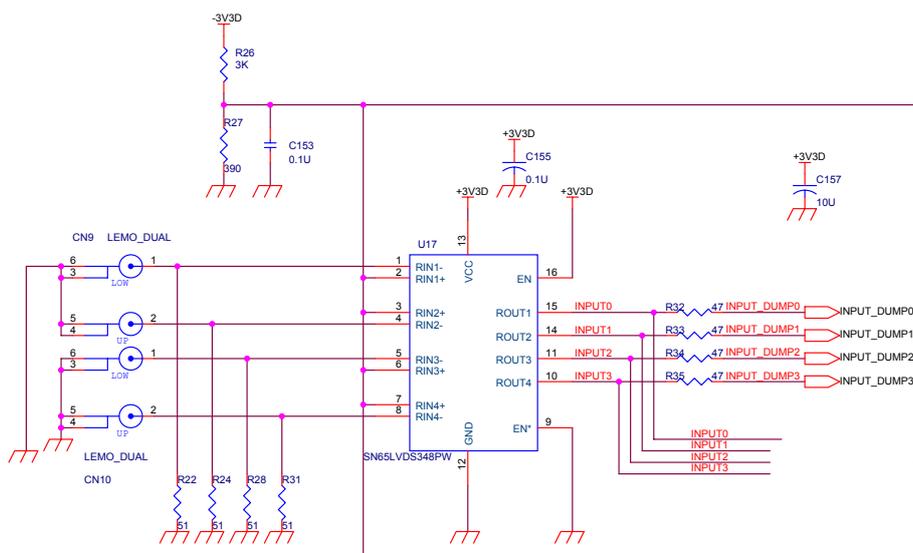


図 5.6: NIM インプット受信部分の回路図。

348 DEVICES				
INPUTS			OUTPUTS	
<b>RIN- = -0.8 V</b>	$V_{ID} = V_{RIN+} - V_{RIN-}$	EN	EN	R <sub>OUT</sub>
	$V_{ID} \geq -32 \text{ mV}$	H	L or OPEN	H
	$100 \text{ mV} < V_{ID} < -32 \text{ mV}$	H	L or OPEN	?
	$V_{ID} \leq -100 \text{ mV}$	H	L or OPEN	L
<b>RIN- = 0 V</b>	Open	H	L or OPEN	H
	X	L or OPEN	X	Z
		X	H	Z

図 5.7: SN65KVDS348PW のファンクションテーブル。

図 5.6 に NIM インプット受信部分の回路図を載せる。この部分では 図 5.7 に示したファンクションテーブルに従って動作する SN65KVDS348PW によって、NIM から LVTTL へのロジックレベル変換を行っている。RIN+ は、-0.4 V に固定しており、NIM インプットを接続した RIN- が 0 V の時は  $V_{ID} = RIN+ - RIN- = -0.4 \text{ V}$ 、RIN- が -0.8 V の時は  $V_{ID} = +0.4 \text{ V}$  である。したがって、ファンクションテーブルに従い NIM インプットから 0 V と 3.3 V で動作する LVTTL アウトプットに変換される。SN65KVDS348PW は 1 つの素子で 4 チャンネルの変換が可能で、これを 19 個搭載することで 76 チャンネルの NIM インプットを処理している。

## (2) BPI 接続部分

BPI には Micron 社の JS28F256P30TF を使用する。これは集積度 256 Mbit の Programmable ROM で、26 bit のアドレス空間を持ち 16 bit のパラレル通信が行える。図 5.8 に FPGA - BPI 間の接続の模式図を示す。

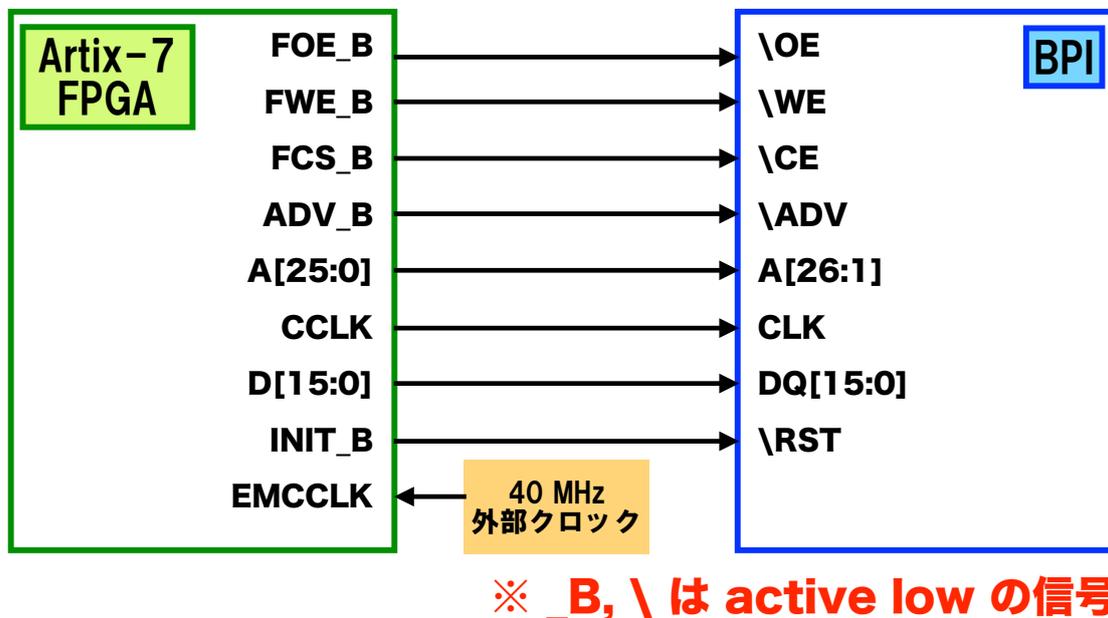


図 5.8: BPI - FPGA 間の接続の模式図。

Xilinx 社の提供する FPGA - BPI 間の通信プロトコルを使用するために、BPI に接続する FPGA のピンは図 5.8 の通りに接続しなければならない。FPGA - BPI 間の通信を行うプロトコルは不揮発性アプリケーションとして FPGA 内に書き込まれており、FPGA モード [2:0] を BPI モード ( = 3'b010 ) に設定することで BPI から FPGA へファームウェアがダウンロードされる。通常の設定では、ダウンロードの際に FPGA は CCLK から 3 MHz のクロックを供給するが、BPI に書き込むファームウェアの設定を変更することで EMCCLK ( External Master CCLK ) に接続した周波数 40 MHz の外部クロックを用いたダウンロードが行える。

また、Chip Enable (CE), Write Enable (WE), Output Enable (OE) を制御することで、BPI に対して VME バスから直接 Read/Write 操作を行える。例として Write 操作の後に Read 操作を行うタイミングチャートを図 5.9 に示す。タイミングチャートに基づく操作の他に、BPI に対して Write 操作を行うには「コマンド」と呼ばれる専用の操作を行う必要がある。現在、これらのプロトコルを Verilog HDL で記述し、CPLD に実装する作業を行っている。



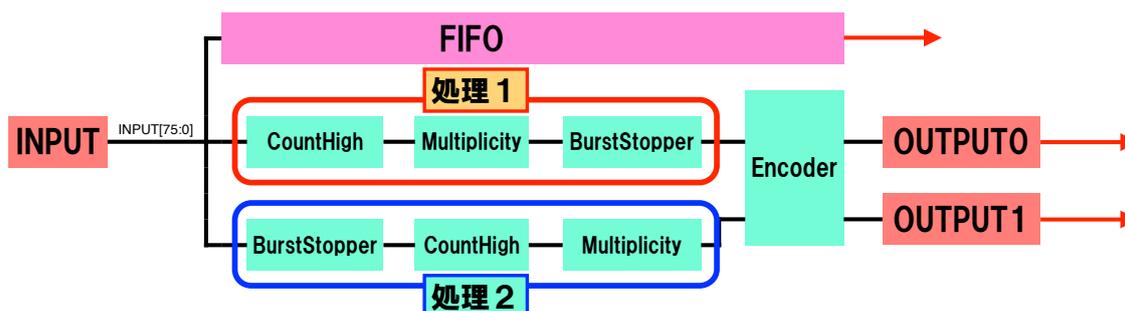


図 5.10: NPM の FPGA 処理のブロック図。

- **CountHigh**  
76 bit のインプット中 High になっているビットを数えあげる。
- **Multiplicity**  
CountHigh で数えた数がスレッシュホールド以上であれば High を、スレッシュホールド以下であれば Low を出力する。
- **BurstStopper**  
図 5.5 で説明したバーストストッパー判定を行い、バーストと判定されれば High を、それ以外は Low を出力する。
- **Encoder**  
処理 1, 処理 2 それぞれの判定結果を受け取り、どちらかを使用して各アウトプット信号を定める。

処理は CountHigh → Multiplicity → BurstStopper という順序で行われる処理 1 と、BurstStopper → CountHigh → Multiplicity という順序で行われる処理 2 の 2 種類に分けられる。処理 1 では 76 トリガーセクターからの High- $p_T$  トリガー数を数え、それが閾値以上かどうかを判定し、判定結果をバーストストッパーロジックのインプットに用いる。処理 2 では、先に High- $p_T$  トリガーに対してバーストストッパーロジックによる判定を行い、その結果出力される VETO 信号数を数え、それが閾値以上かどうかを判定する。

バースト時にはヒットが TGC 全体に渡って発生するので、バーストストッパーロジックのインプットには TGC 全体に一定以上の High- $p_T$  トリガーがあるかどうかという情報が適している。処理 1 では上記の通りのインプットをバーストストッパーロジックに与えており、処理 2 と比べて処理 1 の方が正確なバーストストッパー判定が行える。しかし、Sector Logic と同じインプットをバーストストッパーロジックに与えているのは処理 2 である。したがって、NPM でのモニタリング結果を Sector Logic でのモニタリング結果と比較するためには処理 2 も必要になる。

### 5.3.4 試作機と FPGA ファームウェアのテスト

2014 年 12 月に NPM の試作機が完成し、現在はそのテストを行っている。試作機の写真を 図 5.11 に示す。

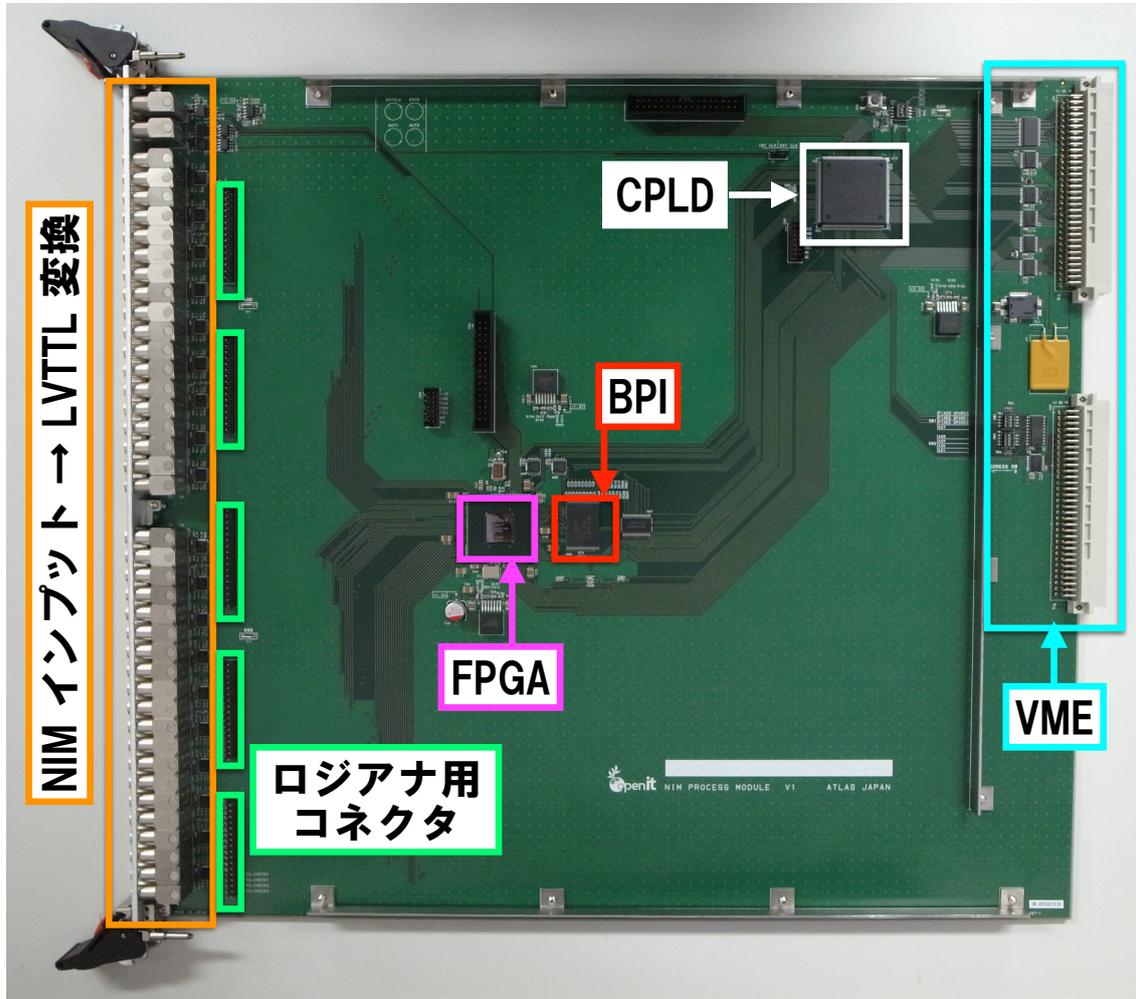


図 5.11: NPM 試作機の写真。左側に LEMO コネクタが並んでいる。これらのコネクタで受けた NIM インプットは LVTTTL レベルに変換され、FPGA に接続されている。また、インプットをロジックアナライザに接続するためのコネクタも配置している。FPGA のレジスタは CPLD を介したプロトコルで VME から読み書きが行える。FPGA にファームウェアダウンロードを行うための BPI メモリを搭載している。

試作機の到着後、配置されている素子の向きの確認、ハンダ状態の目視検査、電源レギュレータに接続している抵抗の抵抗値の確認、コンデンサの極性の確認などを電源投入前に行い、安全に電源投入ができることを確認した。その後、VME バスと CPLD/FPGA との間で通信が行えることを確認した上で、図 5.10 に示したロジックを Verilog HDL を用いて正しく実装できていることを、次のような試験によって確認した。

NIM インプットには 10 CLK ごとに 1 インプットずつ High になっていき、最終的に 76 全ての入力が High になる信号を接続した。CountHigh, Multiplicity, BurstStopper それぞれの処理が正しく行えているかどうかを段階的に確認するため処理の途中の信号をテストピンに接続し、ロジックアナライザーでそれらを測定した。例として、Multiplicity ロジックの閾値を 76、BurstStopper ロジックを判定範囲 6、閾値 2 ( 6 CLK 内に 2 以上の High-pt トリガーがあった場合、High を出力する ) に設定した時に得られたジックアナライザーの波形を 図 5.12 に示す。

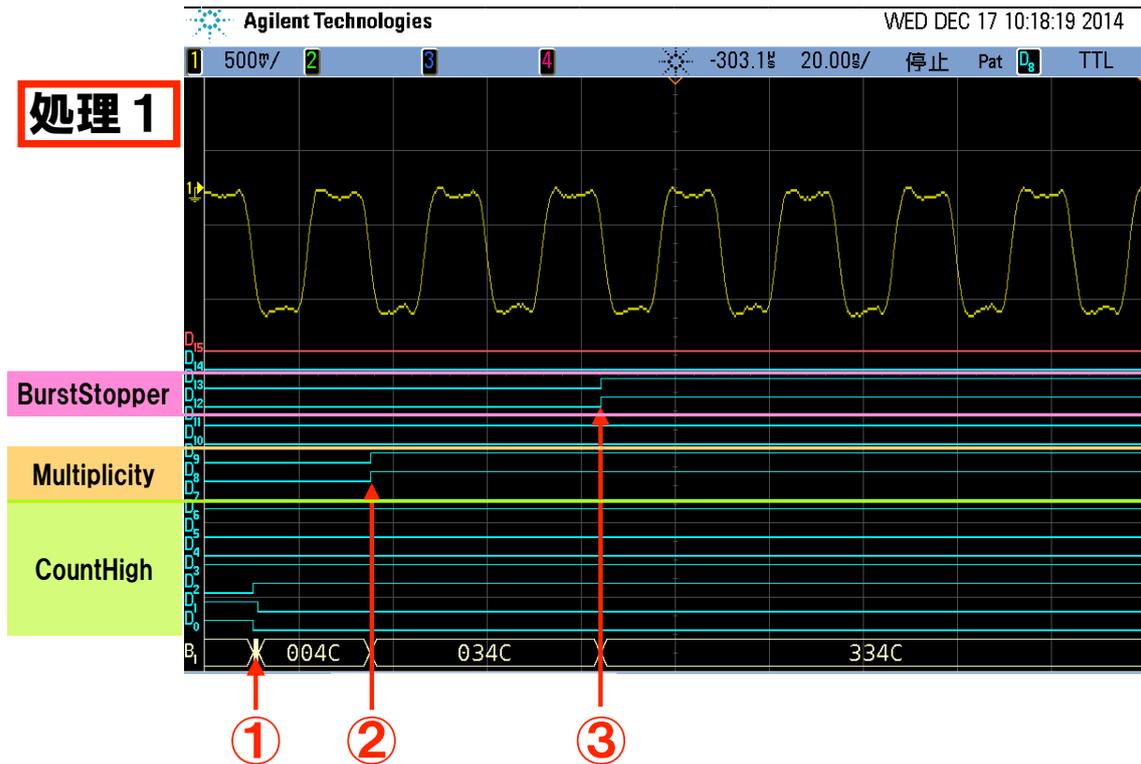


図 5.12: ロジックアナライザーの波形。処理 1 のテストを行っており、D0 - D7 には CountHigh の出力、D8, D9 には Multiplicity の出力、D12, D13 には BurstStopper の出力を配線した。

1. CountHigh の出力が最大値  $0x4c = 76$  まで 10 CLK ごとにインクリメントしていく。図の左端 は、76 個目の NIM インプットがインクリメントされた瞬間を表している。
2. CountHigh の出力が 76 になると、Multiplicity の閾値以上なので D8, D9 が High になる。( 図の時間軸 )
3. D8, D9 が High になってから 2 CLK たつと、BurstStopper の判定範囲内の High-pt トリガー数が 2 に達するので D12, D13 が High になる。( 図の時間軸 )

Multiplicity, BurstStopper の閾値を変更して同様のテストを繰り返し、閾値通りにロジックが動作することを確認した。

以上の確認を終えた後、NIM アウトプットをオシロスコープに接続して測定した。バースト状態と判定されてから 3 CLK 後のデータ取得を行う設定にした時、得られたオシロスコープの波形を 図 5.13 に示す。

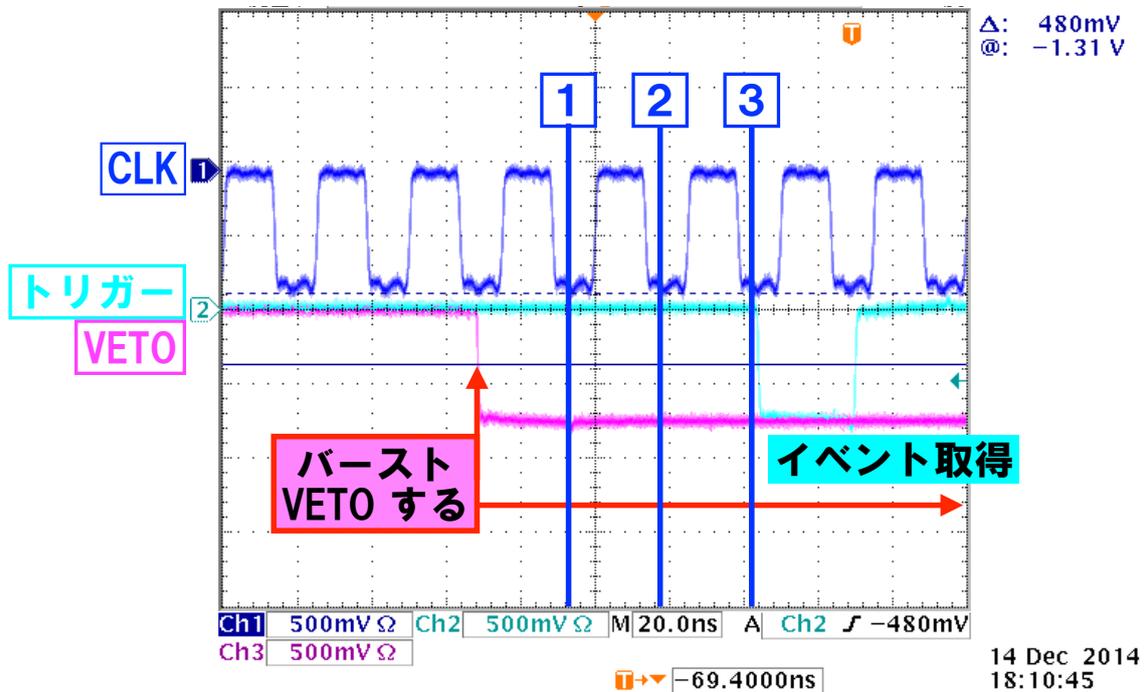


図 5.13: オシロスコープの波形。青: クロック、水色: 1 バンチ取得のトリガー信号、ピンク: バースト状態の間出力し続けるレベル信号。バーストだと判定してから 3 バンチ後を取得する。

図中に赤で示した箇所ではバースト状態だと判定されたため、VETO 信号が出力される。バーストだと判定されてから、つまりピンク色の VETO 信号の立ち上がりから 3 CLK 後、水色のトリガー信号が 1 CLK 分出力されている。以上の結果をもって、ファームウェアが正しく動作することを確認した。

また、BPI が正しく実装されていることを現在確認している。現時点ではファームウェアを JTAG プロトコルによって BPI に書き込み、それを FPGA にダウンロードできることを確認した。具体的な手順としては、まず作成したファームウェアデータ ( bit file ) をフラッシュメモリに書き込むデータフォーマット ( mcs file ) に変換し、それを Xilinx Vivado を用いて FPGA に接続された BPI に書き込む。その後、FPGA モードを BPI モード ( 3'b010 ) に設定することで BPI から FPGA へファームウェアダウンロードが行われる。FPGA への書き込みが出来たかどうかの確認には、書き込み完了を表す DONE ピンを用いた。残す試験項目は VME バス経由で BPI メモリに情報を書き込むことであり、現在そのためのプロトコルを CPLD に実装・試験している。

## 5.4 コミッショニング

次に述べる 2 つの作業を行った後、NPM を ATLAS データ収集・トリガーシステムへインストールする。1 つ目がオンラインソフトウェアの整備である。ATLAS 標準の環境下で動作する、VME バスと FPGA/CPLD/BPI との間で通信を行うソフトウェアを用意する。このソフトウェアではレジスタの読み書きだけでなく、ファームウェアのダウンロード後には各種レジスタへ初期値を書き込み、書き込んだ通りの値が読み出せるかどうかのチェックを行う。さらに、モニタリング上特に重要な値は、ラン中に GUI からすぐに確認できるようにする。

2 つ目がバーストストッパーロジックの判定範囲・閾値の決定である。ラン開始後、全 NIM インプットをロジックアナライザーに出力して解析を行い、判定範囲・閾値の決定を行う。3 連続でヒットがあれば SSW RX オーバーフローが起きるので、バースト状態だと判定する閾値を 3 に固定して考え、その上で判定範囲を決定する。判定範囲を広げるほどバースト状態だと判定されやすくなるため、ロジックアナライザーで状況を確認しながらバースト状態でない時に誤って L1A 信号を VETO することがない値まで判定範囲を広げる。

これらの作業を終えれば、NPM の運用を開始できる。NPM を運用することで、バースト状態で発行される L1A 信号を VETO し、SSW RX オーバーフローを防ぐ。また、バーストの長さ・回数の記録と、バーストのイベントサンプルの取得も行う。

## 第6章 結論

LHC は 2015 年に開始する Run-2 において、Run-1 よりも高エネルギー・高ルミノシティでの運転を行う。加速器のアップグレードにより達成される高パイルアップ・高ルミノシティ環境でデータを効率よく収集するために、ATLAS 実験では検出器やデータ収集システムのアップグレードに取り組んでいる。本研究では TGC と TileCal との間でコインシデンスを導入することによるトリガーアルゴリズムの改良と、バーストリガーによるデータのロスを防ぎ、ヒット情報を正確にモニタリングするための改良、という 2 つの改良を行った。

TGC で発行されるフェイクトリガーを削減するために、トロイド磁場よりも内側の検出器と TGC とのコインシデンスを要求する。コインシデンス対象として TGC EI, FI が設置されているが、EI にはバレルトロイド磁石との干渉のためチェンバーを設置できない領域が存在する。その領域で発行されるフェイクトリガーを削減するために、TileCal のエネルギー情報を用いたトリガーアルゴリズムを開発した。これによってトリガー効率を 97.4 % に保ったまま、トリガー数を 48.9 % まで削減できる。必要なエレクトロニクスは 2015 年春までにインストールされ、Run-2 でトリガーレートを削減するために用いる。

2012 年に頻発した数マイクロ秒にわたって通常の 100 倍多いヒットが発生し続ける事象への対策を行った。トリガー判定モジュール Sector Logic に、指定したバンチ区間内のトリガー発行回数を制限を設けるバーストストッパーロジックを導入することで、Level-1 エンドキャップミュオントリガーが連続して発行されることを防いだ。また、TGC 全体の情報を用いてバースト状態を正確に判定できる NIM Process Module を開発し、これを運用することにより Run-2 ではデータをロスすることなく、バースト状態のモニタリングを行う。モジュール試作機のテストは概ね終了しており、残すテストが終了次第 ATLAS 実機へとインストールする。

これら 2 つの改良によって、Run-2 における Level-1 ミュオントリガーを高い性能で運転することを目指している。今後は必要なエレクトロニクスのインストール、ソフトウェアの整備を進めていく。

## 謝辞

本研究を行うにあたり、研究の機会を与えて下さった石野雅也准教授に心より感謝致します。また、研究全般に関して様々な助言をして下さった隅田土詞氏に深く感謝致します。行き詰まった時には間違いを指摘し、研究の進め方を示していただきました。

TGC エレクトロニクスについて多くの指導、助言をして下さった KEK の佐々木修氏、神戸大学の藏重久弥氏に深く感謝申し上げます。また、CERN 出張中には ATLAS グループの先輩である奥山豊信氏、野辺拓也氏、二ノ宮陽一氏、山内克弥氏、小林大氏、本橋和貴氏にお世話になりました。慣れない海外での生活について多くの助言をして頂きました。ありがとうございました。

NIM Process Module の開発には Open-It に協力をいただいています。池野正弘氏には回路図の書き方からミスの修正まで、熱心なご指導をしていただいたことを深く感謝致します。

京都大学高エネルギー物理学研究室の皆様には深く感謝致します。特に、田代拓也氏、加茂直之氏には実験グループの先輩として、エレクトロニクスについて、計算機の使用についてなど様々な面でお世話になりました。また、研究室同期の石山優貴氏、上路市訓氏、中桐洸太氏、仲村佳悟氏、林野竜也氏、吉田健人氏には様々な面でお世話になりました。ありがとうございます。そして出張手続きをして下さった物理学第二教室事務室、実験秘書室の皆様には深く感謝致します。

最後に、不自由ない学生生活をさせてくれている家族に感謝を述べて、謝辞と致します。

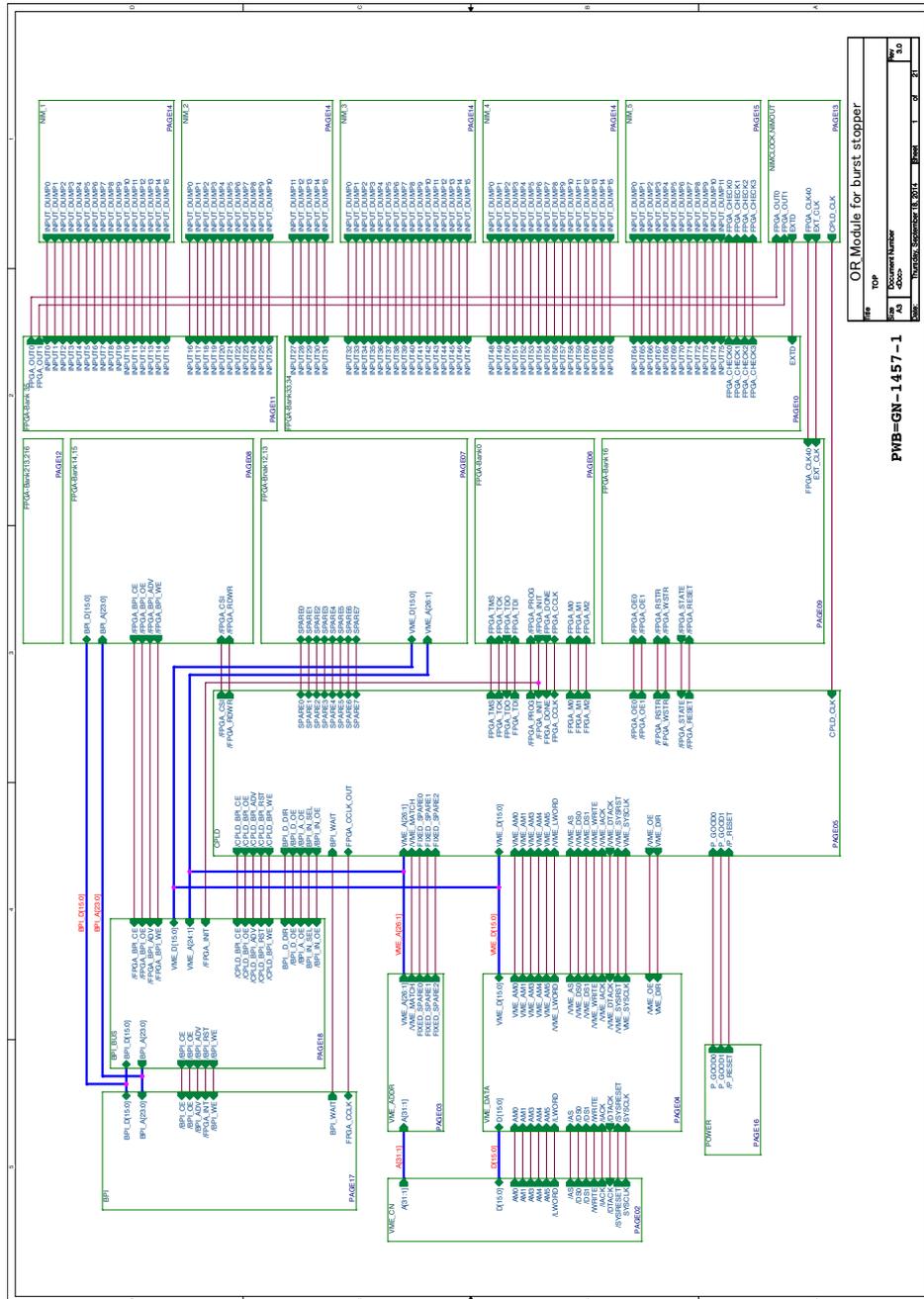
## 参考文献

- [1] 著者名： The ATLAS Collaboration  
ATLAS Photos,  
<http://www.atlas.ch/photos/>
- [2] 著者名： The ATLAS Collaboration  
The ATLAS Experiment at the CERN Large Hadron Collide,  
Jinst , 2008.
- [3] 著者名： The ATLAS Collaboration  
ATLAS EXPERIMENT Public Result,  
<https://twiki.cern.ch/twiki/bin/view/AtlasPublic>.
- [4] 著者名： S.N. Karpov on behalf of the ATLAS Collaboration  
Simulation and validation of the ATLAS Tile Calorimeter response,  
Jinst 9 C09018, 2014.
- [5] 著者名： The ATLAS Collaboration  
Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System,  
ATLAS TDR-023, 2013.
- [6] 著者名： ATLAS Level-1 Trigger Group  
ATLAS Level-1 Trigger Group Technical Design Report,  
ATLAS TDR-12, 2000.
- [7] 著者名： ATLAS Muon Collaboration  
ATLAS Muon Spectrometer Technical Design Report,  
CERN/LHCC 97 22, 1997.
- [8] 著者名： Fabui Sauli  
PRINCIPLES OF OPERATION OF MULTIWIRED PROPORTIONAL AND  
DRIFT CHAMBERS,  
CERN Lecture, 1977.
- [9] 著者名： Michael Spira  
QCD Effects in Higgs Physics,  
[arXiv:hep-ph/9705337v2](https://arxiv.org/abs/hep-ph/9705337v2), 1997.

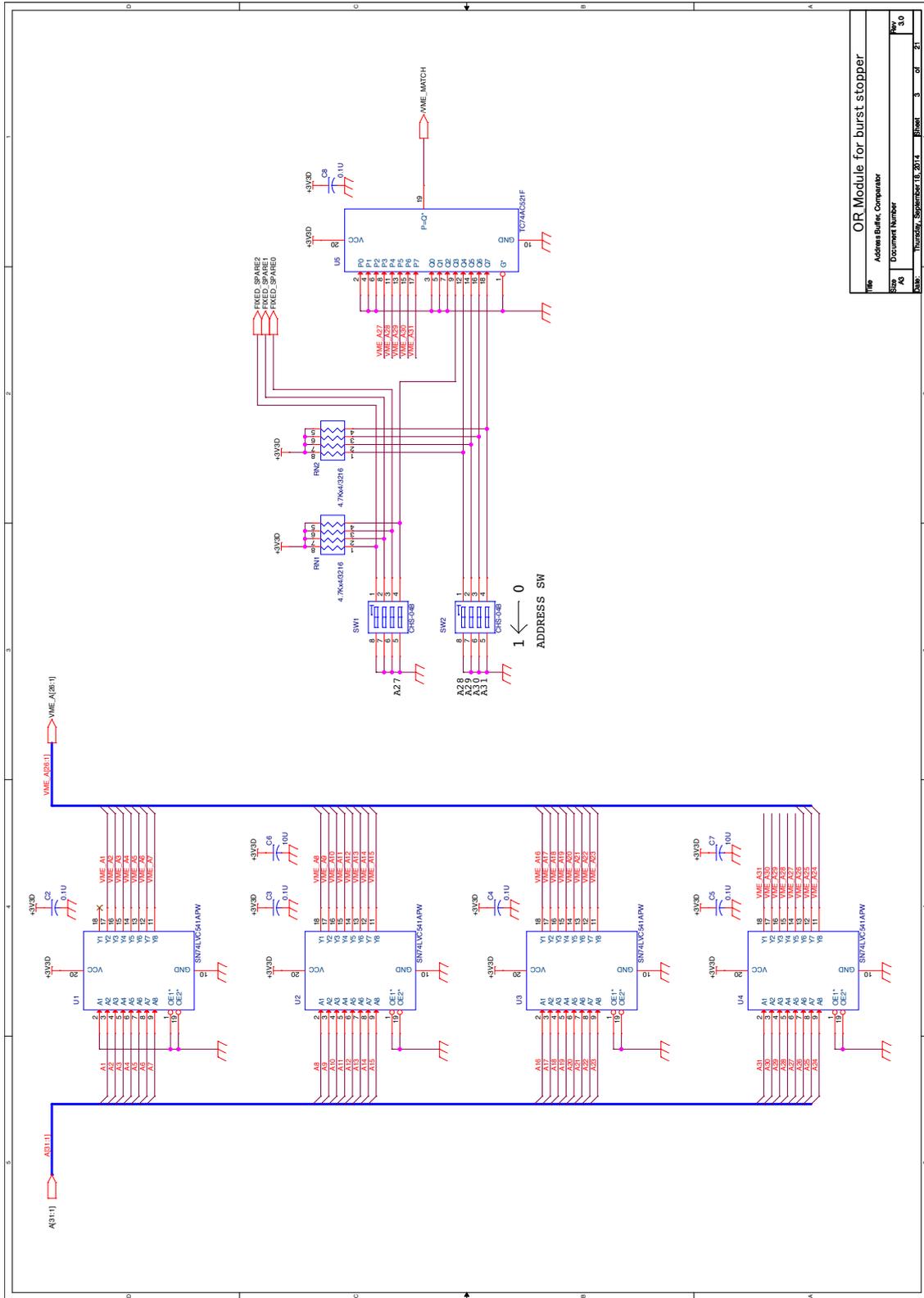
- [10] 著者名 : The ATLAS Collaboration  
Measurements of Higgs boson production and couplings in diboson final states with the ATLAS detector at the LHC,  
CERN/LHCC 97 22, 1997.
- [11] 著者名 : ATLAS IBL Community  
Insertable B-Layer Technical Design Report,  
ATLAS TDR-19, CERN/LHCC 2010-013, 2010.
- [12] 著者名 : J. Bougher, D. Brown, T. Koi, C. Young  
Cavern Background for New Small Wheel,  
ATLAS NOTE, 2011.
- [13] 著者名 : 宇田 純郎  
ATLAS 実験用ミュオントリガーチェンバーの性能評価,  
神戸大学 修士論文, 2005.
- [14] 著者名 : 早川 俊  
LHC シングルビームを用いた ATLASD 実験前後方ミュオントリガーシステムの性能評価,  
神戸大学 修士論文, 2009.
- [15] 著者名 : 稲丸 由夫輝  
ATLAS 実験 RUN2 に向けたレベル 1 ミュオントリガーの改良,  
神戸大学 修士論文, 2014.
- [16] 著者名 : 来見田 史恵  
ATLAS 実験 RUN2 に向けたレベル 1 ミュオントリガー回路の開発,  
神戸大学 修士論文, 2014.

# 付録A Appendix

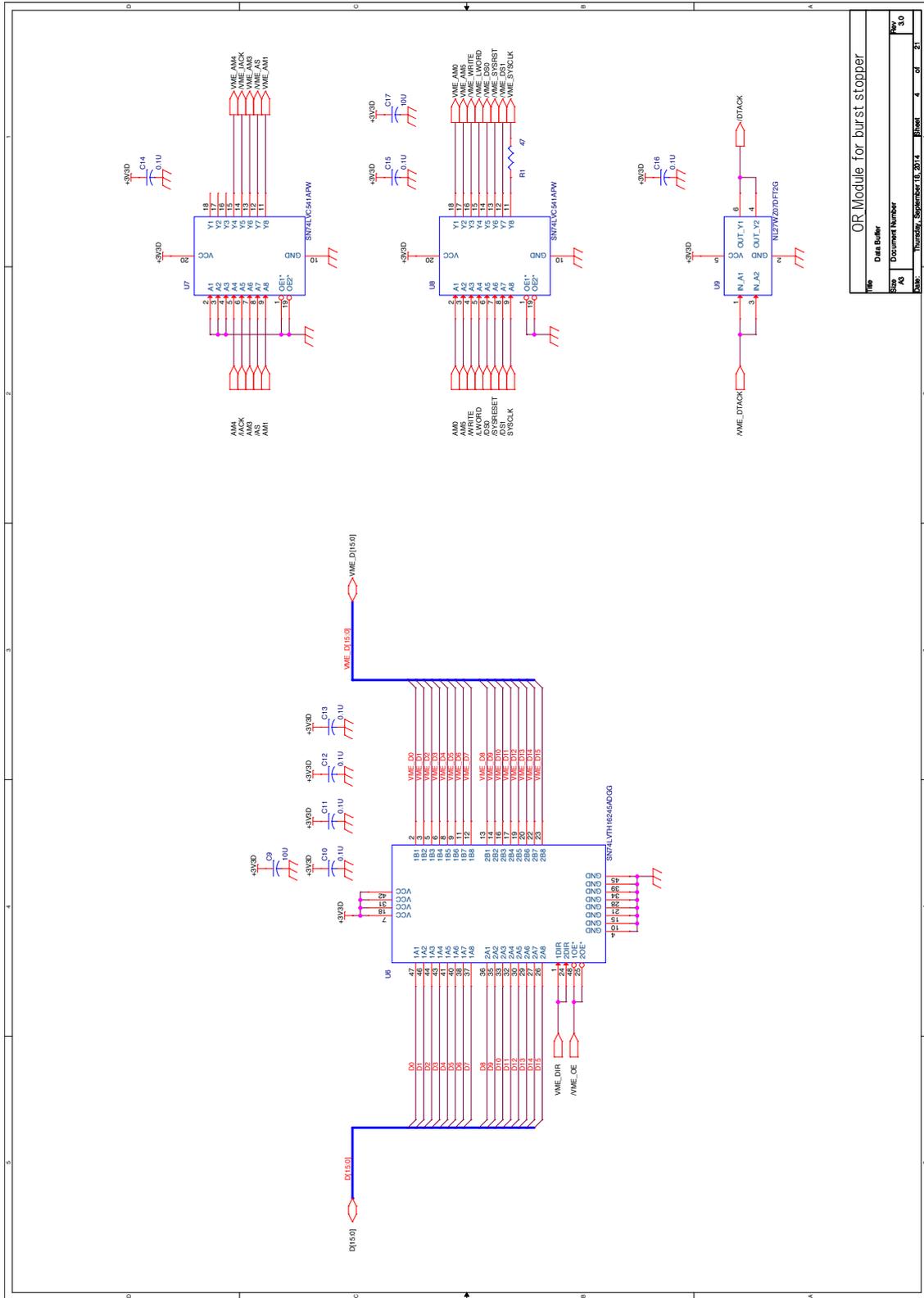
## A.1 NIM Process Module の回路図







OR Module for burst stopper			
Address Buffer, Comparator			
File	Docu	Sheet	Rev
AD	Number	3	5.0
Date: Thursday, September 18, 2014			



OR Module for burst stopper			
File	Data Buffer		
Size	Document Number		
AD	Rev 5.0		
Date	Thursday, September 18, 2014	Sheet	4 of 21

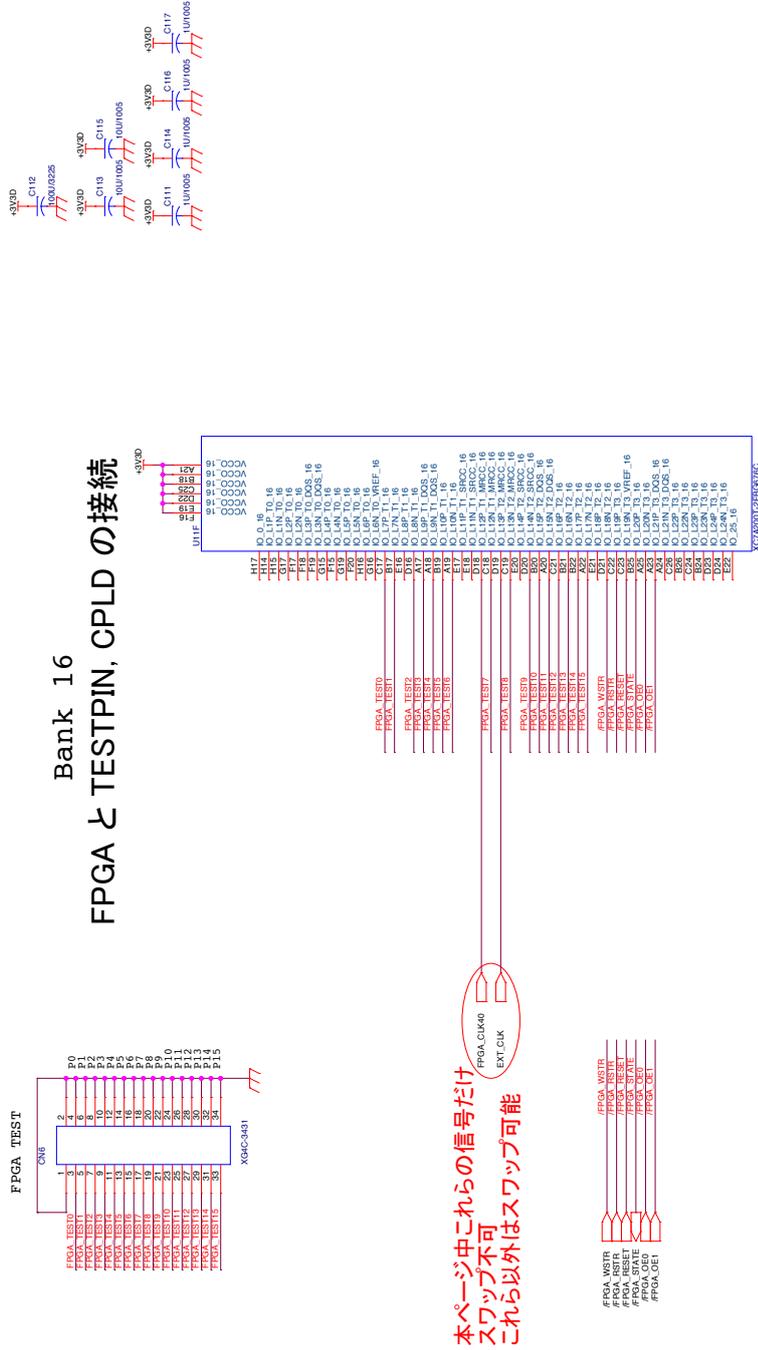








# for TESTPIN

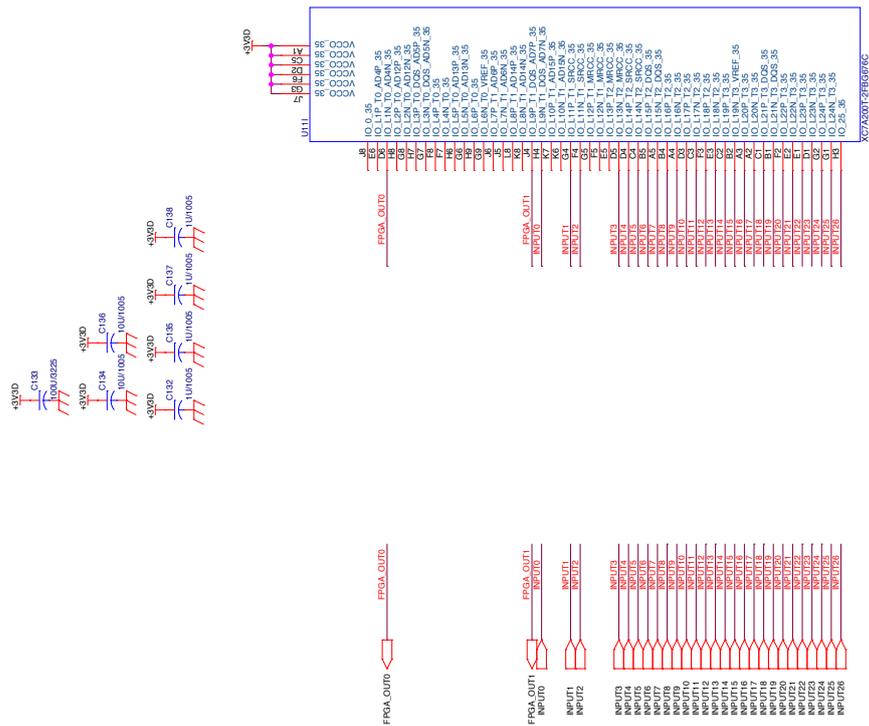


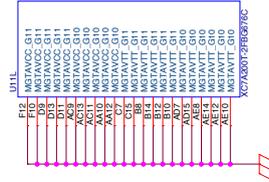
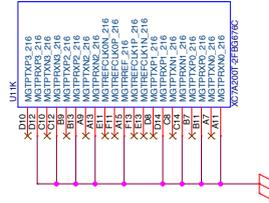
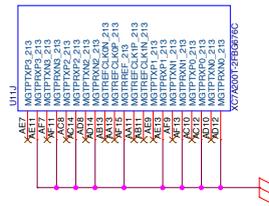
本ページ中これらの信号だけ  
スワップ不可  
これら以外はスワップ可能

Title		OR Module for burst stopper	
Rev		FPGA Bank 6 by TESTPIN/CPLD	
Docu		Document Number	
PA		Docu	
Date		Thursday, September 13, 2014	
		Sheet 9 of 21	



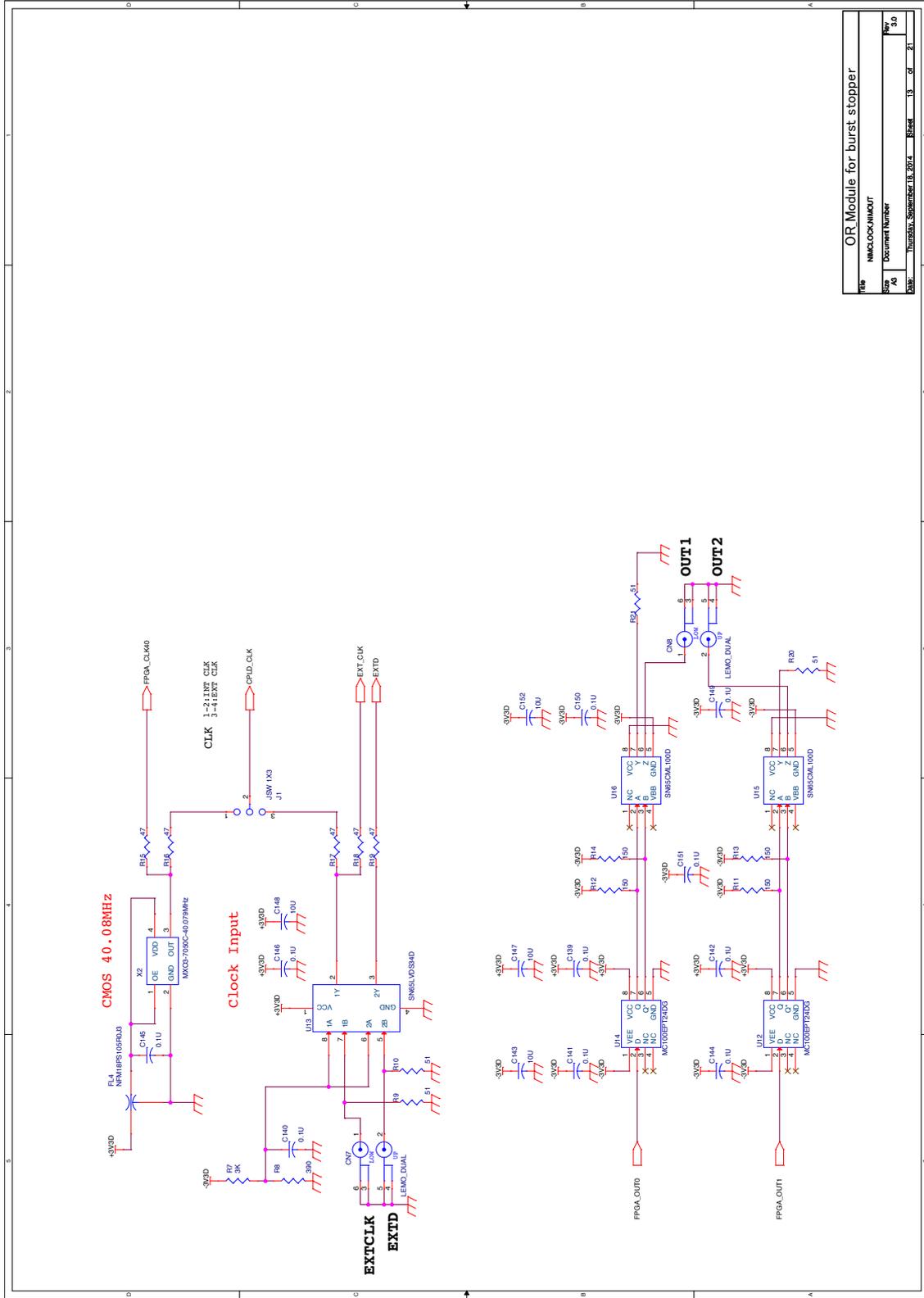
# Bank 35 FPGA と INPUT,OUTPUT の接続



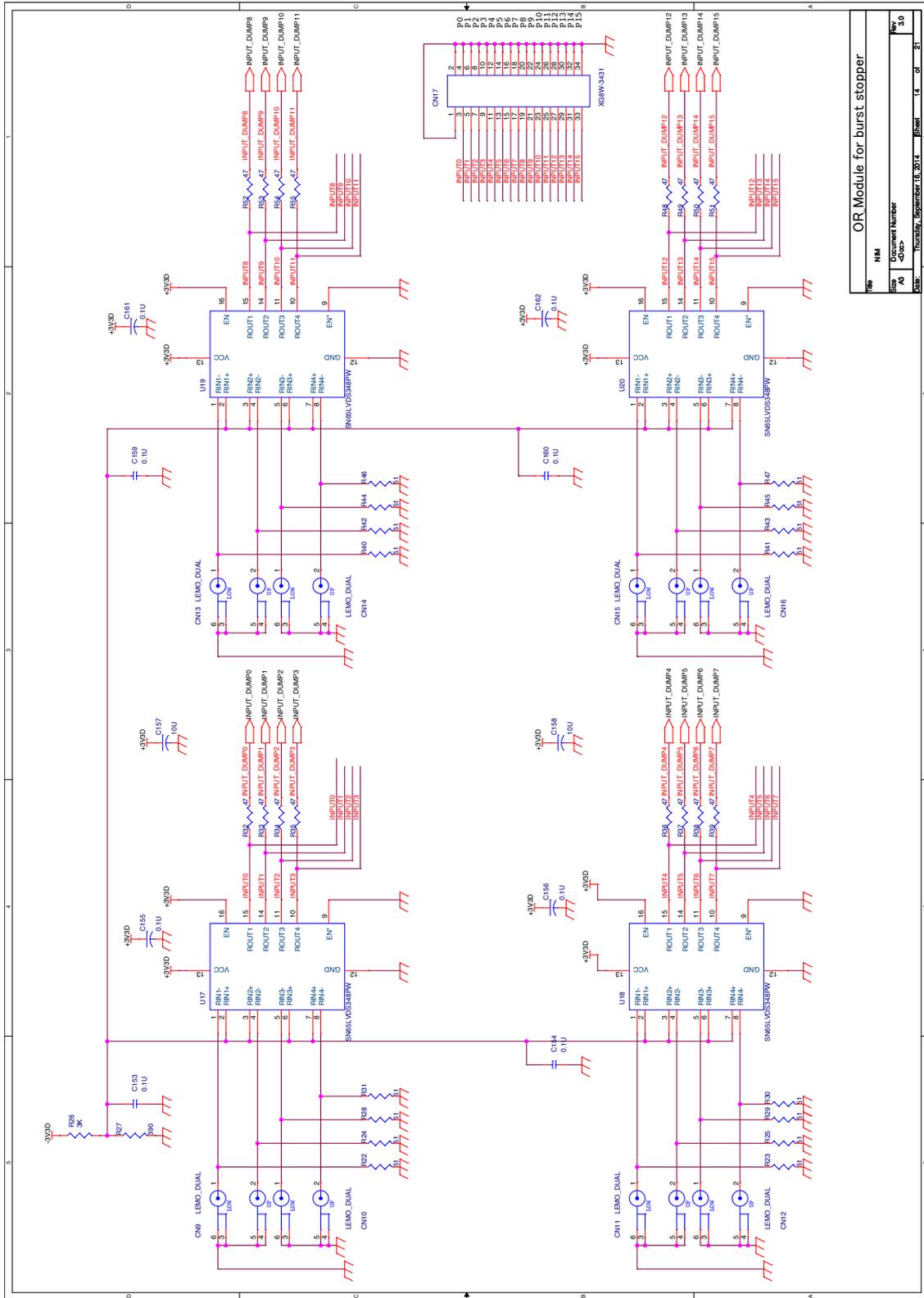


for GTP

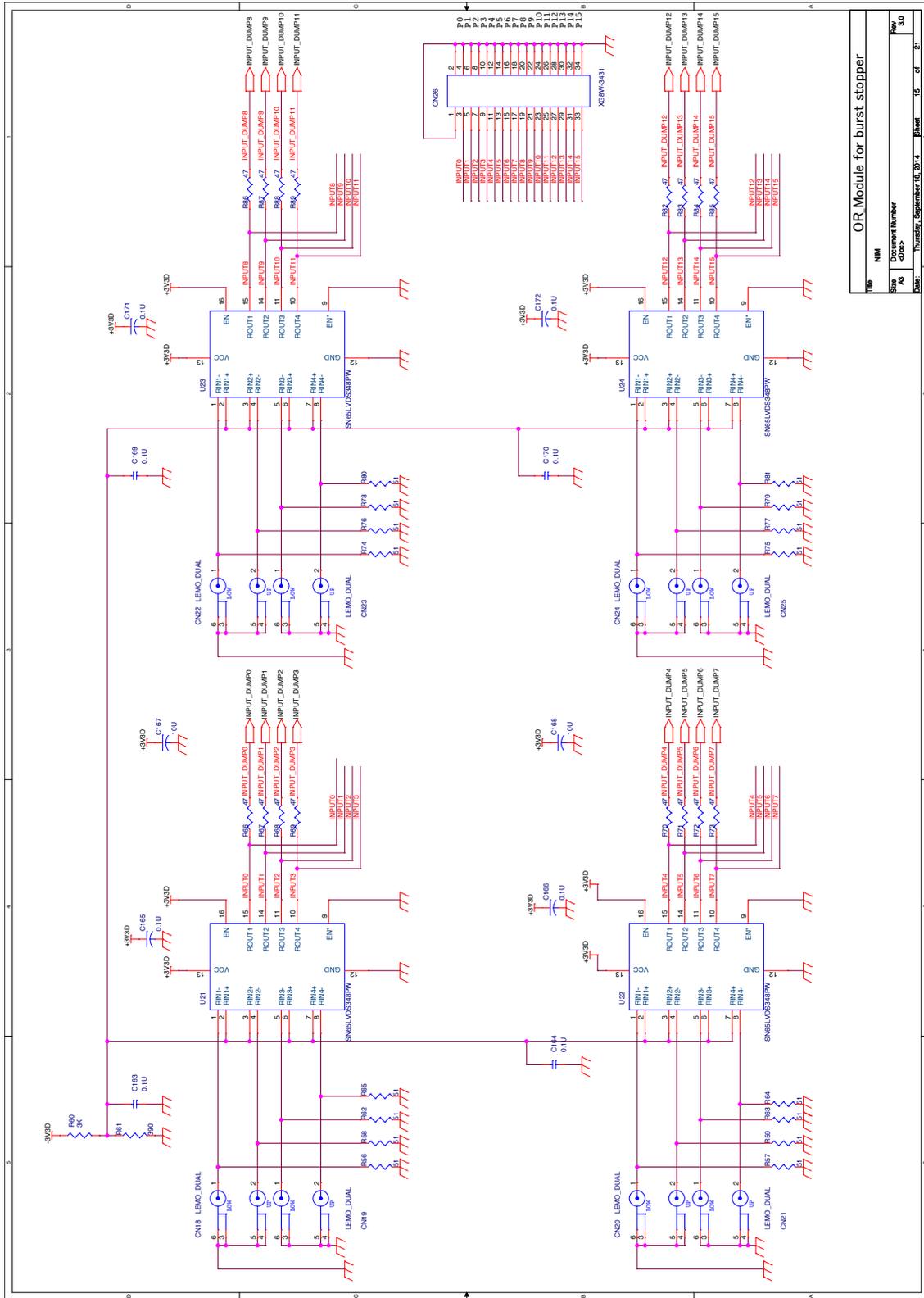
Title		OR Module for burst stopper	
Part		PGA Bank 213/216 for GTP	
Rev	Document Number	Rev	3.0
0000			
Date:	Thursday, September 13, 2014	Sheet	18 of 21



Title		OR Module for burst stopper	
File		NMLOCKIN.MDT	
Sheet	Document Number		
70			
Date:	Thursday, September 15, 2011	Sheet	13 of 21

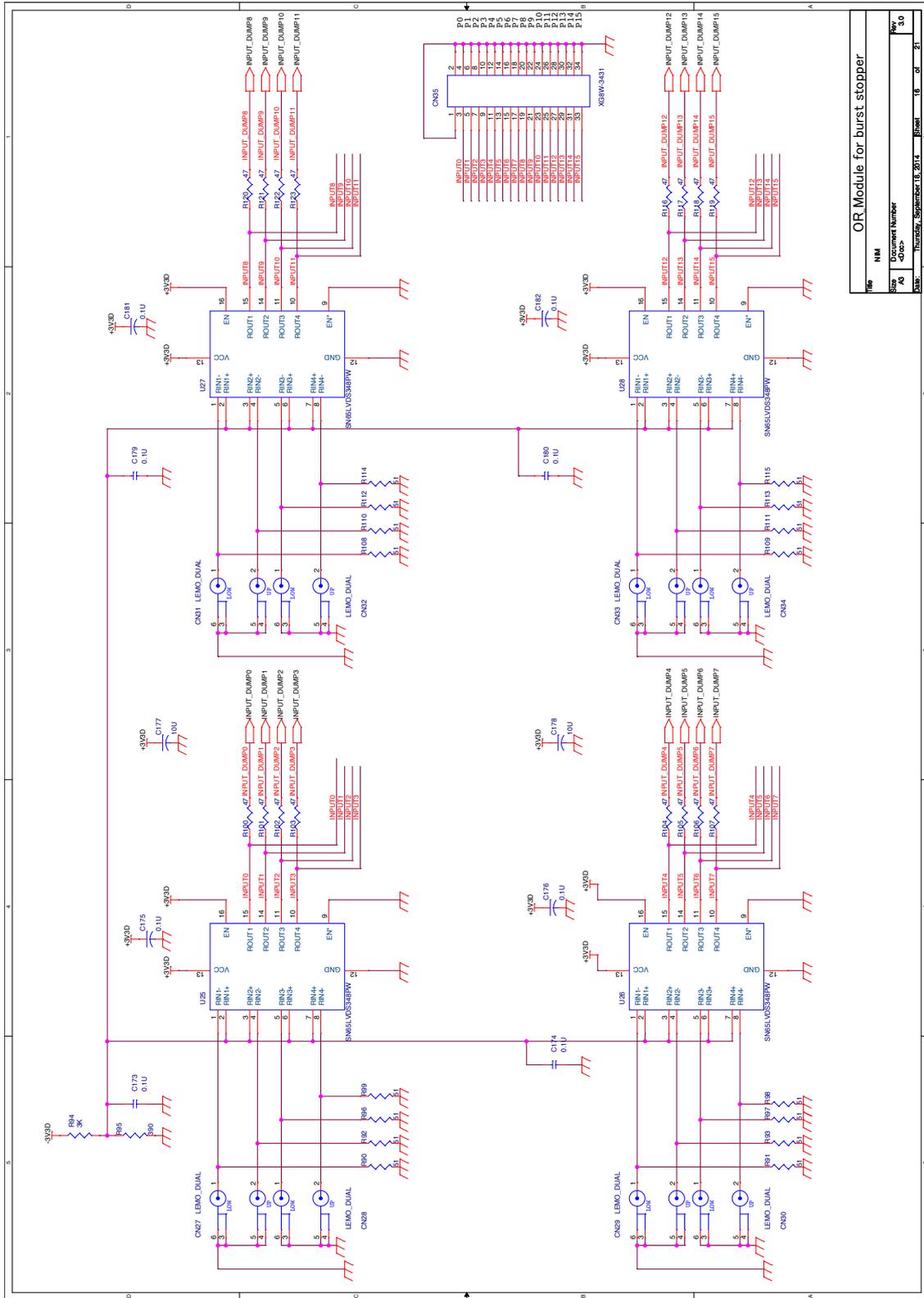


File	NIM
Size	Document Number
AD	<Doc>
Doc	Thursday, September 18, 2014
	Sheet 14 of 21
	Rev 3.0



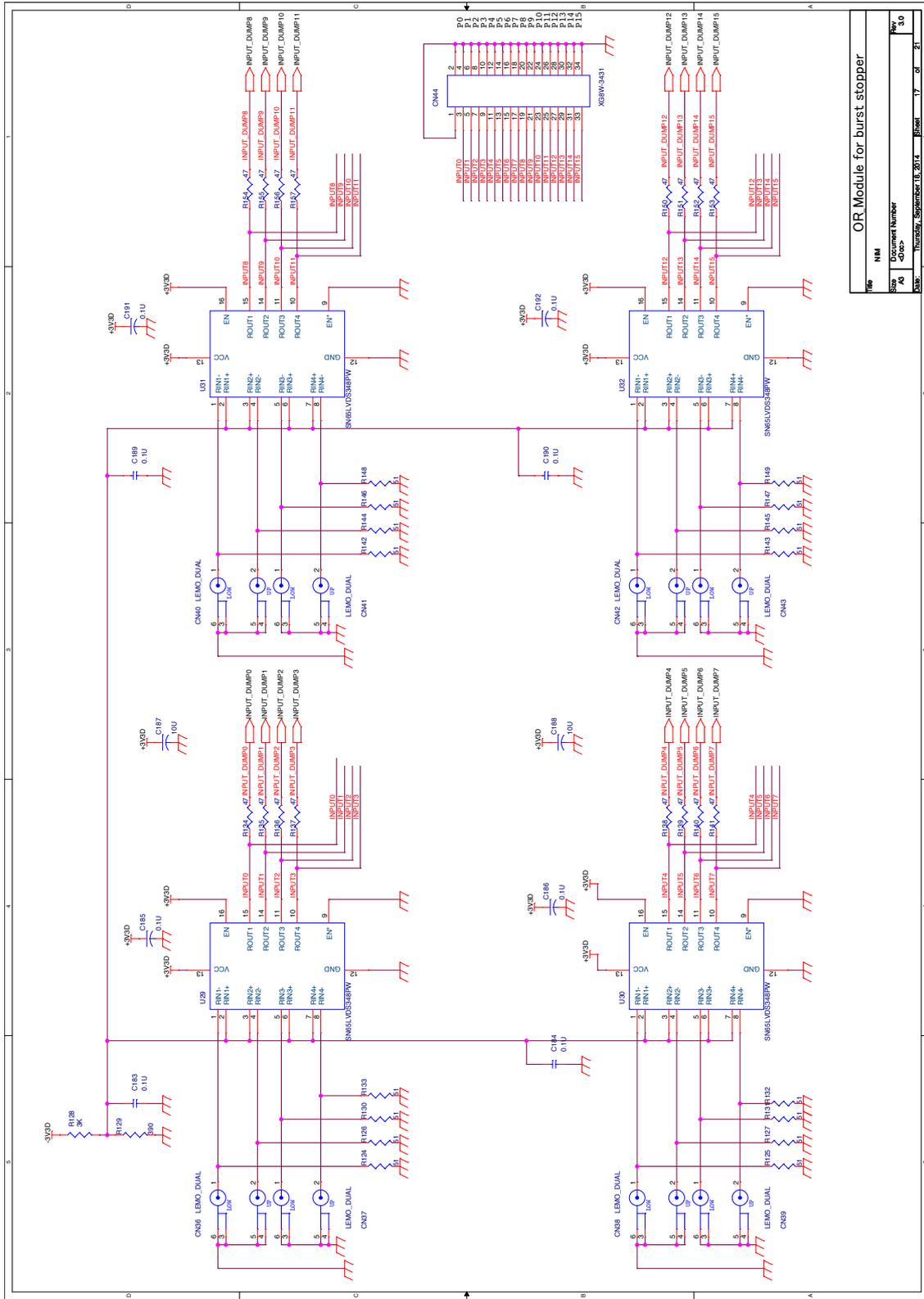
File	NIM
Size	Document Number
AD	<Doc>
Doc	Thursday, September 18, 2014
Sheet	15 of 21

**OR Module for burst stopper**



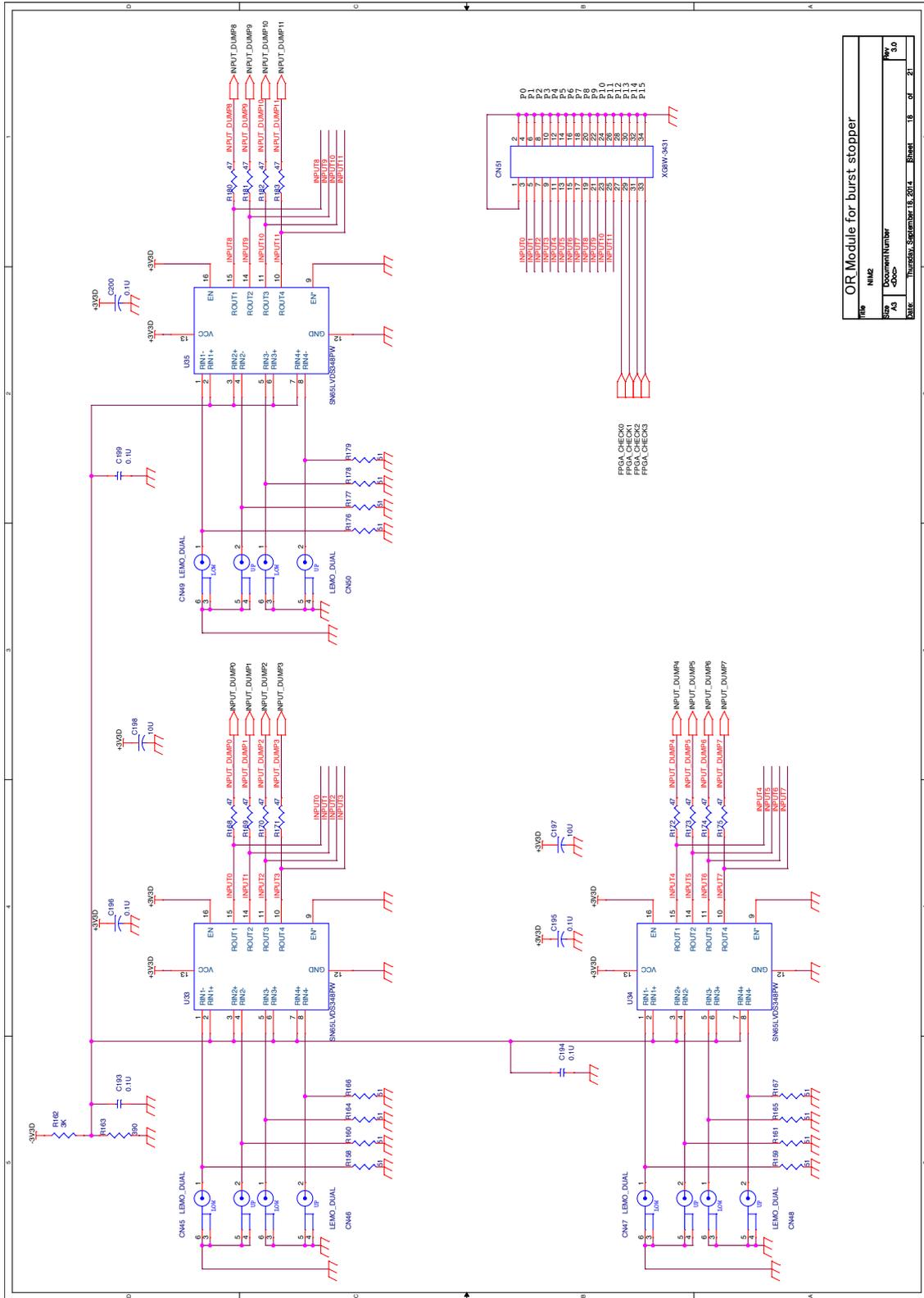
File	NIM
Size	Document Number
AD	<Doc>
Doc	Thursday, September 18, 2014
Sheet	16 of 21

OR Module for burst stopper



File	NIM
Size	Document Number
AD	<Doc>
Rev	9.0
Doc	Thursday, September 18, 2014
Sheet	17 of 21

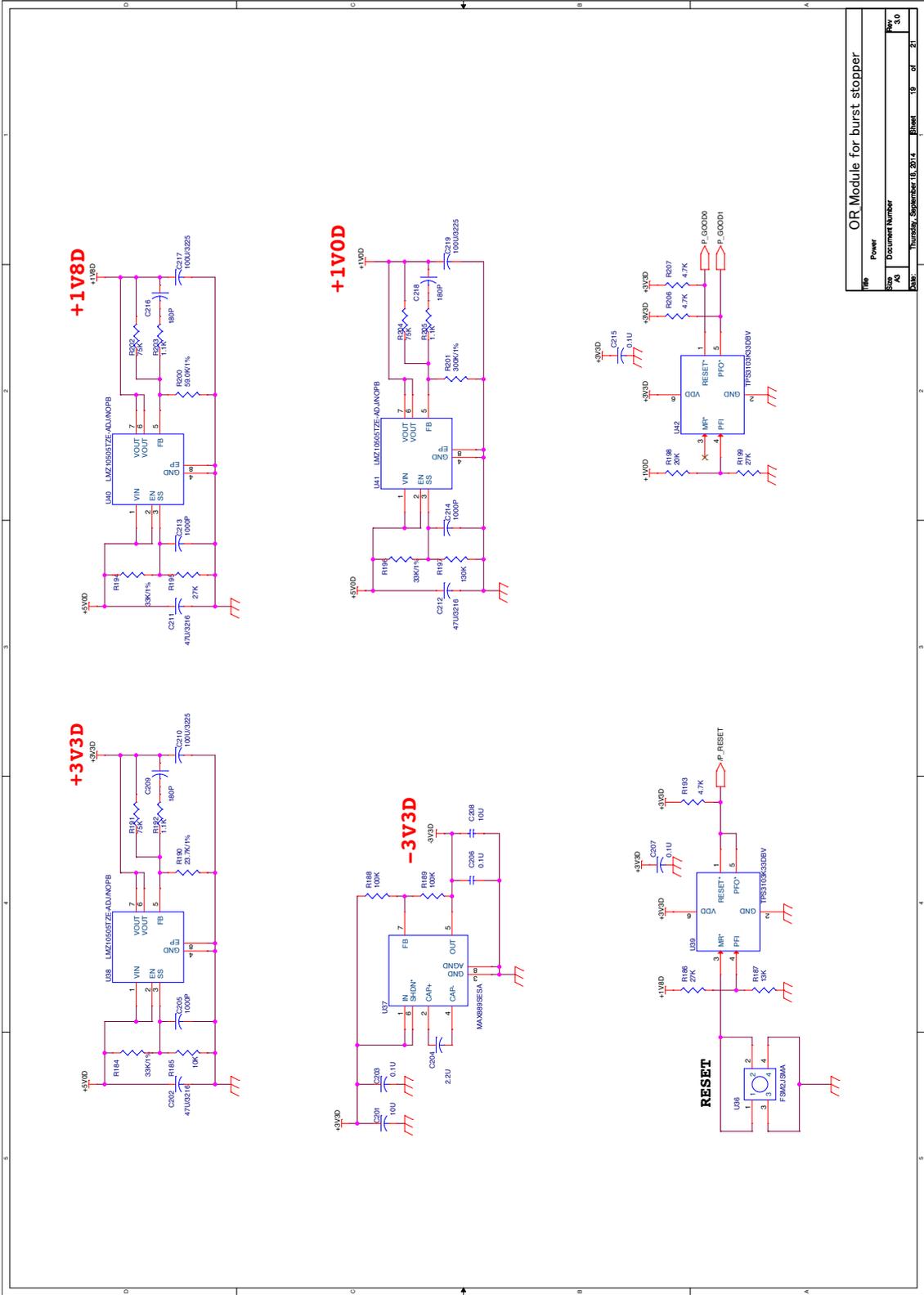
**OR Module for burst stopper**



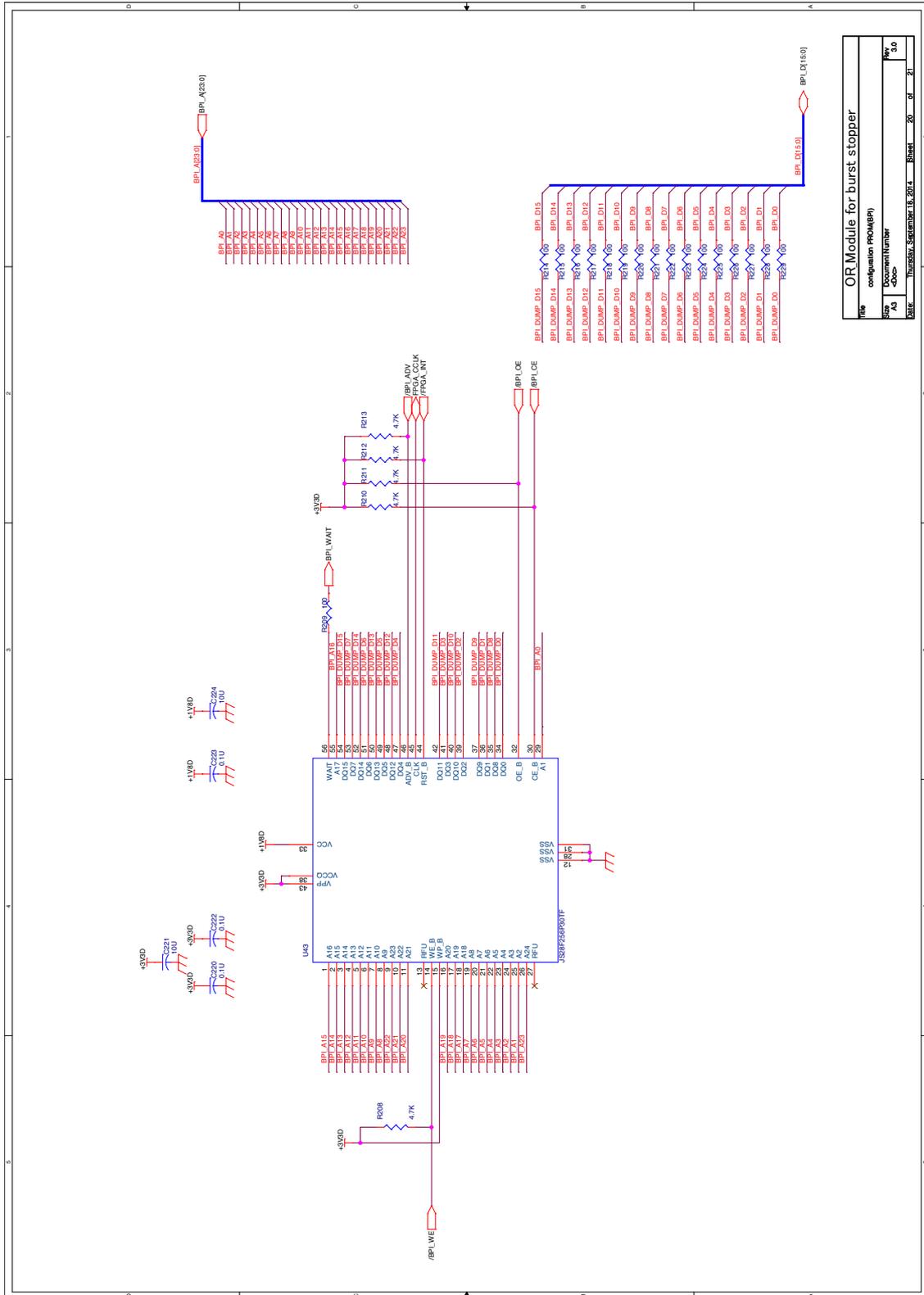
Pin	Signal
1	INPUT0
2	INPUT1
3	INPUT2
4	INPUT3
5	INPUT4
6	INPUT5
7	INPUT6
8	INPUT7
9	INPUT8
10	INPUT9
11	INPUT10
12	INPUT11
13	INPUT12
14	INPUT13
15	INPUT14
16	INPUT15
17	INPUT16
18	INPUT17
19	INPUT18
20	INPUT19
21	INPUT20
22	INPUT21
23	INPUT22
24	INPUT23
25	INPUT24
26	INPUT25
27	INPUT26
28	INPUT27
29	INPUT28
30	INPUT29
31	INPUT30
32	INPUT31
33	INPUT32
34	INPUT33
35	INPUT34
36	INPUT35
37	INPUT36
38	INPUT37
39	INPUT38
40	INPUT39
41	INPUT40
42	INPUT41
43	INPUT42
44	INPUT43
45	INPUT44
46	INPUT45
47	INPUT46
48	INPUT47
49	INPUT48
50	INPUT49
51	INPUT50
52	INPUT51
53	INPUT52
54	INPUT53
55	INPUT54
56	INPUT55
57	INPUT56
58	INPUT57
59	INPUT58
60	INPUT59
61	INPUT60
62	INPUT61
63	INPUT62
64	INPUT63
65	INPUT64
66	INPUT65
67	INPUT66
68	INPUT67
69	INPUT68
70	INPUT69
71	INPUT70
72	INPUT71
73	INPUT72
74	INPUT73
75	INPUT74
76	INPUT75
77	INPUT76
78	INPUT77
79	INPUT78
80	INPUT79
81	INPUT80
82	INPUT81
83	INPUT82
84	INPUT83
85	INPUT84
86	INPUT85
87	INPUT86
88	INPUT87
89	INPUT88
90	INPUT89
91	INPUT90
92	INPUT91
93	INPUT92
94	INPUT93
95	INPUT94
96	INPUT95
97	INPUT96
98	INPUT97
99	INPUT98
100	INPUT99

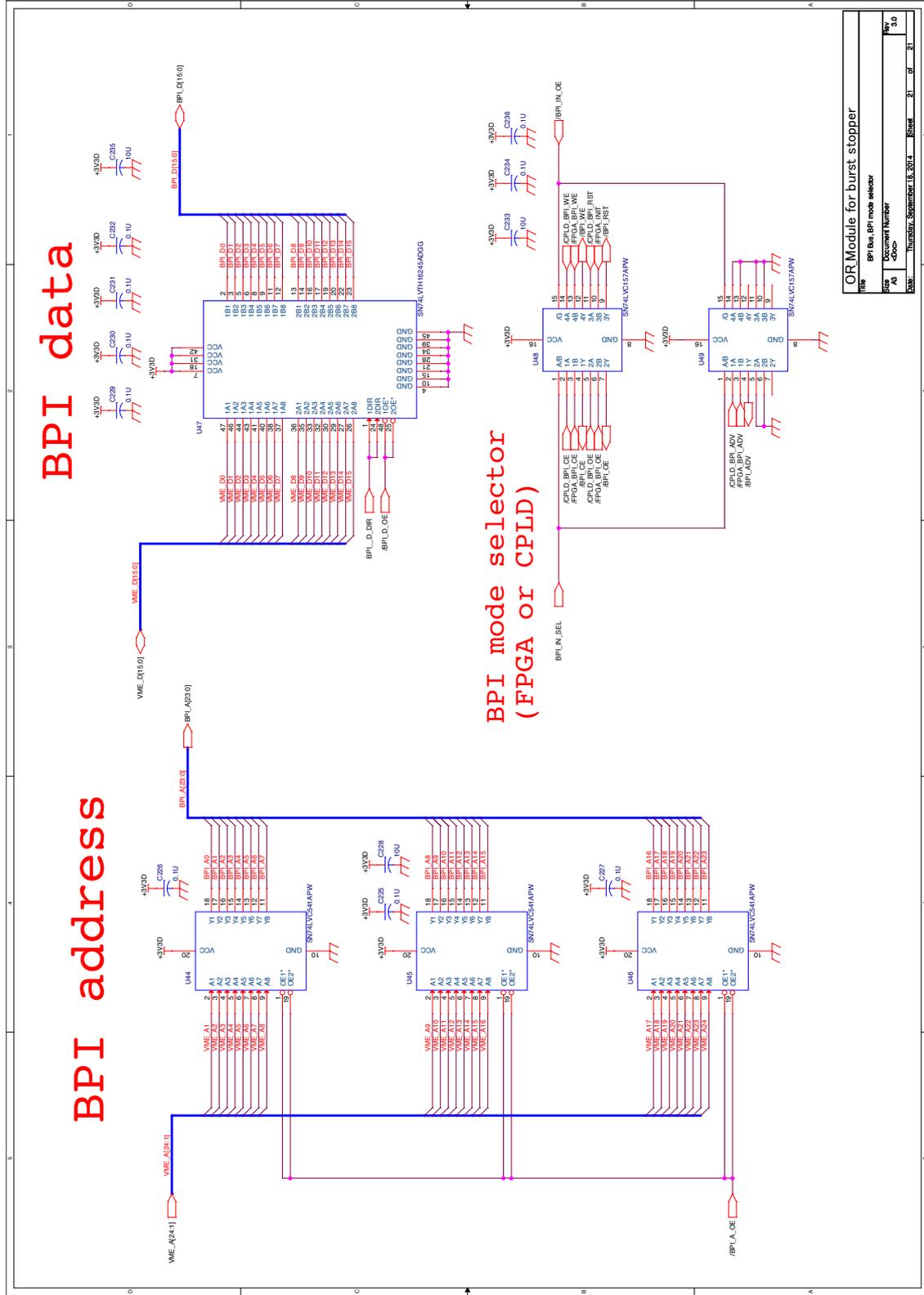
OR Module for burst stopper

Pin	Signal
1	INPUT0
2	INPUT1
3	INPUT2
4	INPUT3
5	INPUT4
6	INPUT5
7	INPUT6
8	INPUT7
9	INPUT8
10	INPUT9
11	INPUT10
12	INPUT11
13	INPUT12
14	INPUT13
15	INPUT14
16	INPUT15
17	INPUT16
18	INPUT17
19	INPUT18
20	INPUT19
21	INPUT20
22	INPUT21
23	INPUT22
24	INPUT23
25	INPUT24
26	INPUT25
27	INPUT26
28	INPUT27
29	INPUT28
30	INPUT29
31	INPUT30
32	INPUT31
33	INPUT32
34	INPUT33
35	INPUT34
36	INPUT35
37	INPUT36
38	INPUT37
39	INPUT38
40	INPUT39
41	INPUT40
42	INPUT41
43	INPUT42
44	INPUT43
45	INPUT44
46	INPUT45
47	INPUT46
48	INPUT47
49	INPUT48
50	INPUT49
51	INPUT50
52	INPUT51
53	INPUT52
54	INPUT53
55	INPUT54
56	INPUT55
57	INPUT56
58	INPUT57
59	INPUT58
60	INPUT59
61	INPUT60
62	INPUT61
63	INPUT62
64	INPUT63
65	INPUT64
66	INPUT65
67	INPUT66
68	INPUT67
69	INPUT68
70	INPUT69
71	INPUT70
72	INPUT71
73	INPUT72
74	INPUT73
75	INPUT74
76	INPUT75
77	INPUT76
78	INPUT77
79	INPUT78
80	INPUT79
81	INPUT80
82	INPUT81
83	INPUT82
84	INPUT83
85	INPUT84
86	INPUT85
87	INPUT86
88	INPUT87
89	INPUT88
90	INPUT89
91	INPUT90
92	INPUT91
93	INPUT92
94	INPUT93
95	INPUT94
96	INPUT95
97	INPUT96
98	INPUT97
99	INPUT98
100	INPUT99



File	Power
Size	Document Number
AD	
Rev	5.0
Doc	Yoursa/September 18, 2014
Sheet	19 of 21





File	BPI bus BPI mode selector		
Size	Document Number	Rev	3.0
PA	Docc-	Date	Thursday, September 15, 2011
Page	21	of	21