

修士論文

LHC-ATLAS 実験 Run-3 に向けた ミュオントリガーの改良とハードウェアへの実装

京都大学 理学研究科 物理学・宇宙物理学専攻
物理学第二教室 高エネルギー物理学研究室

学生番号 0530-28-8373

岡崎 佑太

2018年1月25日

概要

ATLAS 検出器は、欧州原子核研究機構の陽子陽子衝突型加速器、Large Hadron Collider (LHC) の衝突点の 1 つに設置された汎用検出器である。LHC は重心系エネルギー 13 TeV で 10^{11} 個の陽子バンチ同士を 40 MHz という高頻度で衝突させ、TeV 領域までの新粒子の直接探索やヒッグス粒子の精密測定などの手法で、標準模型を超えた物理にアプローチしている。

データ記録速度の限界により、LHC での 40 MHz の陽子同士の衝突の全事象を記録することはできない。また新物理に由来するような事象は稀にしか起きないため、全衝突事象の中から興味のある事象を選別し記録するために多段階のトリガーシステムを使用している。本研究で扱うのは初段の Level-1 ミューオントリガーである。2.5 μs 以内に高速で事象選別を行うためハードウェアで実装され、ミューオンの横運動量に閾値を設けて事象選別を行う。

LHC は 2018 年末から 2021 年まで加速器のアップグレードを行い、アップグレード後の Run-3 では重心系エネルギー 14 TeV、瞬間ルミノシティは現在の約 1.5 倍の $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転する予定である。ルミノシティの増加に伴いトリガーレートが増加するが、Level-1 ミューオントリガーの許容値 15 kHz は変化しないので、このままでは横運動量の閾値を上げるなどの対策が必要になるが、その場合物理に対する感度を失ってしまうため高輝度環境を活かせない。

現在のミューオントリガーの問題点は、衝突点由来でない荷電粒子や閾値以下のミューオンによってトリガーを発行している点である。そのようなバックグラウンド事象を減らしつつ、興味のある物理事象の取得効率を維持するトリガーロジックの開発が必要となる。私は、Run-3 から新たに ATLAS 検出器に導入される New Small Wheel (NSW) と RPC BIS 7/8 の情報と、現行のトリガー検出器である Thin Gap Chamber (TGC) の情報を組み合わせるトリガーロジックの開発のために 2 つの研究を行った。

1 つ目の研究として、シミュレーションデータを用いて RPC BIS 7/8 の位置情報と角度情報を用いる新ロジックを考案し、性能評価を行った。新ロジックを用いることでコインシデンスをとる領域で効率を 99 % 以上に保ちながら、最大 80 % のトリガーレートの削減が可能であることを示した。

2 つ目の研究として、Level-1 ミューオントリガー判定ボードである New Sector Logic の開発を行った。開発したトリガーロジックを実装するため、回路設計の変更が容易な大規模ロジックを実装することができる集積回路 FPGA(Field-Programmable Gate Array) を用い、そこに実装するファームウェアのデザインを行った。同様に NSW と TGC の情報を組み合わせるトリガーロジックを実装するファームウェアのデザインも行った。これらのファームウェアが正しく動き、Run-3 で要求された時間内に正しくトリガー判定されていることを確認した。

目次

第1章 序論	1
第2章 LHC と ATLAS 検出器	3
2.1 LHC	3
2.2 ATLAS 実験で目指す物理	3
2.3 ATLAS 検出器	7
2.3.1 ATLAS 実験で用いる座標	7
2.3.2 超伝導磁石	8
2.3.3 内部飛跡検出器	9
2.3.4 カロリーメータ	11
2.3.5 ミューオン検出器	13
2.4 トリガーシステム	18
2.4.1 Level-1 Trigger	18
2.4.2 High Level Trigger	20
2.5 Run-3 に向けたアップグレード	20
2.5.1 New Small Wheel	21
2.5.2 BIS 7/8 のアップグレード	25
第3章 ATLAS Level-1 エンドキャップミュオントリガー	28
3.1 現行の Level-1 エンドキャップミュオントリガー	28
3.1.1 Thin Gap Chamber	28
3.1.2 トリガーセクター	28
3.1.3 Level-1 ミューオンエンドキャップトリガー判定の概要	31
3.1.4 エレクトロニクス	31
3.2 ミューオントリガーのアップグレード	38
3.2.1 ミューオントリガーアップグレードの重要性	38
3.2.2 ミューオントリガーアップグレードの概要	38
3.2.3 Run-3 で用いられるエレクトロニクス	40
3.2.4 データ読み出しシステムのアップグレード	43

第 4 章	RPC BIS 7/8 を用いたトリガーロジックの開発	44
4.1	位置情報を用いたロジック	44
4.1.1	位置情報を用いたロジックの概要	44
4.1.2	位置情報を用いたロジックのための Coincidence Window の定義	44
4.1.3	位置情報を用いたロジックの性能評価	49
4.2	角度情報を用いたロジック	49
4.2.1	角度情報を用いたロジックの概要	49
4.2.2	角度情報を用いたロジックのための CW の定義	53
4.2.3	角度情報を用いたロジックの性能評価	54
4.3	実データを使ったトリガーレートの評価	58
4.3.1	衝突点由来でない荷電粒子由来のトリガーに対する削減の見積もり	59
4.3.2	トリガーレートの見積もり	61
第 5 章	トリガー判定ボード New Sector Logic	63
5.1	New Sector Logic の概要	63
5.1.1	New Sector Logic に対する要求性能	63
5.1.2	New Sector Logic のデザイン	64
5.1.3	主な IC チップ	65
5.1.4	入出力ポート	65
5.2	New SL の受信データ	66
5.2.1	現行 TGC からのデータフォーマット	66
5.2.2	TMDB から受け取るデータフォーマット	67
5.2.3	RPC BIS 7/8 から受け取るデータフォーマット	68
5.2.4	New Small Wheel から受け取るデータフォーマット	69
5.3	Run-3 でのデータ受信機能の変更点	72
5.3.1	GTX 通信	72
5.3.2	異なるデータ転送レートでの受信のための GTX の設定	76
5.3.3	GTX 通信を用いた異なるデータ転送レートでの受信テスト	78
5.4	New SL の送信データ	81
5.4.1	MuCTPi ボードへの送信データ	81
第 6 章	New Sector Logic に実装するトリガー用 Firmware デザインの開発	82
6.1	New Small Wheel のトラック情報を用いたトリガーロジック	82
6.2	New SL に実装する Firmware の概要	86
6.2.1	リードアウトファームウェアの概要	86
6.2.2	トリガーファームウェア	87
6.2.3	トリガーファームウェアの概要	87

6.3	TGC-BW Coincidence の実装	88
6.3.1	要求性能	88
6.3.2	ミューオンのヒット位置と p_T の決定	89
6.4	Decoder の実装	92
6.5	BW-Inner Coincidence の実装	94
6.5.1	BW-NSW Coincidence の実装	96
6.5.2	BW-RPC BIS 7/8 Coincidence の実装	102
6.6	track selector の実装	106
6.7	動作試験	109
第 7 章	結論と今後の展望	112
	謝辞	114
	参考文献	115
付 録 A	リードアウト機能	117
A.1	読み出し Firmware の概要	117
A.1.1	Derandomizer	117
A.1.2	Zero Suppress	119
付 録 B	MuCTPi との接続テスト	121
B.1	Bit Error Ratio 測定	121
B.2	Latency 測定	123

第1章 序論

欧州原子核研究機構 (CERN) に設置された Large Hadron Collider (LHC) は、世界最高エネルギーの陽子陽子衝突型の加速器である。2017年現在、LHCは重心系エネルギー 13 TeV、バンチ衝突頻度 40 MHz で運転しており、最高瞬間ルミノシティは $2.06 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ を達成した。LHCは2018年末から2021年までの間、アップグレードのための長期のシャットダウンを行う。アップグレード後の2021年以降は、重心系エネルギー 14 TeV、瞬間ルミノシティ $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ での運転 (Run-3) が予定されている。

ATLAS 実験は LHC の衝突点の 1 つに設置された ATLAS 検出器を用いて、高エネルギー領域での物理事象の精密測定を行っている。標準模型を超えた新物理の主なターゲットとして、超対称性粒子 (SUSY) や暗黒物質などの探索が行なわれている。また、Higgs 粒子と標準模型粒子の結合定数の測定などの標準模型の精密検証なども行っている。

ATLAS 実験では陽子の塊 (バンチ) を 40 MHz という高頻度で衝突させ、物理データを取得している。しかしデータ記録速度の限界により、全事象を記録することができない。そこで多段階のトリガーシステムを用いることで、興味のある物理事象を効率よく取得している。ATLAS 実験で用いられるトリガーは Level-1、High Level Trigger (HLT) の 2 段階で構成されている。特に Level-1 トリガーは 40 MHz で起こる全ての陽子陽子衝突に対して $2.5 \mu\text{s}$ 以内にトリガー判定を行い、100 kHz までトリガーレートを落とさなければならない。対象とする信号ごとに複数種類用意されているトリガーのうち、ミュオントリガーはミュオンの横運動量に閾値を設けることで事象選別を行っている。私は新しく開発されたトリガー判定用ハードウェア (New Sector Logic) を用いて、Run-3 のエンドキャップ部 Level-1 ミュオントリガーの開発を行った。

エンドキャップミュオントリガーは Thin Gap Chamber (TGC) という検出器で得られるヒット情報を用いて事象選別を行っている。TGC はトロイド磁場の外側に設置されており、TGC のヒット情報から磁場の外側での飛跡を再構成する。その飛跡を用いて磁場中での曲がり具合を見積もり、 p_T を算出してトリガーを発行している。現在の Level-1 ミュオントリガーでは、衝突点由来でない荷電粒子や閾値以下のミュオンによってトリガーが発行されてしまうという問題が生じている。このままでは Run-3 以降のミュオントリガーのレートは約 28 kHz となってしまう、Level-1 ミュオントリガーの要求値 15 kHz を超えてしまう。Run-3 以降では磁場の内側に New Small Wheel と RPC BIS 7/8 という検出器を新たに導入し、磁場の内側での飛跡情報を用いてトリガーを発行する。磁場の内側の飛跡情報を用いることで衝突点由来でない荷電粒子や閾値以下のミュオンによるトリガーを削減し、要求値である 15 kHz の Level-1 ミュオントリガーレートを達成しようとしている。

本論文では、第 2 章で LHC と ATLAS 検出器の概要について述べ、第 3 章で Level-1 エンドキャップ

ミューオントリガーについて説明する。第4章ではシミュレーションを用いてRPC BIS 7/8とTGCの飛跡情報を用いた新たなトリガーロジックについて説明し、性能評価の結果を述べる。第5章では、トリガーロジックを実装するNew Sector Logicボードの概要を述べ、第6章では先行研究で開発されたNew Small Wheelを用いたトリガーロジックと合わせて、New Sector LogicボードのFPGAに記述するFirmwareと動作試験の結果を詳しく説明する。

第2章 LHC と ATLAS 検出器

この章では LHC、ATLAS 実験について説明し、2021 年以降の Run-3 に向けたアップグレードの内容について説明する。

2.1 LHC

LHC はスイス・フランス国境のジュネーブ近郊の欧州原子核研究機構 (CERN) に設置された世界最大最高エネルギーの陽子陽子衝突型加速器である。周長が約 27 km であり、現在は重心系エネルギー 13 TeV で運転している。

LHC は 2010 年から本格的に稼働し、2012 年までの間、重心系エネルギー 7~8 TeV、最高瞬間ルミノシティ $0.77 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行った。この期間を LHC Run-1 と呼ぶ。その後の 2013 年から 2015 年の間、LHC は運転を休止し、加速器のアップグレードを行った。2015 年から現在までは、重心系エネルギー 13 TeV、最高瞬間ルミノシティ $2.06 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転している。2018 年の年末まで運転予定であり、この期間を Run-2 と呼ぶ。ATLAS が LHC から供給された積分ルミノシティの時間遷移を図 2.1 に示す。

LHC は 2018 年末から約 2 年間のシャットダウン期間中にアップグレードを行う予定である。2021 年以降の Run-3 では、重心系エネルギーが 14 TeV に上昇し、瞬間ルミノシティが現在の約 1.5 倍の $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を行う予定である。

2.2 ATLAS 実験で目指す物理

ATLAS 実験の重要な目的の一つとして、Higgs 粒子の精密測定がある。現在、Higgs 粒子を生成できる加速器は LHC のみであるため、ATLAS 実験で Higgs 粒子の精密測定を行うことは非常に重要である。もう一つの目的は標準模型を超えた新粒子の探索である。LHC は世界最高エネルギーの加速器であるので、超対称性粒子 (SUSY 粒子) や暗黒物質などの標準模型を超えた新粒子の探索を TeV スケールまで行うことができる。

Higgs 粒子の精密測定

Higgs 粒子は標準模型の中の粒子でも特殊な粒子である。Higgs 粒子は標準模型の粒子と結合し、質量を与えるという特殊な性質を持ち、標準理論では Higgs 粒子とフェルミオンの結合定数とフェルミオ

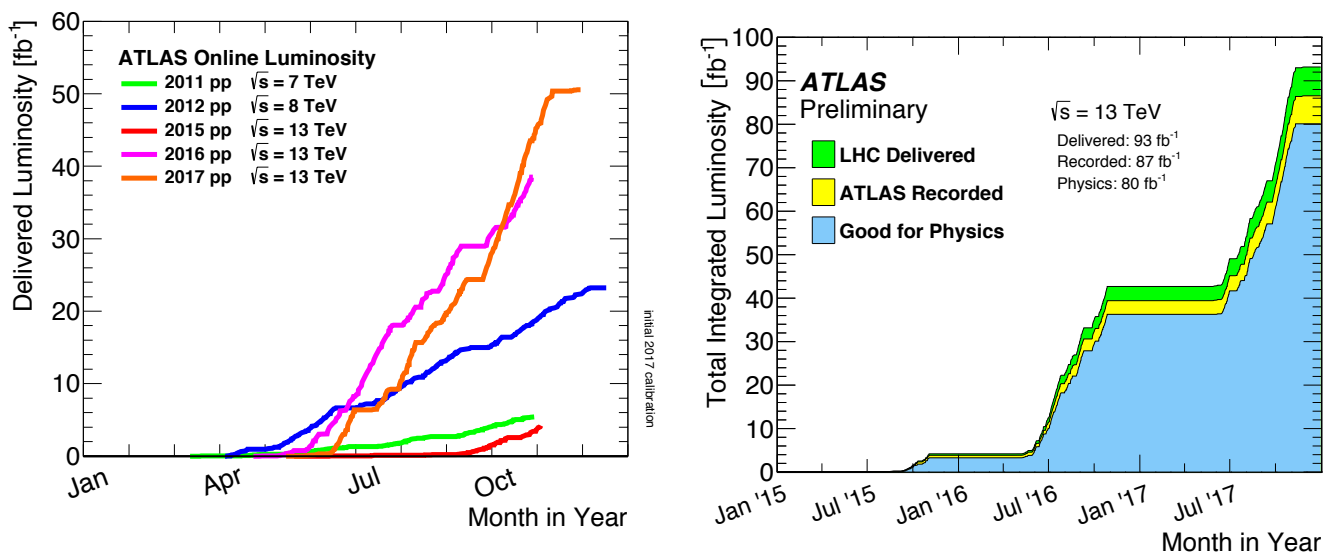


図 2.1 (左) Run-1、Run-2 における、LHC が年ごとに ATLAS に供給した積分ルミノシティの遷移。(右) Run-2 での LHC が供給した積分ルミノシティ、ATLAS がデータ記録を行った積分ルミノシティ、物理解析に用いることができる積分ルミノシティの時間遷移。

表 2.1 Higgs 粒子の主な崩壊分岐比

崩壊過程	$H \rightarrow b\bar{b}$	$H \rightarrow \tau\bar{\tau}$	$H \rightarrow c\bar{c}$	$H \rightarrow gg$	$H \rightarrow \gamma\gamma$	$H \rightarrow Z\gamma$	$H \rightarrow WW$	$H \rightarrow ZZ$
分岐比 (%)	58.09	6.26	2.88	8.18	0.23	0.15	21.52	2.64

ンの質量は比例すると考えられている。また標準理論を超えるような新物理の寄与があれば、Higgs 粒子の湯川結合定数のズレが観測される可能性があり、標準理論の精密な検証は新物理発見の手がかりとなる。

図 2.2、2.3 に LHC での Higgs 粒子生成過程と崩壊過程を、表 2.1 に崩壊分岐比を示す。Higgs 粒子の生成過程や崩壊過程を種類ごとに分けて解析することにより、Higgs 粒子と他の粒子との結合定数を測定している。図 2.4 に Run-2 における Higgs 粒子の生成断面積を示す。図 2.5 に Run-1 における Higgs 粒子の崩壊の信号強度を示す。今後は、より多くのデータを取得し、さらに精密な標準理論の検証を行う。

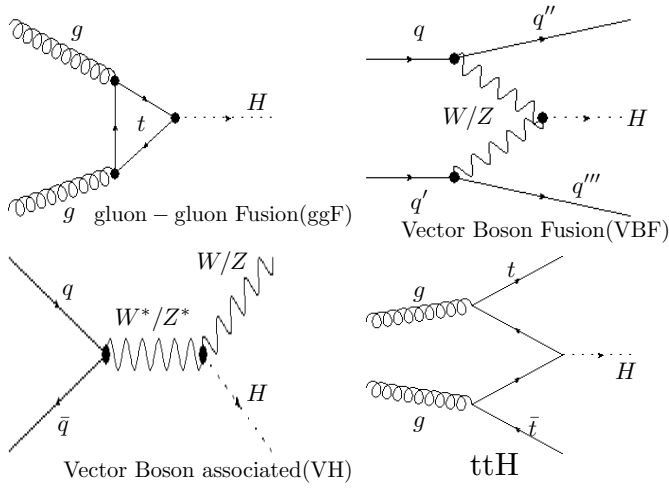


図 2.2 Higgs 粒子の生成過程。

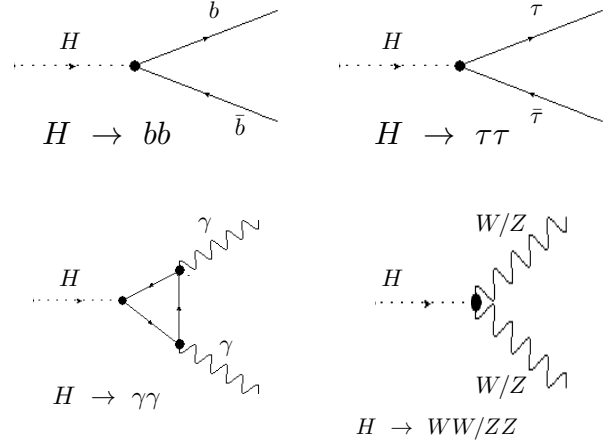


図 2.3 Higgs 粒子の主な崩壊過程。

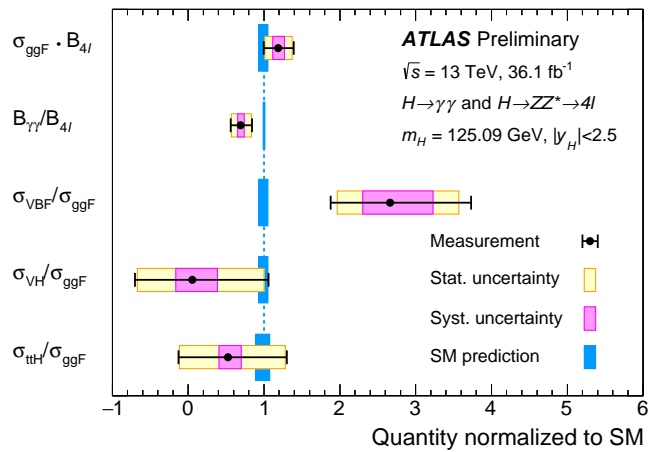


図 2.4 Run-2 で測定された、Higgs 粒子の生成断面積と $H \rightarrow \gamma\gamma$ と $H \rightarrow ZZ^* \rightarrow 4l$ の崩壊幅 [1]。全て理論値で規格化されている。理論値からの有意なズレは見られない。

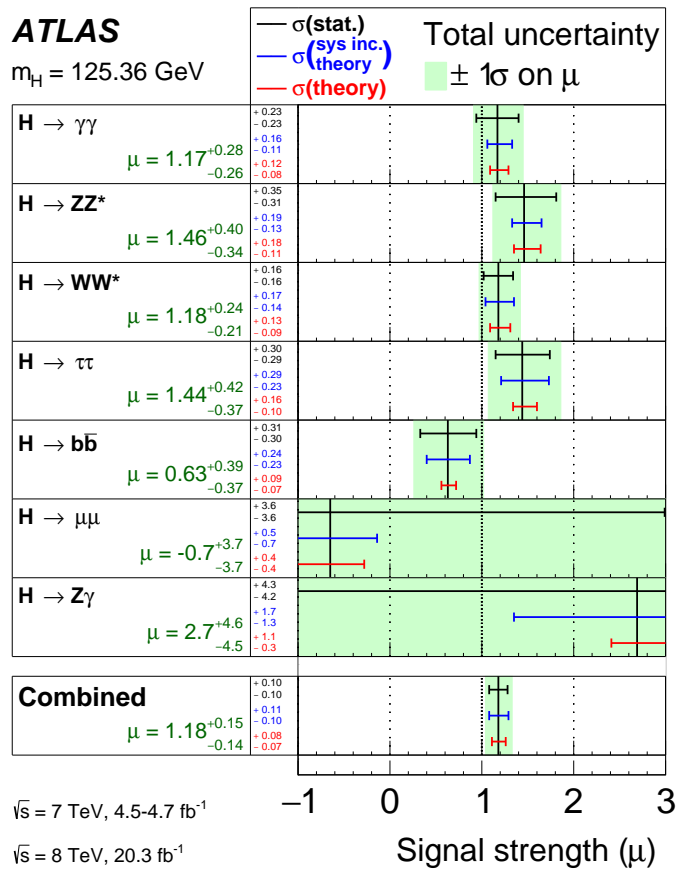


図 2.5 Run-1 での Higgs 粒子の崩壊の信号強度 [2]。Signal Strength(μ) の定義は $\mu = (\text{観測された事象数})/(\text{標準理論で予想される事象数})$ 。Run-2 での結果は現在解析中である。Run-1 時点では、標準理論予想との有意な差は見えていない。

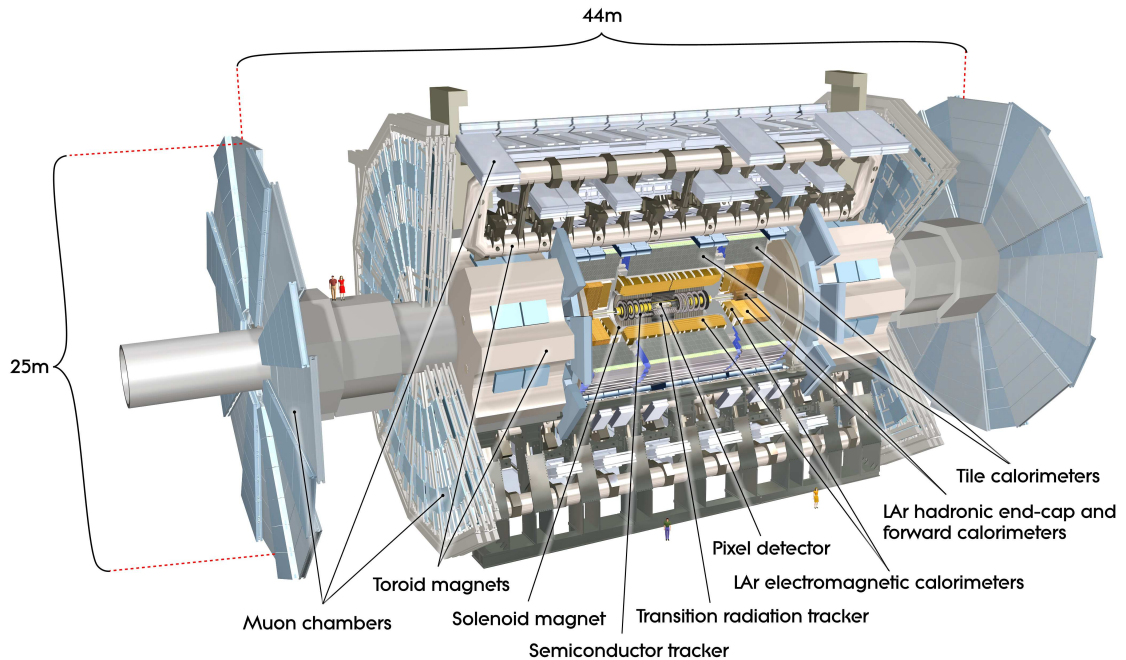


図 2.6 ATLAS 検出器の全体図 [3]。直径 25 m、長さ 44 m の円筒型をしており、全体の重量は約 7000 トンである。内側から、内部飛跡検出器、カロリメータ、ミュオン検出器の順で設置されている。また超伝導磁石も設置されている。

2.3 ATLAS 検出器

ATLAS 検出器は LHC の衝突点の 1 つに設置されており、直径 25 m、長さ 44 m の円筒型の検出器である。全体図を図 2.6 に示す。ATLAS 検出器は大きく分けると内側から内部飛跡検出器、ソレノイド磁石、カロリメータ、トロイド磁石、ミュオン検出器で構成されている。それぞれの検出器で得られる情報を組み合わせて粒子識別やエネルギーの測定、磁場を用いて運動量の測定を行う。

以下では、各検出器の概要を説明する。

2.3.1 ATLAS 実験で用いる座標

ATLAS 実験では直交座標と円筒座標の 2 種類の座標系を用いる。どちらの座標系でも衝突点を原点とする。

図 2.7 に示すように、直交座標では右手系を採用しており、ビーム軸を z 軸、地面に垂直に y 軸をとり、上向きを正とする。また z 軸、 y 軸と直交するように x 軸を設定し、LHC のリング中心に向かう方向を正とする。また曲座標系では動径方向を R 、方位角を ϕ とする。

ATLAS 実験で用いられるパラメータとして擬ラピディティ η を導入する。 η は円筒座標系の θ を用いて $\eta = -\ln(\tan \frac{\theta}{2})$ と定義される。ATLAS 検出器は側面の Barrel 部分と底面の Endcap 部分に分ける

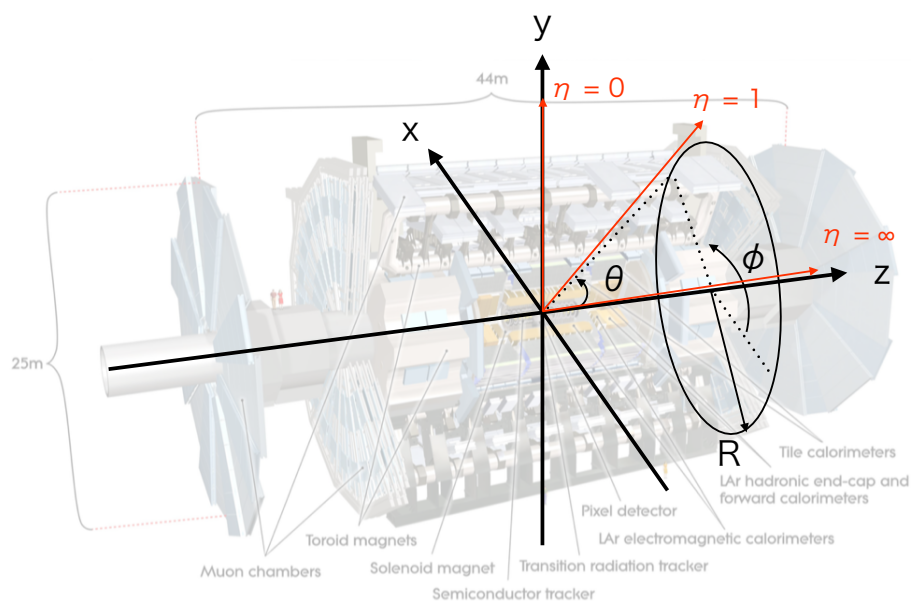


図 2.7 ATLAS 実験で用いられる座標系。直交座標では LHC のリング中心に向かう方向に x 軸、天頂方向に y 軸、ビーム軸方向に z 軸を定義する。円筒座標系では円筒の動径を R 、方位角を ϕ で定義する。図中の η は天頂角 θ を用いて $\eta = -\ln(\tan \frac{\theta}{2})$ で定義されている。

ことができ、それぞれの部分で検出器の配置や構成が大きく異なる。ミュオン検出器では $|\eta| < 1.0$ の領域が Barrel 部分、 $\eta > 1.0$ の領域が Endcap 部分である。

ATLAS 実験では陽子と陽子を衝突させているが、実際に反応を起こしているのは quark や gluon である。そのため実際に衝突した quark や gluon のビーム軸方向のエネルギーや運動量はわからず、保存則を用いることができない。しかしビーム軸に垂直な方向では、エネルギーや運動量が保存しており、保存則を用いて計算することができる。そのため、しばしば粒子のエネルギーや運動量のビーム軸に垂直な成分である横エネルギー E_T や横運動量 p_T を用いる。またビーム軸に垂直な成分では保存則を用いることができるため、ニュートリノなどの検出できない粒子のエネルギーは消失横方向エネルギー Missing E_T (E_T^{miss}) と呼ばれるエネルギーの 2 次元のベクトル和として得ることができる。

2.3.2 超伝導磁石

ATLAS 実験では荷電粒子の運動量測定のために超伝導磁石を用いている。図 2.8 に各超伝導磁石の配置を示す。超伝導磁石は 2 種類あり、1 つは衝突点付近で発生した荷電粒子の運動量測定のために用いられるソレノイド磁石である。もう 1 つはミュオンの運動量測定のために用いられるトロイド磁石である。トロイド磁石は Barrel 部分と Endcap 部分に分けられ、それぞれ ϕ 方向に等間隔で 8 つずつ配置されている。ただし、エンドキャップ部のトロイド磁石はバレル部に対して 22.5 度回転した状態で配置されている。

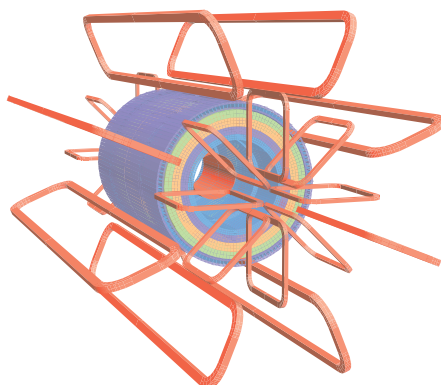


図 2.8 ATLAS 実験で用いられる超伝導磁石の配置 [3]。バレル部とエンドキャップ部の境界での磁場の干渉を考慮して、トロイド磁石は Barrel 部分と Endcap 部分でずらして設置している。

2.3.3 内部飛跡検出器

ATLAS 実験では物理解析に用いられる運動量の計算には内部飛跡検出器で再構成したトラック情報を用いている。vertex や飛跡の位置分解能は重要である。40 MHz で起こるバンチ衝突ごとに、 $|\eta| < 2.5$ の領域に衝突点から約 1000 個の粒子が飛来する。そのため衝突点近くでの高い位置と運動量分解能が必要となる。

内部飛跡検出器の構成を図 2.9 に示す。内部飛跡検出器は内側から順に、Insertable B-Layer (IBL)、Pixel 検出器、Semiconductor Tracker (SCT)、Transition Radiation Tracker (TRT) で構成されている。これらの検出器はソレノイド磁石の内側に設置されている。荷電粒子の飛跡は z 軸方向にかけられた磁場によって曲げられ、その曲がり具合から運動量を測定する。

Insertable B-Layer

Insertable B-Layer (IBL) はビーム軸から約 30 mm 離れた位置に設置された Pixel 検出器である。ピクセルサイズは $\Delta\phi \times \Delta z = 50 \mu\text{m} \times 250 \mu\text{m}$ である。IBL は最内層に設置されており、これを用いることで衝突点から離れた位置の 2 次崩壊の測定精度が高くなる。図 2.10 に IBL の有無による、再構成した Primary vertex の位置分解能と効率のピルアップ依存性を示す。IBL を導入することで、高ピルアップ環境でも位置分解能がよく、vertex の再構成効率を高く維持できる。

Pixel 検出器

Pixel 検出器は Barrel 部分に同心円状に 3 層、Endcap 部分にディスク状のものを 3 層設置している。ピクセルサイズは $\Delta\phi \times \Delta z(\Delta R) = 50 \mu\text{m} \times 400 \mu\text{m}$ である。位置測定の分解能は、 ϕ 方向に $10 \mu\text{m}$ 、 z (R) 方向に $115 \mu\text{m}$ である。

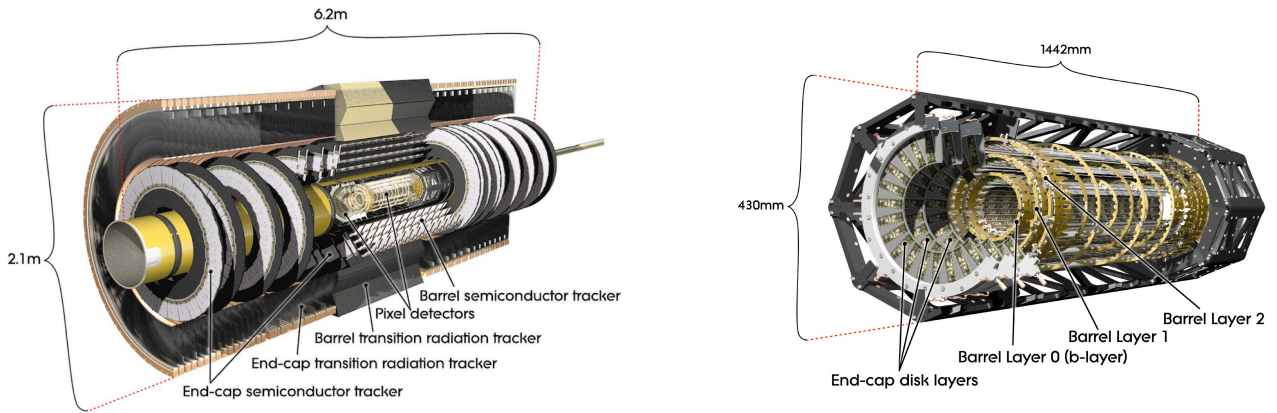
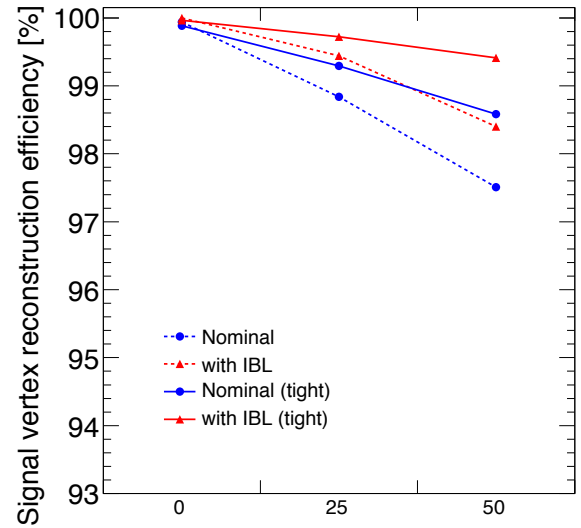
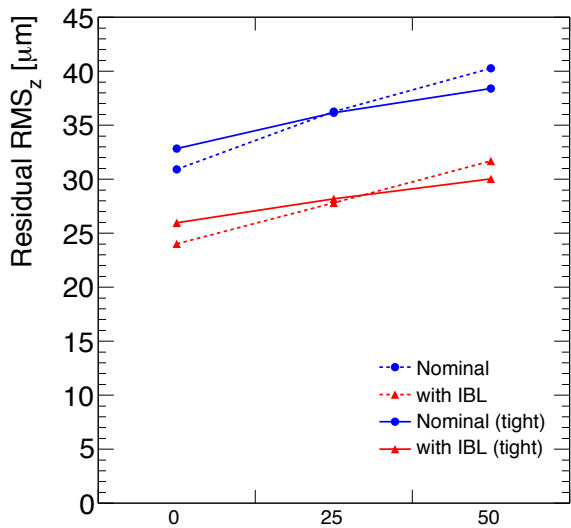


図 2.9 ATLAS 実験の内部飛跡検出器の配置 [3]。内部から Pixel 検出器、SCT、TRT の順に設置されている。右は Pixel 検出器の配置 [4]。IBL は Barrel Layer 0 の内側に設置されており、この図では描かれていない。各飛跡検出器は Endcap 部分と Barrel 部分の 2 つに分けられる。



Average number of pileup interactions

Average number of pileup interactions

図 2.10 $t\bar{t}$ イベントでの IBL の有無による Primary vertex の位置分解能 (左) と再構成効率 (右) [4]。IBL を導入することで Primary vertex の位置分解能が向上し、高パイラップ環境でも再構成効率が低い。

Semiconductor Tracker

Semiconductor Tracker (SCT) は $80 \mu\text{m}$ のピッチのストリップを 2 枚重ねている。Barrel 部分で用いるストリップはビーム軸に平行なものと 40 mrad ずらしたものである。これらのストリップから 2 次元の飛跡情報を得ており、同心円状に 4 層並べている。Endcap 部分のストリップは動径方向のものと 40 mrad ずらしたものをを用いている。ディスク状になっており、これらを 9 層設置している。SCT の分解能は、 ϕ 方向に $17 \mu\text{m}$ 、 z (R) 方向に $580 \mu\text{m}$ である。

Transition Radiation Tracker

Transition Radiation Tracker (TRT) は直径 4 mm のドリフトチューブを積み重ねたものである。Barrel 部分ではビーム軸方向に、Endcap 部分では放射状に並べている。1 つのチューブの位置決定精度は $130 \mu\text{m}$ だが、長い距離の飛跡を再構成することができ、運動量の測定に重要である。

2.3.4 カロリメータ

カロリメータは内部飛跡検出器の外側に設置されており、内側から電磁カロリメータ、ハドロンカロリメータの順に配置されている。電磁カロリメータは電子と光子のエネルギーおよび位置の測定を行う。ハドロンカロリメータは強い相互作用で生じたシャワーを測定し、エネルギーを計測する。図 2.11 にカロリメータの配置を示す。

LAr electromagnetic calorimeter

LAr electromagnetic calorimeter (EM) は吸収体の鉛と液体アルゴンで構成されたカロリメータである。この検出器は内部飛跡検出器の外側に配置されており、電子や光子のエネルギー測定に用いられる。 $|\eta| < 1.5$ の領域を覆う Barrel 部分と $1.4 < |\eta| < 3.2$ の領域を覆う Endcap 部分に分けられる。検出器の厚さは Barrel 部分で放射長の 22 倍、Endcap 部分で 24 倍以上になるように設計されている。

Tile Calorimeter

Tile Calorimeter は EM の外側に設置されたハドロンカロリメータであり、図 2.12 に示すように鉄とタイル状のシンチレータを交互に重ねた構造をしている。Tile Calorimeter は $|\eta| < 1.0$ の領域を覆う Barrel 部分と $0.8 < |\eta| < 1.7$ の領域を覆う Extended Barrel 部分に分かれている。また Tile Calorimeter は ϕ 方向に 64 分割したものをモジュールと呼び、信号読み出し単位にしている。

このモジュールは図 2.12 に示すように η 方向の分割はなく、R 方向に A 層、B/C 層、D 層の 3 層に分割し、信号は各層の情報を独立に読み出している。最外層の D 層に到達する粒子のほとんどがミューオンであることを利用して、ミューオン検出器としても用いられる。

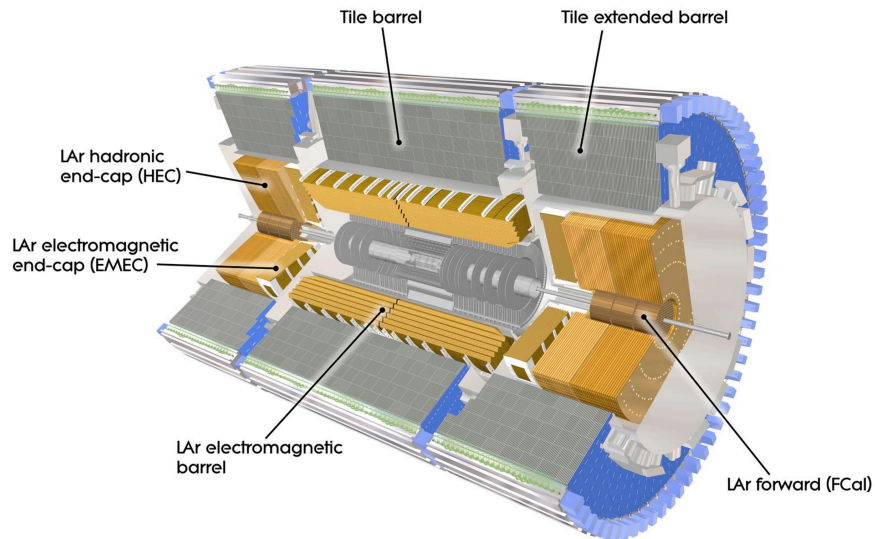


図 2.11 ATLAS 実験のカロリメータの配置 [3]。電磁カロリメータは Barrel 部分と End-cap 部分に分けられる。ハドロンカロリメータは Barrel 部分の Tile と、Endcap 部分の HEC と、よりビーム軸に近い領域の FCal に分けられる。

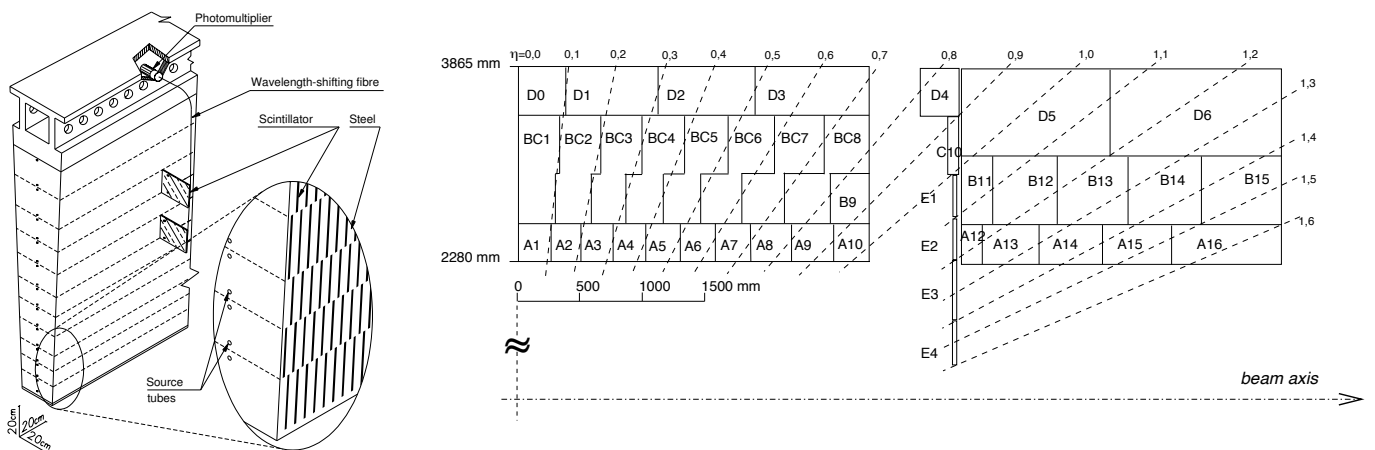


図 2.12 Tile Calorimeter の構造 [3]。左図のように吸収体の鉄とシンチレータがサンドイッチ状に積み重なった構造をしており、信号はPMTで読み出される。Tile Calorimeter は右図のように R 方向に 3 層の構造をしており、各層の信号は独立に読み出される。

Hadronic end-cap calorimeters

Endcap 部分のハドロンカロリメータは $1.5 < |\eta| < 3.2$ の領域を覆う Hadronic Endcap Calorimeter (HEC) と $3.1 < |\eta| < 4.9$ の領域を覆う Forward Calorimeter (FCal) で構成されている。HEC は吸収体の銅と液体アルゴンで構成されたサンプリングカロリメータである。

FCal は3層に分かれており、最内層の第1層は銅と液体アルゴンで構成され、電磁カロリメータとして用いられている。第2層と第3層はタングステンと液体アルゴンで構成されたハドロンカロリメータとして用いられている。

2.3.5 ミューオン検出器

ミューオン検出器は ATLAS 検出器の中で最外層に設置されている。ミューオンは寿命が $2.2 \mu\text{s}$ と長く、電磁相互作用によってエネルギーを損失し、電子に比べて制動放射によるエネルギー損失が小さいため物質に対する透過力が高い。そのためカロリメータを通過し、最外層に設置されたミューオン検出器でも検出できる。

ミューオン検出器には RPC、TGC、MDT、CSC の4種類の検出器がある。RPC、TGC は事象選別 (トリガー) を行うために用いられるトリガー検出器であり、MDT、CSC はミューオンの飛跡再構成を精度よく行うために用いられる精密測定用検出器である。

図 2.13 にミューオン検出器の配置図を示す。ミューオン検出器のうち、RPC は Barrel 部分を、TGC は Endcap 部分を覆っており、これらの領域でミューオントリガーを発行するために用いられる。また精密測定用検出器として Barrel 領域では MDT が、Endcap 領域では MDT と CSC が用いられる。

ミューオン検出器は、層状にまとめたステーションと呼ぶ単位を構成する。Barrel 部分では同心円状に並べた円筒状のステーションを、Endcap 部分ではビーム軸に垂直にディスク状のステーションを構成する。これらのステーションは3つあり、内側からインナー (“I”)、ミドル (“M”)、アウター (“O”) と呼ばれている。またミューオン検出器は全 ϕ 領域を覆うため、図 2.13、2.14、2.15 に示すように Large Sector (“L”)、Small Sector (“S”) という検出器の大きさや配置の異なる2つのセクターを用意している。Large Sector と Small Sector は ϕ 方向に交互に配置されている。以下では、RPC、TGC、MDT、CSC の検出器について説明する。

Resistive Plate Chamber

Resistive Plate Chamber (RPC) は $|\eta| < 1.05$ の Barrel 領域でミューオントリガー判定に用いられる検出器である。図 2.15 に示すように全部で3層設置されている。RPC は高抵抗のプレートを用いており、直交するストリップで η と ϕ の位置情報を読み出す。図 2.16 に示すように各検出器は2層構造をしており、2 mm のガスギャップに 9.8 kV の高電圧をかけて運用している。RPC の分解能は z 方向に 10 mm、 ϕ 方向に 10 mm である。

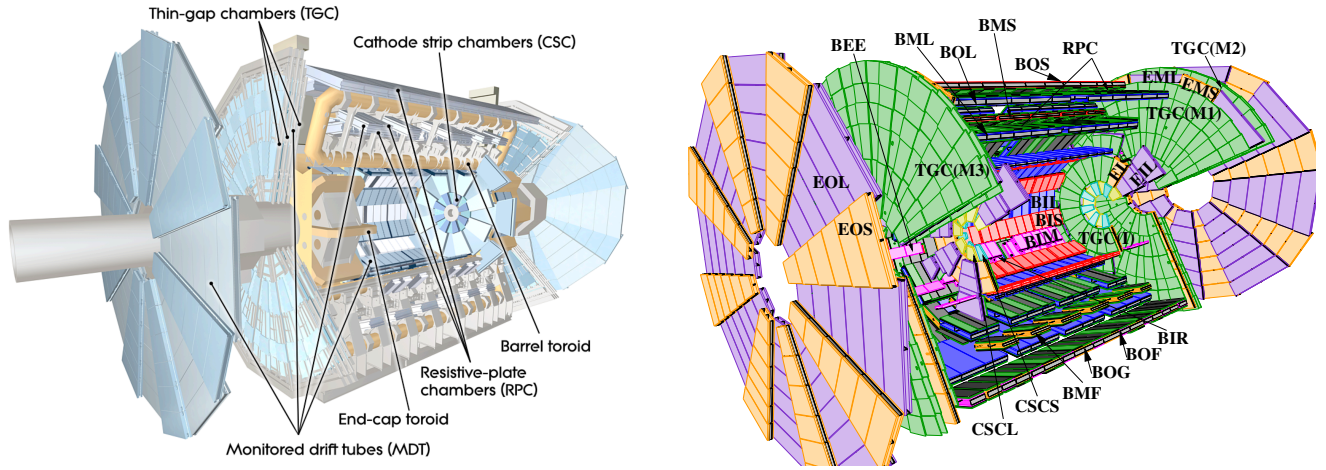


図 2.13 (左) ミューオン検出器の断面図。トロイド磁場の前後に検出器を置いてミューオンの飛跡を観測し、飛跡の情報から p_T を見積もる。(右) ミューオン検出器の命名規則。検出器の種類ごとに色分けしてある。 [3]

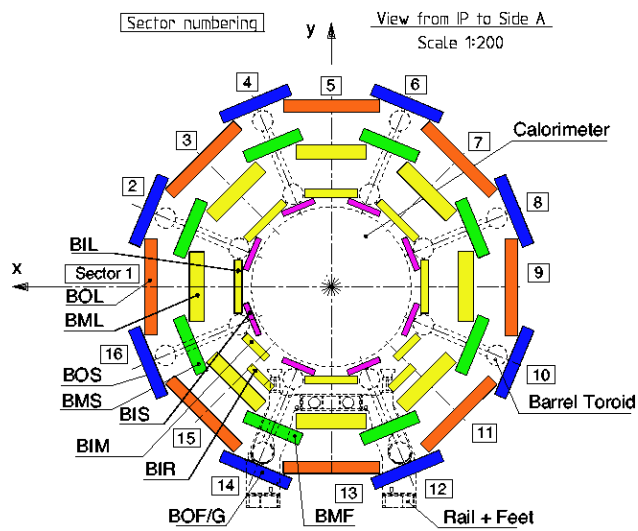


図 2.14 ビーム軸から見たミューオン検出器の配置図 [3]。Large Sector と Small Sector が交互に配置されている。Barrel 部分では同心円状に配置されている。

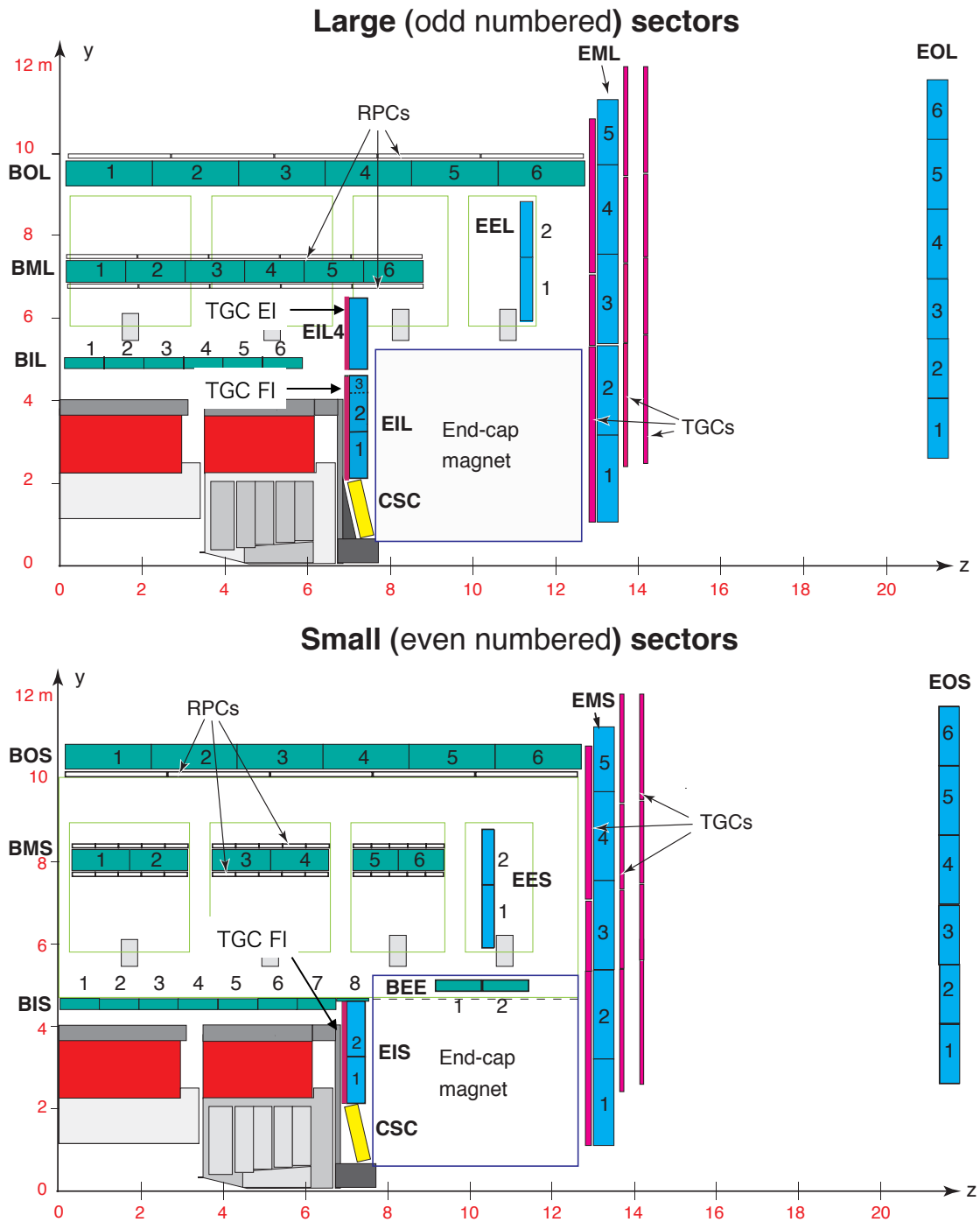


図 2.15 ミューオン検出器の配置図 [5]。ミューオン検出器の配置は Large Sector と Small Sector で異なる。特にバレルトロイド磁石の配置により、インナーステーションでの配置がセクターによって大きく異なる。

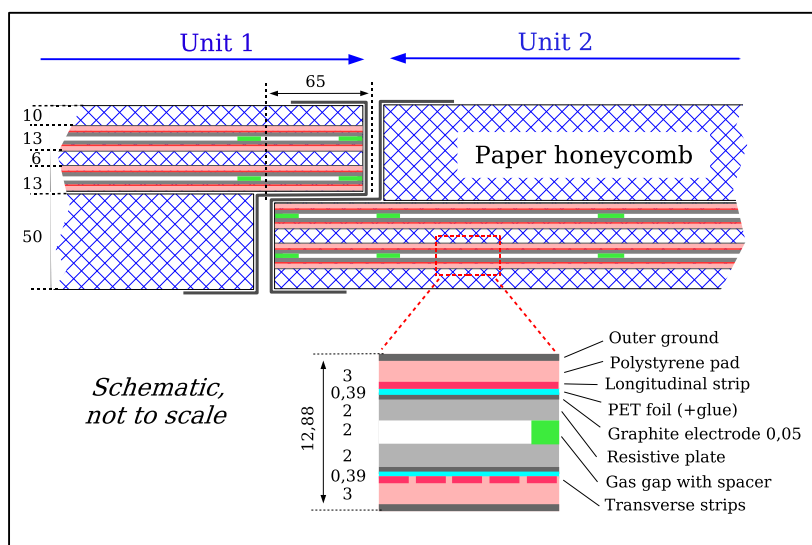


図 2.16 RPC の断面図 [3]。η と φ の位置情報は各ストリップから読み出される。(表記の数字の単位は全て mm。)

Thin Gap Chamber

Thin Gap Chamber (TGC) は $1.05 < |\eta| < 2.4$ の Endcap 領域でミュオントリガー判定に用いられる検出器である。

TGC の構造を図 2.17 に示す。TGC はガスギャップ 2.8 mm、ワイヤー間隔 1.8 mm の Multi Wire Proportional Chamber (MWPC) である。TGC では CO₂ 55 % と n-pentane 45 % の混合ガスを用いており、アノードワイヤーにかかる電圧は 2.9 kV、ガスゲインは 3×10^5 である。アノードワイヤーには直径 50 μm の金メッキをしたタンゲステンワイヤーを用い、カソードには片面に 1 MΩ/cm² のカーボンを塗布したガラスエポキシ板を用いている。また反対側の面にはワイヤーと直交する向きにストリップが配置されている。ミュオンの位置情報のうち R をアノードワイヤーから、φ をカソードストリップから読み出している。ガスギャップやワイヤー間隔が小さいため時間応答が非常によく、入射角によるが、信号の到達時間は 99 % の確率で 25 ns 以内である。TGC の分解能は R 方向に 2 ~ 6 mm、φ 方向に 3 ~ 7 mm である。

図 2.17 に示すように、TGC には Doublet と Triplet の 2 種類がある。Doublet は 2 層のストリップ面、2 層のワイヤー面から信号が読み出される。しかし Triplet では真ん中の層にストリップ面がないため、2 層のストリップ面、3 層のワイヤー面から信号が読み出される。TGC は図 2.15 に示したように、磁場の内側にチェンバーを 1 つ、磁場の外側にチェンバー 3 つを設置している。

Monitored Drift Tube

Monitored Drift Tube (MDT) はミュオンの運動量を精密に測定するために用いられている。MDT は図 2.18 のようにドリフトチューブを並べた構造をしており、直径約 30 mm のカソードドリフトチューブ

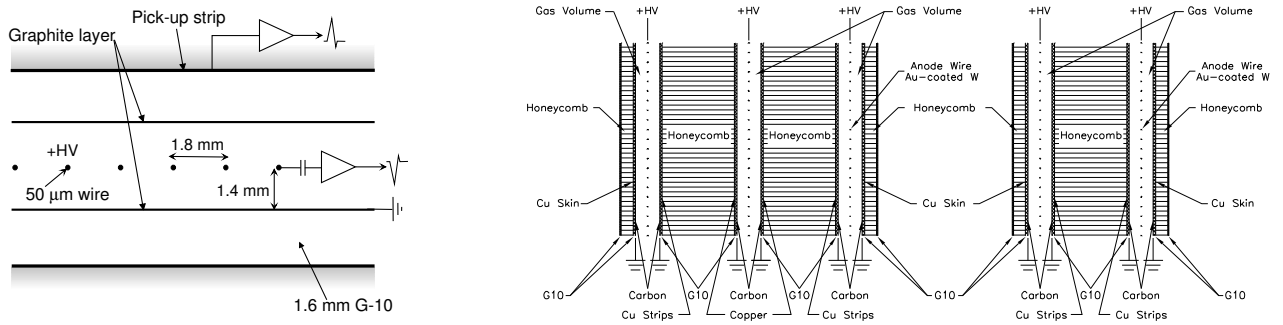


図 2.17 (左)TGC の断面図。R の位置情報をアノードワイヤーから、 ϕ の位置情報をカソードストリップから読み出す。(右)TGC のチェンバーの種類。TGC の Triplet と Doublet の構造を表している。 [3]

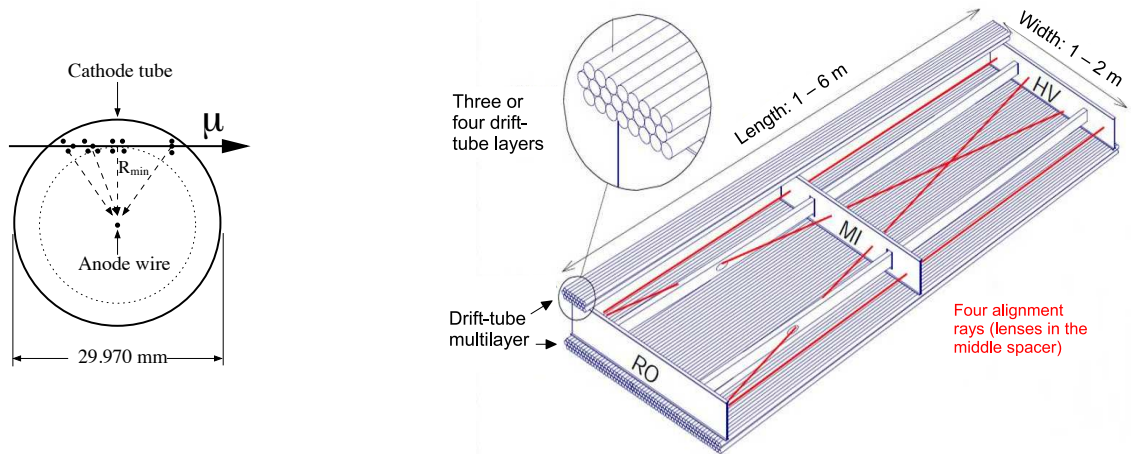


図 2.18 (左)MDT の断面図。荷電粒子が通過した際に発生した電子をワイヤーで回収する。ドリフト時間からミュオンの飛跡とワイヤーの距離を測定する。(右)MDT の構造。ドリフトチューブを 3 層または 4 層に並べた構造をしている。 [3]

ブと直径 $50 \mu\text{m}$ のアノードワイヤーで作られている。Barrel 部分では z を、Endcap 部分では R を測定しており、位置分解能は約 $80 \mu\text{m}$ である。MDT は電離した電子のドリフト時間から飛跡の位置を測定しており、ドリフト時間は最大 700 ns である。

Cathode Strip Chamber

Cathode Strip Chamber (CSC) は $2.0 < |\eta| < 2.7$ の前方領域で用いられている精密測定用の検出器である。この前方領域では、MDT が十分な位置分解能を発揮出来る 150 Hz/cm^2 よりも高いヒットレートで粒子が飛来する。そのため MDT ではなく CSC を用いている。

CSC は MWPC であり、ストリップに分割されたカソードから読み出した信号を用いてミュオンの飛来した位置情報を得る。ガスギャップを挟む 2 つのカソードではストリップの分割方向が直交してお

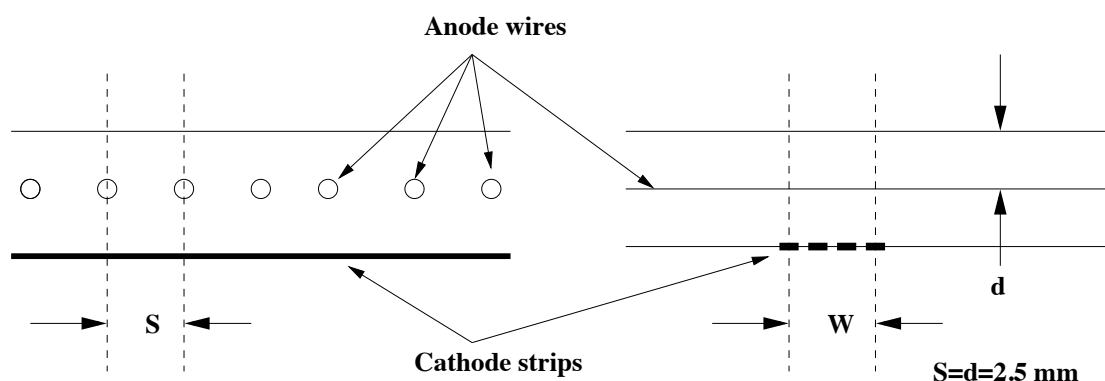


図 2.19 CSC の断面図 [3]。ミュオンが入射すると、およそ 3 ~ 5 個のストリップで信号が読み出される。

り、 R と ϕ の 2 次元の位置情報の読み出しを行っている。ストリップ間隔は約 5 mm 間隔であるが、読み出した電荷の情報から重心を計算することで位置分解能 $60 \mu\text{m}$ を達成している。

2.4 トリガーシステム

ATLAS 実験では、データ記録速度の限界により 40 MHz で起こる陽子陽子衝突の全事象を記録することはできない。また重要な物理に由来するような事象も稀にしか起こらないため、興味のある事象を選択して記録するトリガーシステムを用いている。Run-2 において、データを記録できるイベントレートは約 1 kHz であり、40 MHz で起こる衝突の中から保存するデータを多段階のトリガーを用いて選別している。図 2.20 にトリガーシステムの概要を示す。以下では、各段階のトリガーについて説明する。

2.4.1 Level-1 Trigger

初段のトリガーである Level-1 Trigger は 40 MHz で起きる衝突事象すべてに対してトリガー判定を行う。また各イベントに対して $2.5 \mu\text{s}$ 以内にトリガー判定を行わなければならないため、ハードウェアで実装されている。

Level-1 Trigger はカロリメータとミュオン検出器の情報を使ってトリガー判定を行い、検出器のどの位置でトリガー判定が行われたかを表すために Region of Interest (RoI) を出力する。この RoI 情報は後段の High Level Trigger (HLT) で使用される。

カロリメータの情報を用いて発行するトリガー (L1 Calo) は電磁カロリメータとハドロンカロリメータの情報を統合してトリガー判定を行う。 E_T の高い電子、光子、ジェットを含むイベントやニュートリノなどを含むため E_T^{miss} が大きいイベントなどの事象を取得するために L1 Calo のトリガー判定が用いられる。ミュオン検出器の情報を用いて発行するトリガー (L1 Mu) は、Barrel 部分では RPC、Endcap 部分では TGC の情報を用いる。高い p_T を持つミュオンを含むイベントに対してトリガー判

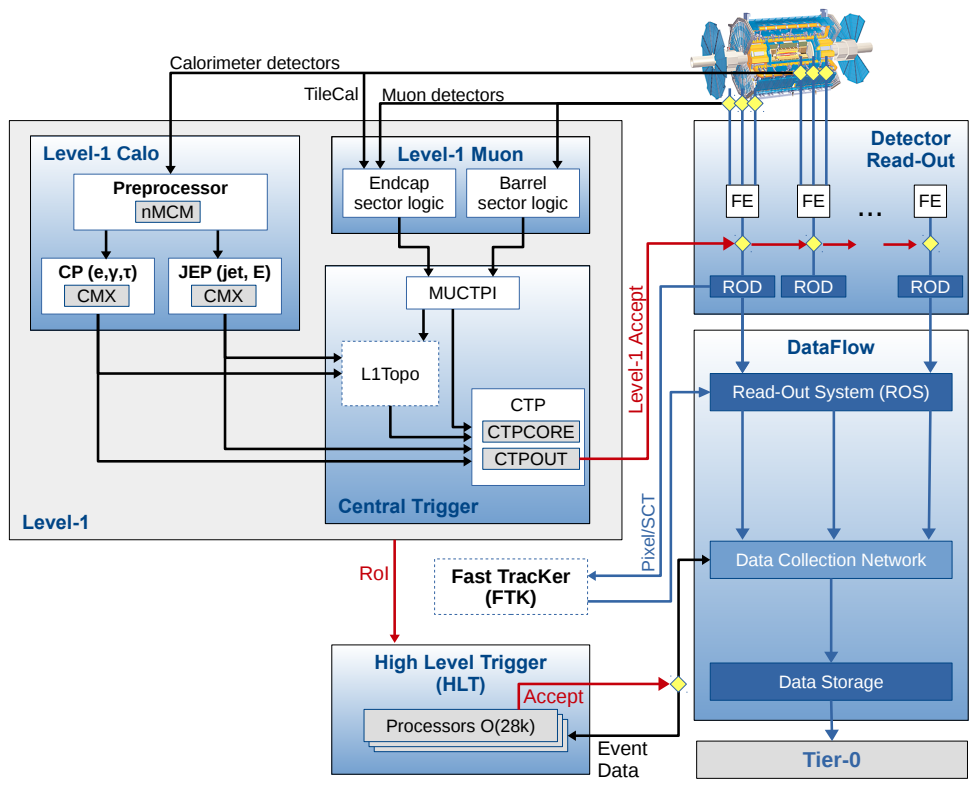


図 2.20 ATLAS 実験の Run-2 におけるトリガーシステムの概要^[6]。Level-1 Trigger、High Level Trigger の 2 段階のトリガーを用いてデータ取得を行っている。

定を行う。RPC、TGCで独立して判定されたL1 Muの情報 は Muon-to-CTP interface (MuCTPi) で統合される。その後、L1 Calo と MuCTPi で統合されたL1 Muの情報は Central Trigger Processor (CTP) と L1 Topo に送られる。このL1 Topo は L1 Calo と L1 Mu の位置情報や数の情報を組み合わせてトリガー発行を行っている。このようにして判定されたトリガーはCTPに送られ、トリガー条件ごとに決められた pre-scaling ファクターをかけてトリガーを発行するか決める。トリガーを発行した場合 Level-1 Accept (L1A) 信号を各検出器のフロントエンド回路に送り、トリガーを発行したイベントの情報を読みだす。

この Level-1 Trigger では Fixed Latency システムを採用している。これは衝突事象が起きてからトリガー判定されるまでにかかる処理時間が一定になるようなシステムである。各検出器のフロントエンド回路は一定時間データを保持して、L1A 信号を受け取らなければデータを捨てるようなシステムを実装をしている。

2.4.2 High Level Trigger

High Level Trigger (HLT) では L1A が発行されたイベントに対して、ソフトウェアを用いてより精密なトリガー判定を行う。具体的には、Level-1 Trigger 判定で用いることができない MDT や CSC のミュオン検出器の情報や内部飛跡検出器の情報、L1 Calo で用いられた分解能より細かいカロリメータの位置情報などを用いて飛跡再構成、より高精度な E_T 、 p_T の計算を行い、それらに対して閾値を設定する。トリガー判定には Level-1 Trigger で出力された RoI 情報をもとに、アルゴリズムの中で RoI の位置に近い領域のデータを用いてミュオンや電子などの粒子を再構成する。約 1 秒かけてトリガー判定を行い、最終的なトリガーレートは 1 kHz となる。

2.5 Run-3 に向けたアップグレード

2021 年以降の Run-3 ではより高統計の物理データ取得のため、LHC の改良が予定されている。13 TeV から 14 TeV への重心系エネルギーの増加だけではなく、ビーム強度を上げ、ビームエミッタンスを抑えることで、瞬間ルミノシティを 2017 年の約 1.5 倍の $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ に改善する。

ルミノシティの増加に伴いイベントレートも増加する。しかしデータ記録レートは増やせないため、従来と同じトリガーシステムのままでは、トリガーで要求するエネルギーや横運動量の閾値を上げたり、pre-scaling ファクターを増加させるなどの対策をとる必要がある。しかしこれらの対策をとると、物理に対する感度を失ってしまうため高輝度環境を活かせない。そこで物理アクセプタンスを維持したまま高輝度環境でのデータ取得を行うために、ATLAS 検出器やトリガーシステムのアップグレードを行う。このアップグレードを Phase-1 Upgrade と呼ぶ。

Phase-1 Upgrade の目標の 1 つは、電子やミュオンなどのシングルレプトントリガーの閾値の維持である。図 2.21 に示すように、W/Z から崩壊したレプトンは数十 GeV 程度の p_T を持っており、閾値を 20 GeV から 40 GeV に上げてしまうとこれらの事象を約 32 % 失ってしまう。そこで閾値を維持する

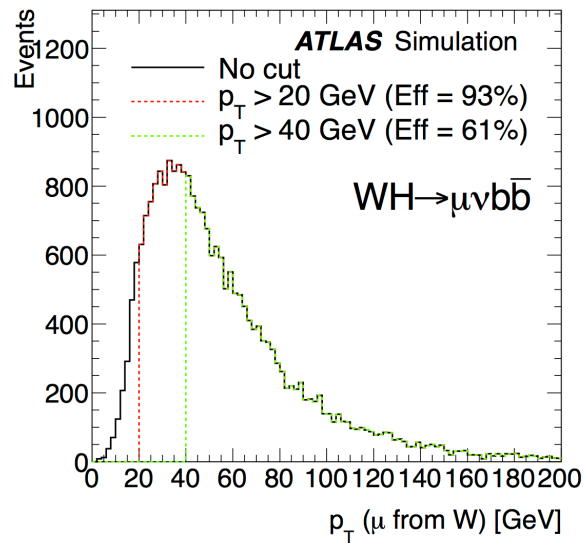


図 2.21 重心系エネルギー 8 TeV での WH 生成過程で生じる W ボソンから崩壊したミュオンの p_T 分布 [8]。

ためにトリガーシステムのアップグレードを行う。以下では、ミュオントリガーのシステムに関連したアップグレードの内容について説明する。

2.5.1 New Small Wheel

現在 Endcap 領域の磁場の内側に Small Wheel と呼ばれる円盤状の検出器のステーションが設置されている。Phase-1 Upgrade ではこの Small Wheel を新検出器 New Small Wheel (NSW) に入れ替える。NSW は高ヒットレート環境での飛跡測定効率の向上だけでなく、ミュオントリガーの改良のために導入される。

図 2.22 に Run-3 におけるミュオン検出器の配置を示す。NSW は $1.3 < |\eta| < 2.7$ の全 ϕ 領域を覆うように設置される。NSW のチェンバーを図 2.23 に示す。Large Sector と Small Sector では同じ構造で異なるサイズのものを用い、8 回対称な構造をしている。New Small Wheel は small-strip TGC (sTGC) と Micromegas (MM) の 2 種類の検出器で構成されている。これらを図 2.23 のように 4 層ずつ組み合わせたものを用いている。

small-strip TGC

small-strip TGC (sTGC) の構造を図 2.24 に示す。sTGC は現行の TGC と同じく、アノードワイヤーとして直径 $50 \mu\text{m}$ の金メッキをしたタングステンワイヤーを用い、ガスギャップ 2.8 mm 、ワイヤー間隔 1.8 mm の MWPC である。sTGC と現行の TGC の主な違いは η 方向の位置座標の読み出しをストリップで、 ϕ 方向の位置座標の読み出しをワイヤーで行う点である。またストリップは現行の TGC よ

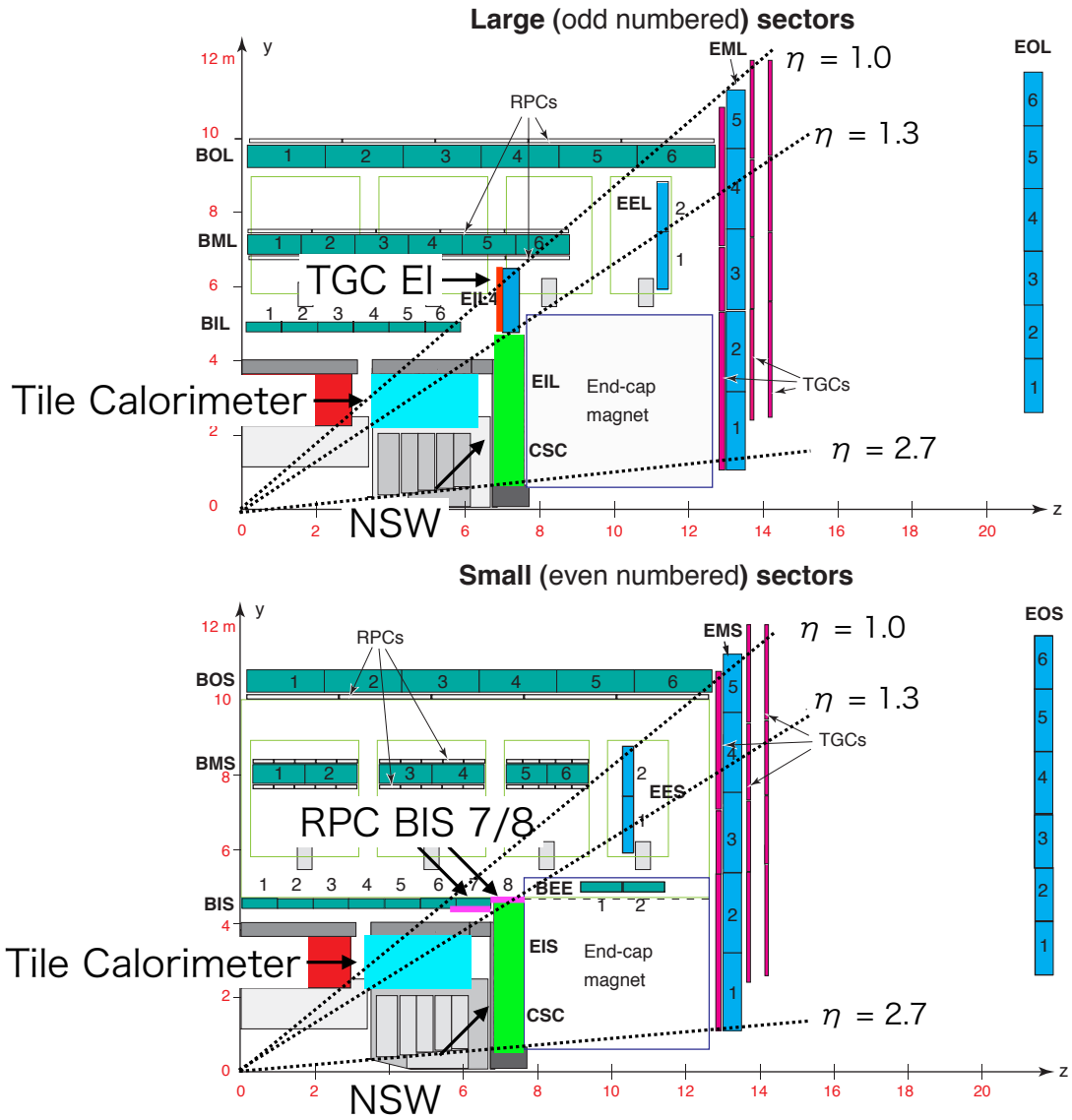


図 2.22 Run-3 におけるミュオン検出器の配置。 $1.3 < |\eta| < 2.7$ の全 ϕ 領域に New Small Wheel が新たに導入される。 $1.0 < |\eta| < 1.3$ の Small Sector には RPC BIS 7/8 が新たに導入される。

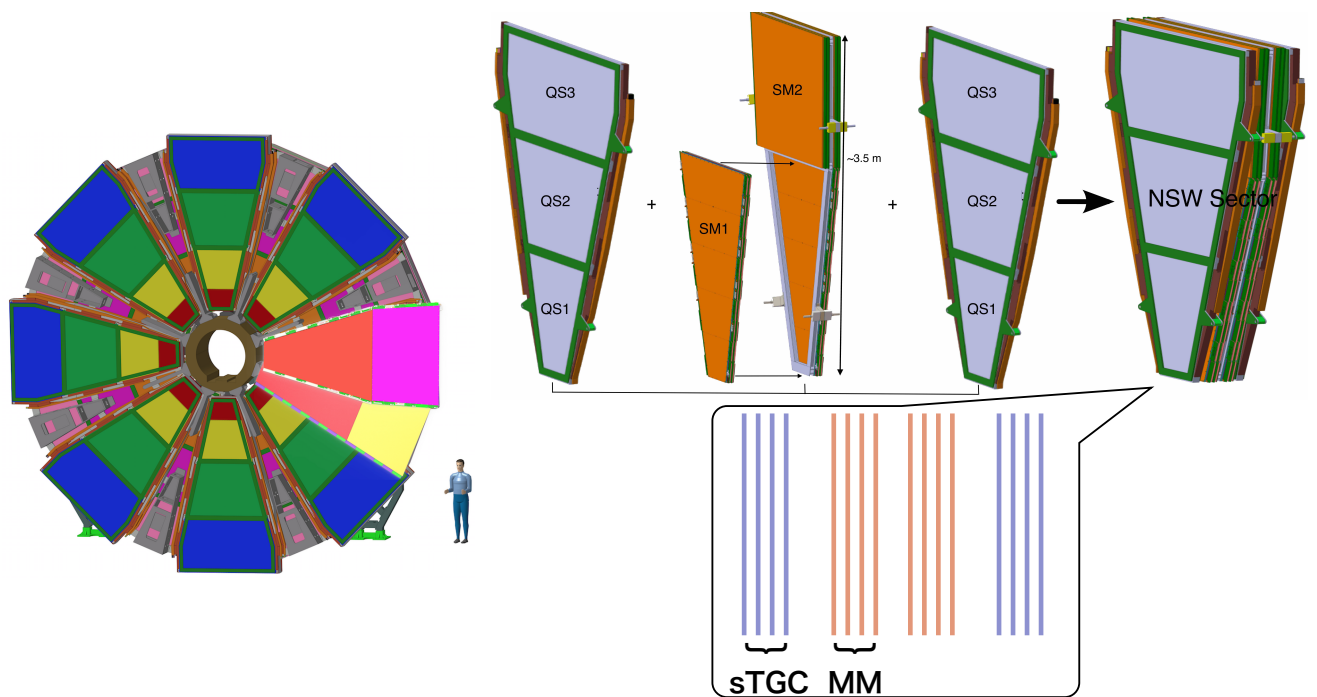


図 2.23 (左)NSW 検出器の概要。Large Sector 用と Small Sector 用の 2 種類のチェンバーを用いている。(右)NSW の Small Sector の 1 セクター分の構造。Large Sector も構造はほぼ同じ。薄い青で表された sTGC quadruplet でオレンジ色の各 4 層の MM が 2 つ挟まれている。 [7]

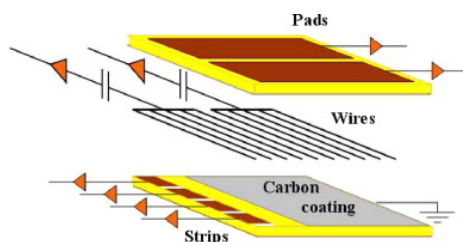


図 2.24 sTGC の断面図 [8]。パッド、ワイヤー、ストリップの情報を読み出す。

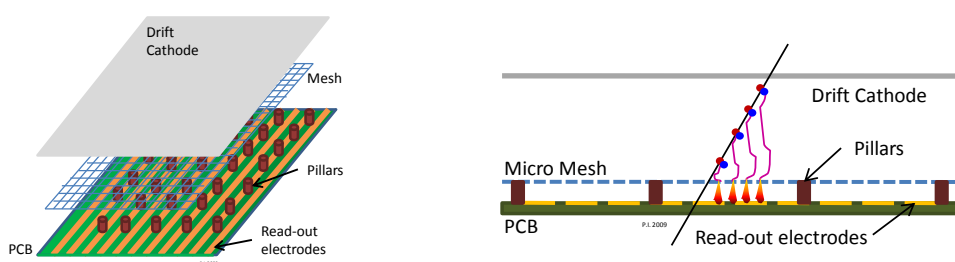


図 2.25 MM の動作原理 [8]。メッシュによってドリフト領域と増幅領域に分けられる。

りも小さい 3.2 mm 間隔で張られており、ストリップから読み出した電荷情報を用いて重心の計算を行い、位置分解能 60~150 μm を達成している。さらに現行の TGC と異なり、パッドと呼ばれるものを用いることで、まずミュオンの飛跡を粗く再構成し、より精密な飛跡再構成を行うために必要なストリップの情報を選別する。

Micromegas

Micromegas (MM) とは “micro mesh gaseous structure” の略であり、ワイヤーを用いないガス検出器である。図 2.25 に MM の動作原理を示す。MM は平面の電極と金属のメッシュで構成されており、増幅はメッシュ以降の短い領域で行う。増幅領域では電子だけでなく、陽イオンも生成される。増幅領域で生成された陽イオンは移動速度が遅く、電界を歪めてしまう。しかし MM では増幅領域が短いのでイオンの吸収が早く、陽イオンによる影響が小さいためレート耐性が高い。またドリフト領域ではメッシュ以降の領域に比べて移動速度が比較的遅いため、読み出す信号の時間差を用いてドリフト距離を見積もることができる。これにより検出器に垂直に入射していないミュオンに対しても十分な位置分解能を得ることができる。1 つの MM での位置分解能は入射角度が 40° の時でも約 90 μm である。

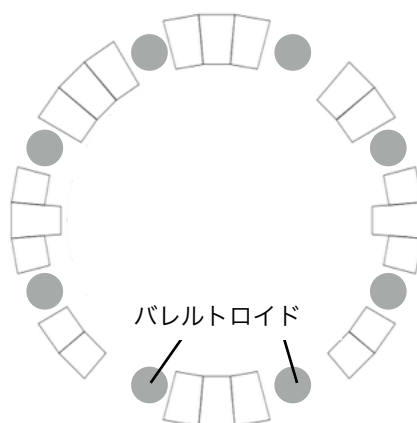


図 2.26 ビーム軸から見た磁場内側の Endcap 部分のミュオン検出器 (TGC EI) の配置とバレルトロイド磁石の配置。Small Sector にはバレルトロイド磁石があるため、TGC EI を設置できない。

2.5.2 BIS 7/8 のアップグレード

BIS 7/8 とは図 2.15 の BIS (“Barrel Inner Small sector”) の 7 と 8 の位置を指す。現在この場所には精密測定用検出器の MDT (MDT BIS 7/8) が設置されている。Level-1 Trigger 判定には MDT で得られた情報を用いることができないため、Barrel 部分のこの領域にはミュオントリガー用検出器が存在しない。また Endcap 部分では図 2.26 に示すようにバレルトロイド磁石があるため、検出器を設置できない。

Run-3 以降の BIS 7/8 に設置される検出器の概要を図 2.27 に示す。Run-3 以降ではこの領域にトリガー用検出器である RPC を新たに導入する。また MDT は新たにチューブの直径が約 15 mm の small-diameter Monitored Drift Tube (sMDT) に置き換えられる。以下では、BIS 7/8 領域に設置される新検出器をそれぞれ RPC BIS 7/8、sMDT BIS 7/8 と呼ぶ。

RPC BIS 7/8

図 2.28 に RPC BIS 7/8 の断面図を示す。RPC BIS 7/8 は新たに導入されるミュオントリガー用検出器であり、 $1.0 < |\eta| < 1.3$ の領域の Small Sector を覆っている。基本的な構造としては現行の RPC と同じであるが、バックグラウンドを減らすため 3 層構造になっている。この領域はカロリメータとバレルトロイド磁石に挟まれており、検出器を設置するためのスペースが小さい。そのため現行の RPC よりガスギャップは小さく、約 1 mm である。この新しい RPC BIS 7/8 を用いたトリガーロジックの開発と性能評価については 4 章で述べる。

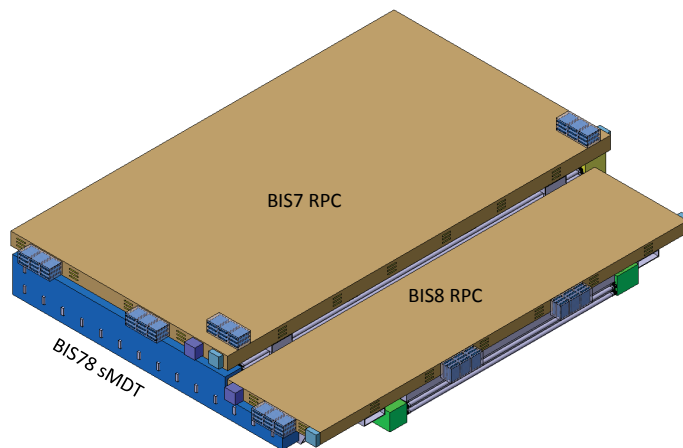


図 2.27 BIS 7/8 ステーションの概要図 [9]。sMDT と 3 層の RPC BIS 7/8 で構成される。

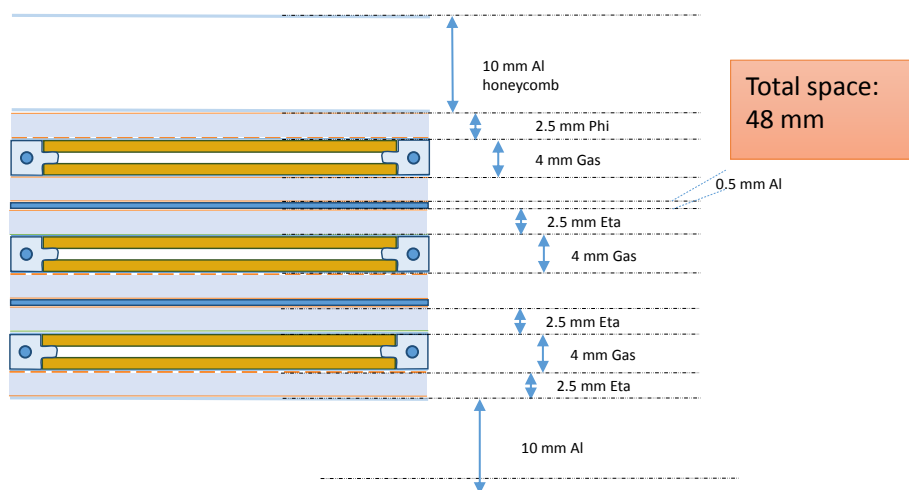


図 2.28 RPC BIS 7/8 の断面図 [10]。ガスギャップの両面に設置されたストリップで η と ϕ の情報を読み出す。

表 2.2 MDT と sMDT の各パラメータ [9]。background rate や counting rate はルミノシティが $7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ の時の BIS 7/8 で予想される値。Run-3 ではこれより低いレート環境である。sMDT は MDT よりもレート耐性が高い。

Parameter	MDT	sMDT
Tube outer diameter	29.970 mm	15.000 mm
Maximum drift time	720 ns	175 ns
Average tube spatial resolution		
– without background irradiation	83 μm	106 μm
– at 280 Hz/cm ² background rate	115 μm	108 μm
Drift tube muon efficiency		
– without background irradiation	95 %	94 %
– at 65 kHz/tube counting rate	86 %	92 %



図 2.29 (左) 現行の MDT のチューブ。(右) sMDT のチューブ。 [9] ドリフトチューブの径が小さくなり、ドリフト時間が小さくなる。

sMDT BIS 7/8

現行の MDT BIS 7/8 のままでは RPC BIS 7/8 を設置するスペースがないので、これを薄い sMDT BIS 7/8 に置き換える。表 2.2 に MDT と sMDT の性能を示す。sMDT はドリフト半径が半分であるため、現行のドリフト時間約 700 ns から 175 ns になり、高レート環境に対応できるようになる。また位置分解能は MDT とほぼ同じ 110 μm である。

第3章 ATLAS Level-1 エンドキャップミュオン トリガー

ここでは ATLAS 実験の Endcap 部 Level-1 ミュオントリガーについて説明する。現行のミュオントリガーについて説明した後で、ミュオントリガーのアップグレードについて説明する。

3.1 現行の Level-1 エンドキャップミュオントリガー

3.1.1 Thin Gap Chamber

$|\eta| > 1.05$ の Endcap 領域でのミュオントリガーは、Thin Gap Chamber (TGC) の情報を用いて発行される。図 3.1 に TGC の配置図を示す。

M1 は Triplet、M2 と M3 は Doublet の TGC が用いられている。また M1、M2、M3 は図 3.2 のような円盤状の形をしており、3 つを合わせて TGC Big Wheel (TGC BW) と呼ぶ。M1、M2、M3 のヒット情報はトリガー判定のために用いられる。M3 はミュオントリガーの位置情報を決定するために用いられており、Pivot plane と呼ばれている。

EI と FI は Doublet の TGC を用いており、磁場の内側におけるミュオンの飛跡情報を得ることができる。TGC EI/FI で得られた磁場の内側の飛跡情報は、TGC BW で得られた磁場の外側のミュオンの飛跡情報とコインシデンスをとるために用いられる。図 3.3 に示すように、バレルトロイド磁石があるため EI は一部の ϕ 領域のみを覆っている。

3.1.2 トリガーセクター

TGC のトリガー判定に用いられる大きな単位としてトリガーセクターがある。TGC BW の $1.05 < |\eta| < 1.9$ の領域を Endcap セクター、 $|\eta| > 1.9$ の領域を Forward セクターと呼ぶ。Endcap セクターでは ϕ 方向に 48 分割、 $|\eta| > 1.9$ の Forward セクターでは ϕ 方向に 24 分割し、それぞれの領域をトリガーセクターとする。トリガーセクターはさらに分割され、Level-1 ミュオントリガーの最小単位である Region of Interest (RoI) に分割される。Endcap 領域では 1 トリガーセクターを η 方向に 37 分割、 ϕ 方向に 4 分割し、Forward 領域では 1 トリガーセクターを η 方向に 16 分割、 ϕ 方向に 4 分割したものを RoI と呼んでいる。また R 方向に 2 つ、 ϕ 方向に 4 つの RoI をまとめたものを SSC (Sub Sector Cluster) と呼ぶ。これらを図 3.4 に示す。

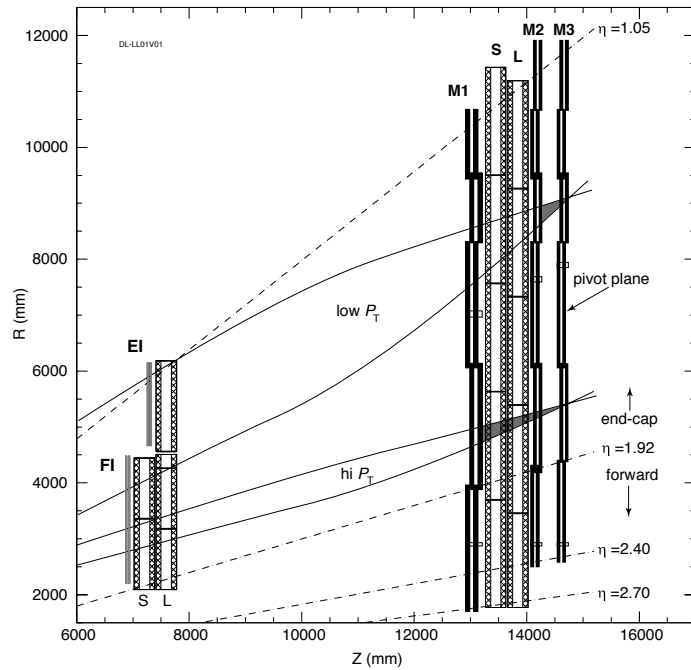


図 3.1 TGC の配置図 (R-z 平面) [11]。EI (Endcap Inner)、FI (Forward Inner)、M1、M2、M3 は TGC のステーションの名前である。磁場の外側に M1、M2、M3 が配置され、磁場の内側に EI、FI が設置されている。

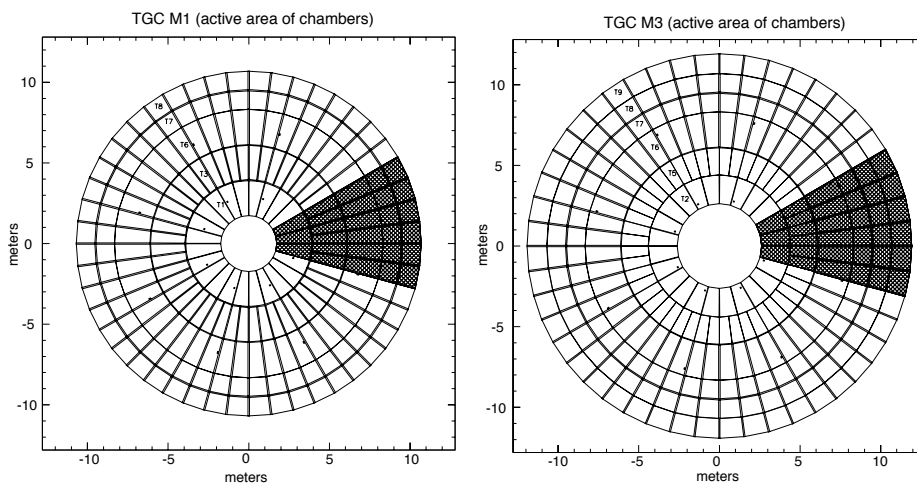


図 3.2 TGC の M1、M3 の R-φ 平面でのチェンバーの図 [11]。M2 も同様の全 φ 領域を覆った構造をしている。実線で囲まれた 1 マスが 1 つのチェンバーに対応している。

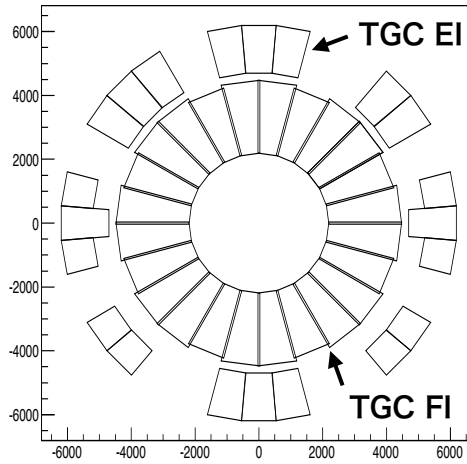


図 3.3 TGC の EI/FI の R- ϕ 平面でのチェンバーの図 [12]。FI は全 ϕ 領域を覆っているが、EI はバレルトロイド磁石と干渉してしまうため全 ϕ 領域には配置できない。

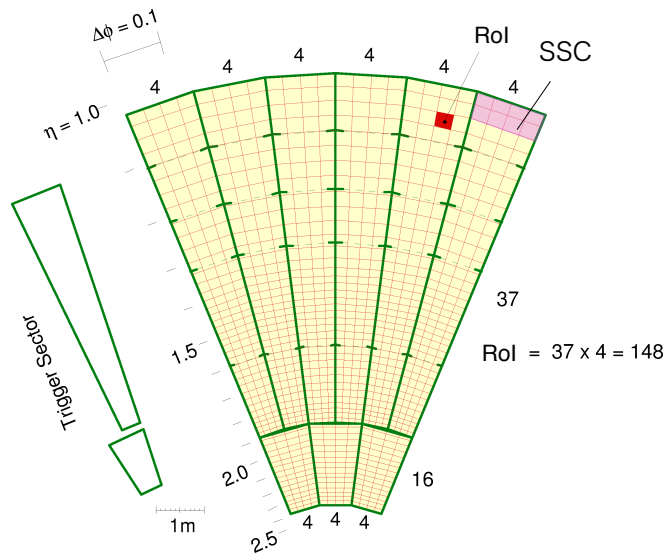


図 3.4 TGC のトリガー判定に用いられる単位の模式図 [3]。緑の線で囲まれた領域がトリガーセクターであり、赤い部分が 1 つの RoI を表す。R 方向に 2 つ、 ϕ 方向に 4 つの RoI をまとめて SSC (紫) と呼ぶ。

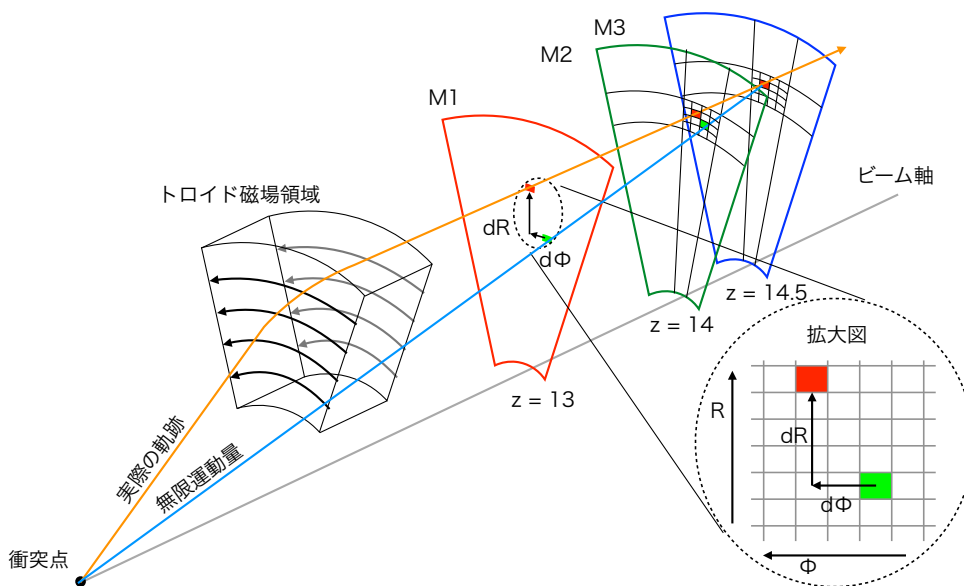


図 3.5 エンドキャップミュオントリガーの概要 [13]。M1、M2、M3 で得られたミュオンの飛跡情報を用いる。磁場中での曲がり具合から横運動量を見積もり、設定された閾値に対してトリガー判定を行う。図中の飛跡は μ^- のもの。

3.1.3 Level-1 ミュオンエンドキャップトリガー判定の概要

Run-2 でのエンドキャップミュオントリガーの概要を図 3.5 に示す。衝突で生成されたミュオンは磁場の内側に設置された検出器に信号を残しながら、トロイド磁場に入射する。ミュオンの飛跡は磁場中で η 方向に曲げられる。磁場領域を通過したミュオンは TGC BW を通過し、信号を残す。

Level-1 エンドキャップミュオントリガーでは p_T を計算し、決められた閾値に対してトリガー判定を行う。 p_T を計算するために 3 層の TGC BW で得られた飛跡情報と M3 と衝突点を結んだ直線を用いて磁場中での飛跡の曲がり具合を見積もる。この飛跡の曲がり具合は R 方向と ϕ 方向で別々に計算され、 dR と $d\phi$ として表される。この飛跡の曲がり具合が小さいミュオンほど高い p_T を持っていることを表しており、飛跡の曲がり具合の情報 ($dR, d\phi$) を p_T に変換してトリガー判定を行っている。

3.1.4 エレクトロニクス

TGC で用いられるエレクトロニクスはトリガー判定と検出器のヒット情報の読み出しの 2 つの役割を担っている。図 3.6 にトリガー信号と読み出しデータの流れの全体図を示す。

以下では各エレクトロニクスについて説明する。

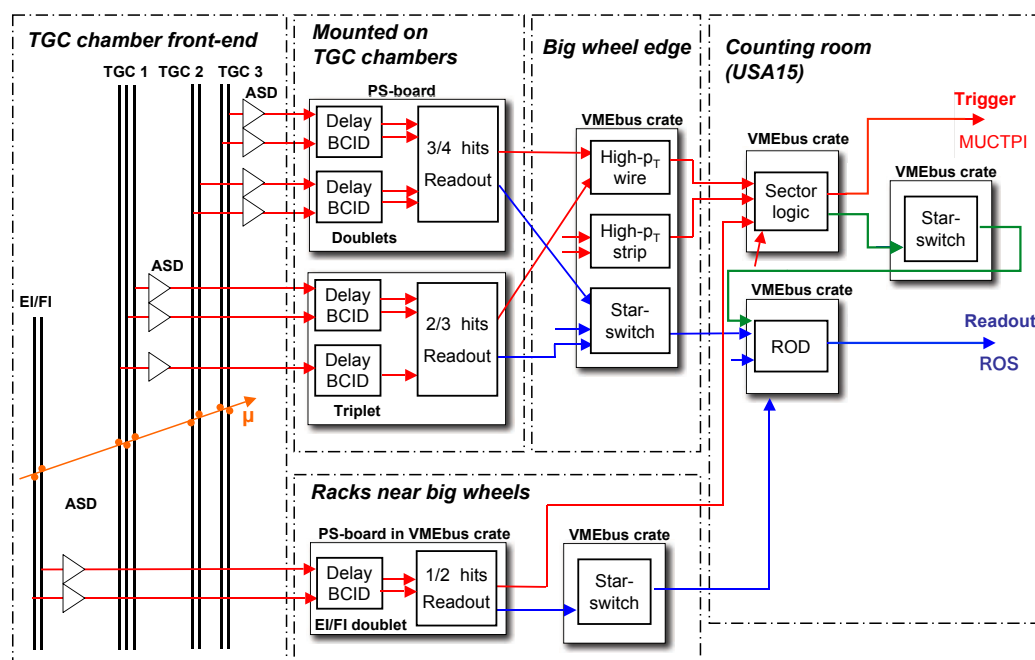


図 3.6 トリガー信号とよみ出しデータの流れの全体図 [3]。赤線はトリガー信号の流れを、青線は読み出しデータの流れを表す。

Amplifier Shaper Discriminator ボード

Amplifier Shaper Discriminator (ASD) ボードは TGC のアナログ信号をデジタル化するために用いられる。ASD ボード上の ASIC で TGC からアナログ信号を増幅、整形し、閾値電圧を超えた信号だけを LVDS 信号で出力する。ASD ボードは TGC の側面に設置されている。図 3.7 のように 1 枚のボードは 4 つの ASD ASIC を搭載し、合計 16 チャンネルの信号を処理する。

Patch Panel ASIC

Patch Panel ASIC (PP ASIC) の役割は TGC の各チャンネルで得られた信号のタイミング調整とバンチ識別である。バンチ交差が起きて生成された粒子が検出器まで到達する時間やケーブルなどによる遅延が各チャンネルで異なるため、PP ASIC でタイミング調整を行う。タイミング調整された信号は LHC Clock と同期され、バンチ交差識別が行われる。

Slave Board ASIC

Slave Board (SLB) ASIC で行われる処理には読み出し用とトリガー判定用の 2 種類がある。図 3.8 のように 2 つのパスに分けて独立した処理を行う。

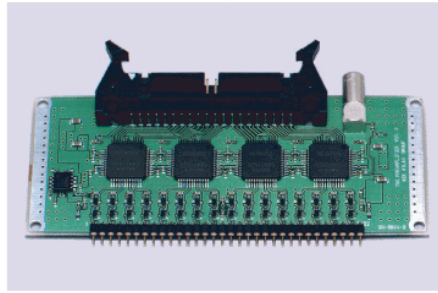


図 3.7 ASD ボードの写真。ASIC を用いて TGC のアナログ信号をデジタル化している。

トリガー判定用の処理として、各チャンネルの情報を用いてコインシデンスをとる。Triplet の M1 ではワイヤーの 3 層中 2 層にヒットがあること (2-out-of-3) を要求し、ストリップの 2 層中 1 層にヒットがあること (1-out-of-2) を要求してコインシデンスをとる。Doublet の M2、M3 では計 4 層の情報を用いて、ワイヤーとストリップで独立に 4 層中 3 層にヒットがあること (3-out-of-4) を要求する。これらのコインシデンス結果は LVDS で HPT ボードへ送信される。また Doublet の EI/FI では 1-out-of-2 コインシデンスをとり、G-Link というシリアル通信で Sector Logic へと送られる。

SLB ASIC には読み出しのために L1A 信号を受信するまでデータを保持する L1 Buffer が用意されている。L1A 信号を受信すると、そのイベントと前後 1 BC 分の情報を L1 Buffer からデータを読み出し、イベント情報を付け加えて Star Switch へと送る。

先に述べた PP ASIC と SLB ASIC がのったボードを Patch Panel and SLB ASIC (PS) ボードと呼ぶ。

High PT ボード

High PT (HPT) ボードは M1 の SLB と M2-M3 の SLB で処理されたコインシデンス結果を用いて、M1-M3 の 3 ステーション間のコインシデンスを行う。M1 と M3 の位置情報から位置の差 (ΔR や $\Delta\phi$) を計算し、結果を Sector Logic へ送信する。ワイヤーに対する HPT ロジックのブロック図を図 3.9 に示す。

HPT ボードで得られたコインシデンス結果は Sector Logic へ G-Link 通信を用いて送信する。しかしデータ通信速度の制限から、1 つの HPT ASIC から最大 2 候補を選んで送信している。

Sector Logic

Sector Logic (SL) の主な役割は HPT ボードから受け取った TGC BW のワイヤーとストリップの情報を用いてミュオンの p_T を計算し、トリガーを発行することである。SL には Endcap セクター用と Forward セクター用の 2 種類があり、どちらも 2 トリガーセクター分のトリガー判定を行う。図 3.10 に Endcap セクター用の SL と主なチップを示す。

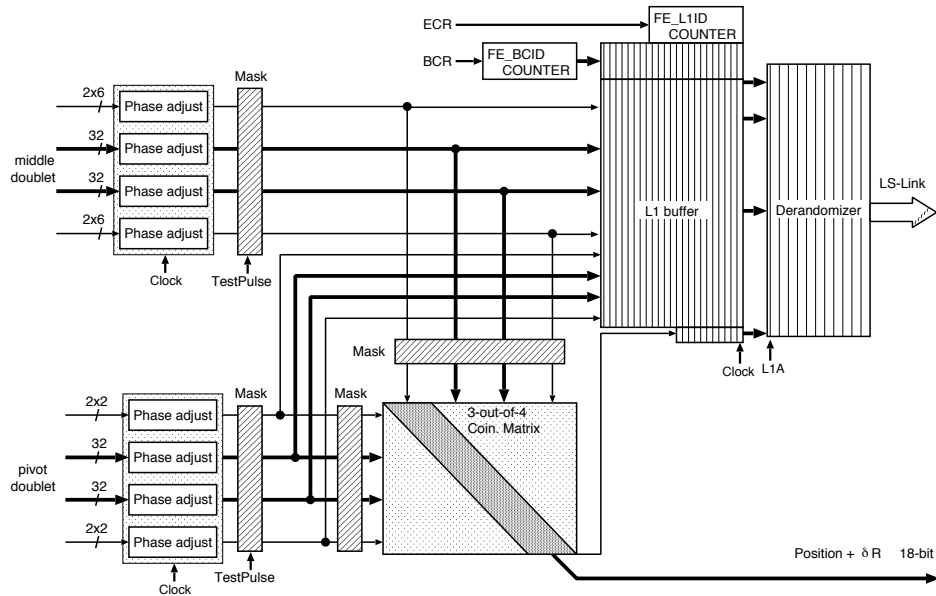


図 3.8 Doublet ワイヤー用の SLB ASIC で行われる処理の全体図 [11]。上側が読み出し用のパス、下側がトリガー用のパスを表す。

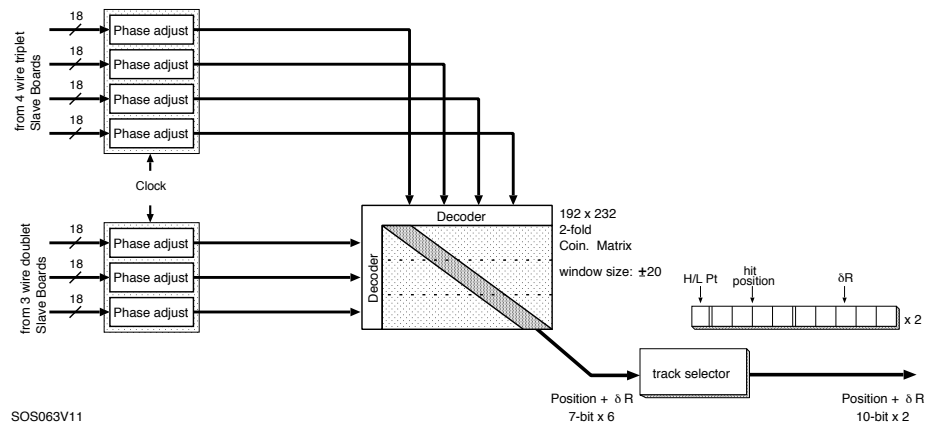


図 3.9 ワイヤー HPT ロジックで行われる処理の全体図 [11]。コインシデンスマトリックスを使って M1-M3 の 3 ステーション間の位置の差を計算する。コインシデンス結果を Sector Logic へと送る。

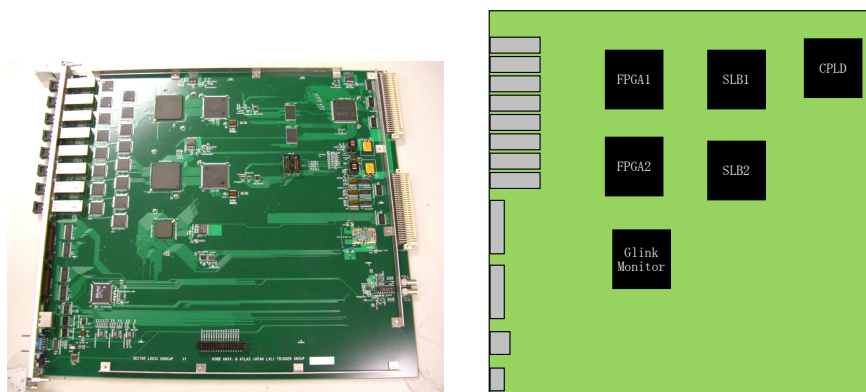


図 3.10 (左) Endcap セクター用 Sector Logic の写真。(右) 主なチップ。[14]2 枚の FPGA、2 枚の SLB ASIC が搭載されている。

まず SL でのトリガー判定について説明する。SL での p_T 計算は HPT ボードから受け取ったワイヤー (R) とストリップ (ϕ) の情報を用いたコインシデンスによって計算される。SL 上の 2 枚の FPGA はそれぞれ 1 トリガーセクターのトリガー判定を担当しており、独立してトリガー判定を行っている。R- ϕ コインシデンスで判定されたミュオンの候補は磁場の内側の検出器 (TGC EI/FI や Tile Calorimeter) とコインシデンスをとる。最後に 1 トリガーセクターの中で最大 2 つのミュオンのトラックを選び、バンチ ID (BCID) などの ID 情報と一緒に MuCTPi ボードへ送信する。以下では各処理について説明する。

SL はトリガー判定に用いる TGC BW、TGC EI/FI、Tile Calorimeter の飛跡情報を G-Link 通信を用いて受け取る。G-Link 通信の 1 本のファイバーで 1 BC ごとに 16 bit もしくは 17 bit のデータを受け取る。G-Link 通信で受け取った各検出器の情報はデコードされ、 p_T の計算に用いられる。

p_T の計算には HPT ボードから受け取った (R, ϕ) の位置情報と ($\Delta R, \Delta\phi$) の曲がり具合の情報を用いる。(R, ϕ) の情報を用いて、Level-1 ミュオントリガーでミュオンのヒット位置を表す最小単位 RoI を決定する。($\Delta R, \Delta\phi$) の曲がり具合の情報は、RoI ごとに定義された Coincidence Window (CW) を用いて p_T に変換する。この CW は磁場の非一様性や検出器の位置の理想的な場所からのズレなどを考慮して最適化する必要があるため、RoI ごとに別々に設定している。CW は SL の FPGA 上で Look Up Table (LUT) として実装している。この LUT の実装には入力パターンに対応した出力パターンを出力するメモリを用いている。HPT ボードから受信した TGC BW のヒット情報のみを用い、LUT を通して p_T を計算するロジックを TGC-BW Coincidence と呼ぶ。

TGC-BW Coincidence で得られたミュオンの候補に対して磁場の内側にある TGC EI/FI や Tile Calorimeter の飛跡情報とコインシデンスをとる。この磁場の内側の検出器の情報を用いたコインシデンスを Inner Coincidence という。

Inner Coincidence の主な目的は衝突点由来でない荷電粒子によって発行されるトリガー (フェイクトリガー) を削減することである。Run-1 では TGC BW の情報のみを用いてトリガー判定を行っており、

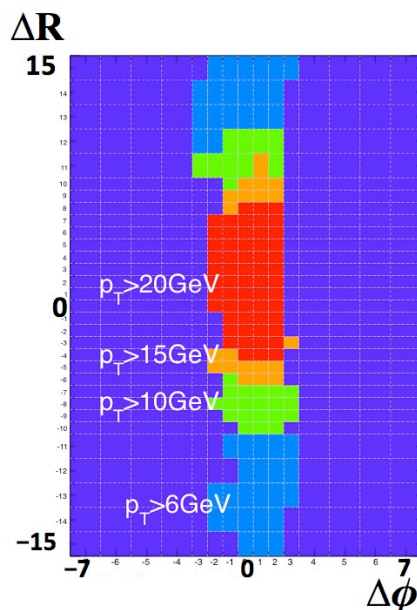


図 3.11 ある RoI で用いられる ΔR : $\Delta\phi$ の Coincidence Window [15]。 ΔR と $\Delta\phi$ の値から決められた出力結果を返す。 p_T の計算結果は 3 bit で表される。

図 3.12 のようにオフラインで再構成されるミュオンがないにもかかわらず、トリガーを発行しているイベントが多いことがわかった。これは図 3.13 のように、衝突点においてソフトな衝突をした陽子がトロイド磁石の近くでビームパイプに当たって荷電粒子を生成し、それが衝突点由来のものとして判定されてしまうことによって生じる。そのため磁場の内側の検出器とコインシデンスをとることで、このようなフェイクトリガーを削減することができる。現在の Run-2 では TGC EI/FI を用いた Inner Coincidence をとった状態でデータ取得を行っている。

Tile Calorimeter の情報を用いた Inner Coincidence は図 2.12 の D セルに到達する粒子の 99 % がミュオンであることを利用している [12]。Tile Calorimeter はエネルギーを測定しており、そのエネルギー測定値に閾値を設けてミュオンが飛来したかどうか判定している。2017 年までのデータ取得ではエネルギー閾値が調整中であり、データ取得に用いられていない。しかしコインシデンス結果を保存するモニタリングモードで運転している。2018 年中には実際のトリガーとして運用される予定である。

Inner Coincidence 後のミュオンのトラックは 1 トリガーセクターの中で最大 2 個まで選んで MuCTPi ボードへ送られる。このとき、 p_T の高いものを優先的に選び、同じ p_T の場合は R の大きいものを選ぶ。

Star Switch

Star Switch (SSW) は図 3.6 のデータ読み出し用のハードウェアで、複数の SLB から Level-1 トリガーが発行されたイベントの情報を受信する。シリアル信号を一度パラレル信号に変換したのち、データを圧縮して Read Out Driver (ROD) へ送信する。ROD は複数の SSW から受け取ったデータを 1 イベント

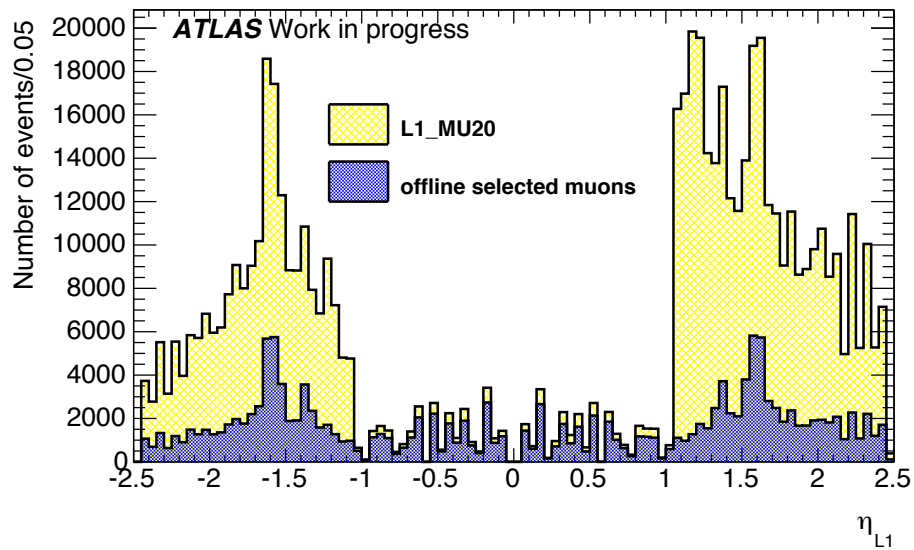


図 3.12 Run-1 での p_T 閾値 20 GeV の Level-1 ミューオントリガーの発行数の η 分布 [12]。
 $|\eta| > 1.05$ の TGC が発行する領域において、オフラインで再構成されたミュオンの数と比較し、トリガー発行数が多い。

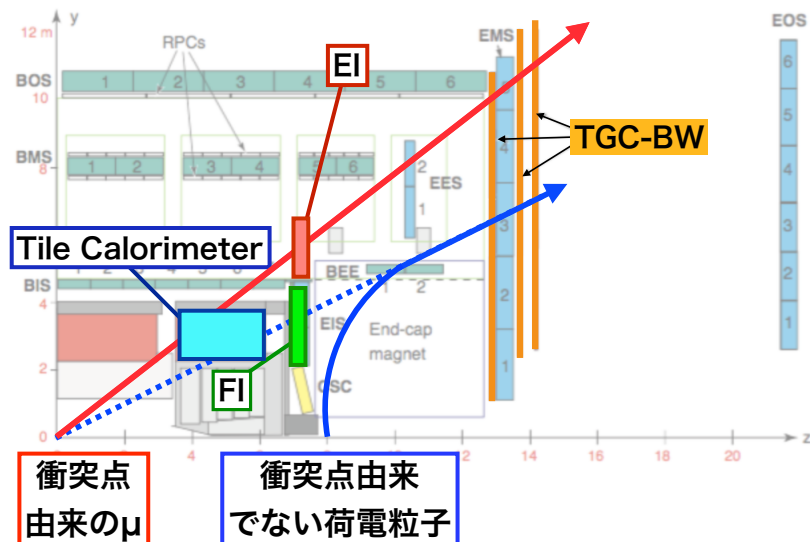


図 3.13 衝突点由来でない荷電粒子によるトリガーの概念図。磁場の内側の検出器 TGC EI/FI や Tile Calorimeter の情報を用いる Inner Coincidence で、このようなバックグラウンド事象によるトリガーを削減できる。

トごとにまとめて後段の Read Out System (ROS) へと送る。

3.2 ミューオントリガーのアップグレード

2.5 節で述べたように、改良後の LHC は現在の約 1.5 倍のルミノシティでの運転が予定されている。現状のトリガーシステムのままでは、トリガーレートの増加により物理アクセプタンスを維持したままデータ取得を行えない。そこで Phase-1 Upgrade では新検出器に合わせたトリガーシステムのアップグレードを行う。

3.2.1 ミューオントリガーアップグレードの重要性

高い p_T のミュオンは W や Z ボソンの崩壊などで生成される。そのためミュオントリガーは W や Z ボソンを含むイベントのデータ取得に用いられる。トリガー判定に用いる横運動量閾値を上げると、これらの物理に対するアクセプタンスを失うことになってしまう。図 3.14 にミュオントリガーの横運動量閾値に対するアクセプタンスを示す。 $WH \rightarrow \mu\nu b\bar{b}$ 反応を例として説明する。 $H \rightarrow b\bar{b}$ 崩壊の場合、終状態に b クォークしか含まなければ QCD 反応で生成されたジェットが背景事象となってしまうので、W と H が同時に生成する過程を用い、W ボソンの崩壊で生成されたレプトンにより背景事象と区別する。このとき図 3.14 に示すように、 $WH \rightarrow \mu\nu b\bar{b}$ 反応で用いるミュオントリガーの p_T 閾値を 20 GeV から 40 GeV にあげると、アクセプタンスを約 30 % 失うことになる (p_T 閾値 40 GeV はアップグレードを行わない場合の Run-3 で用いられる p_T 閾値である)。 p_T 閾値を維持するためにはトリガーシステムのアップグレードを行う必要がある。

3.2.2 ミューオントリガーアップグレードの概要

Run-2 で得られたデータを用いた Level-1 ミューオントリガーの発行数の η 分布を図 3.15 に示す。

Run-2 では TGC BW と TGC EI/FI のコインシデンスが導入され、また Tile Calorimeter とのコインシデンスが導入予定である。しかしこれらの Inner Coincidence をとった後でもフェイクトリガーが多く残る。その原因は $|\eta| > 1.9$ の領域で Inner Coincidence をとるべき検出器がないためである。しかし Run-3 以降では図 2.22 に示すように、 $|\eta| > 1.9$ の領域でも TGC BW と NSW のコインシデンスをとることでフェイクトリガーを削減できるようになる。TGC BW と NSW の η と ϕ の位置の差、NSW で得られた角度情報 $\Delta\theta$ について大まかなカットをかけることでトリガーレートが削減できることが確かめられている [17]。また p_T 閾値 20 GeV のトリガーに対して約半分の 13 kHz まで削減できることがわかっている。

また p_T 閾値 20 GeV のトリガーで取得したイベントのうち、閾値以下の p_T を持つミュオンによってトリガーが発行されたイベントが多いことがわかっている。より p_T 計算の精度が上がれば、さらに p_T 閾値 20 GeV のトリガー発行数を減らすことができる。ミュオントリガーの p_T 計算は 3.1 節で説明したように位置情報を用いて行っている。そのため位置分解能が良い検出器の情報を用いることで p_T の決

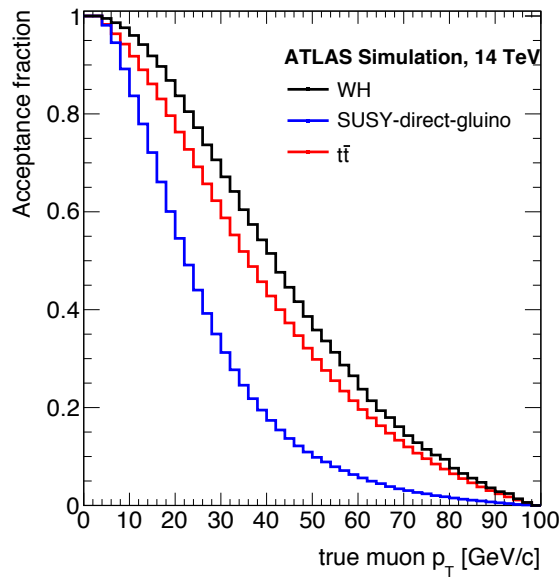


図 3.14 重心系エネルギー 14 TeV のバンチ衝突の終状態にミュオンを含む各物理プロセスに対する横運動量閾値のアクセプタンス [16]。

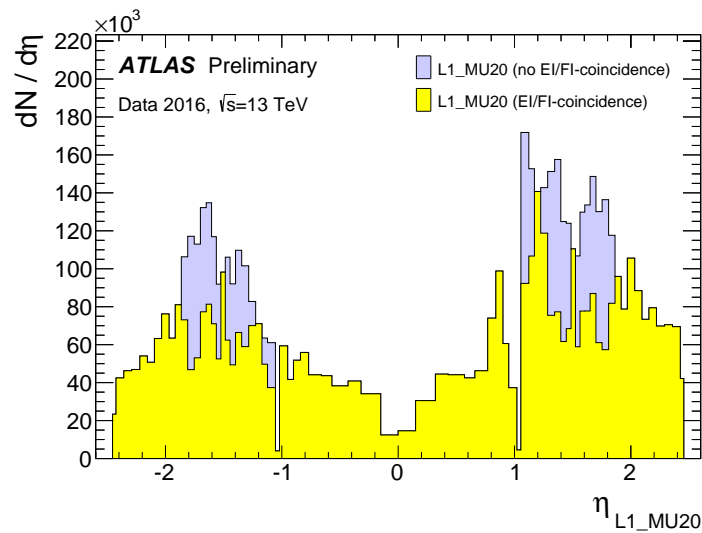


図 3.15 Run-2 で取得した p_T 閾値 20 GeV の Level-1 ミュオントリガーを発行した RoI 分布。TGC EI/FI とのコインシデンスにより、青い部分が削減された。今後、 $1.0 < |\eta| < 1.3$ の領域では Tile Calorimeter とのコインシデンスをとる予定である。 $|\eta| > 1.9$ の領域ではコインシデンスをとることができる検出器がないため、トリガー発行数が多い。

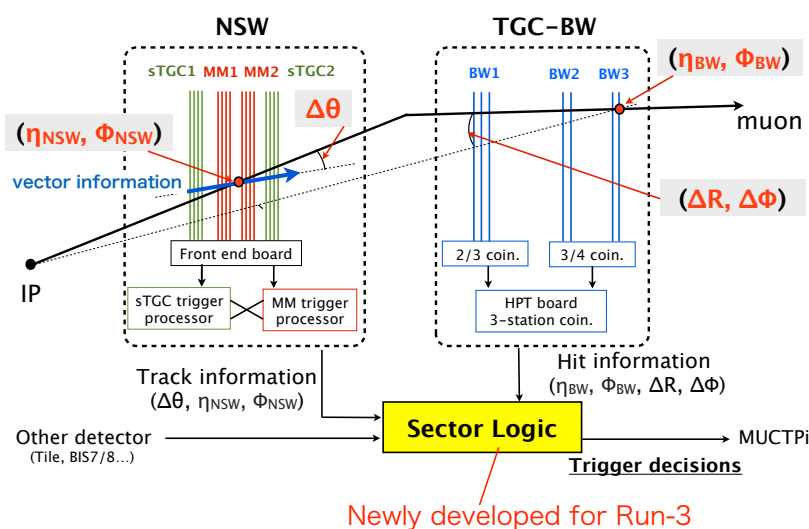


図 3.16 Run-3 のエンドキャップミュオントリガーシステムの概念図 [13]。TGC BW、TGC EI、Tile Calorimeter の他に、新たに NSW、RPC BIS 7/8 の情報を用いて p_T を計算する。

定精度を上げることができる。特に図 2.22 に示すように $1.0 < |\eta| < 1.3$ の領域では Tile Calorimeter、TGC EI、RPC BIS 7/8 の検出器が磁場の内側に設置されており、各検出器の分解能などを考慮し、コインシデンスをとる検出器の最適化を行うことでトリガーレートのさらなる削減を見込める。

Run-3 のエンドキャップミュオントリガーシステムの概念図を図 3.16 に示す。TGC BW のフロントエンド回路の変更はないが、磁場の内側の検出器のフロントエンド回路は変更、もしくは新たに開発される。

3.2.3 Run-3 で用いられるエレクトロニクス

Run-3 で新たに検出器を導入するにあたって、フロントエンド回路・トリガー判定ボードが開発される。ここでは Run-3 で仕様が変更になる、もしくは新たに開発される各エレクトロニクスについてまとめる。

New Sector Logic

New Sector Logic (New SL) は Endcap 領域の Level-1 ミュオントリガー判定回路である。TGC BW だけでなく、磁場の内側に設置される検出器から情報を受け取ってトリガー判定を行う。詳しくは 5 章で説明する。

TGC EI用 PS ボード

Run-2 では、TGC EI/FI をセットにして1つのPSボードを用いている。しかしRun-3以降、TGC FIはNSWに置き換えられるため、TGC EI用のPSボードの開発が必要となる。ただし通信規格の変更やデータフォーマットの大きな変更はなく、Run-2で用いられるTGC EI/FI用PSボードとほとんど同じものを用いる。

Tile Muon Digitizer Board

Tile Muon Digitizer Board (TMDB) は Tile Calorimeter と TGC BW でコインシデンスをとるために Tile Calorimeter の情報を SL へ送るハードウェアである。1つのTMDBは、Tile Calorimeter を ϕ 方向に64分割した単位であるモジュール8つ分の情報を処理し、3つのSLへとデータを送信する。SLは1つのTMDBからデータを受信している。

Run-2ではG-Link通信を用いてSLへデータ送信を行っているが、Run-3ではTMDBで使用しているSparten-6 SeriesのFPGAに搭載された高速トランシーバー (GTP^[18]) を用いてデータの送信を行う予定である。

NSW Trigger Processor

NSW Trigger Processor (NSW TP) は sTGC と MM のヒット情報を用いて独立に再構成したミュオンのトラック情報を統合して New Sector Logic へ送るためのハードウェアである。トラック情報とは位置情報の η と ϕ 、飛跡の角度情報 $\Delta\theta$ などである。詳しいフォーマットや定義などは5.2節で説明する。

図3.17にNSWのSector、1つのNSW TPが担当するNSWの領域を示す。1つのNew Sector LogicはTGC BWの2トリガーセクターを担当しており、磁場中での曲がり具合を考慮してEndcapセクター用New SLでは3NSW TPから、Forwardセクター用New SLでは4NSW TPからデータを受け取る。

RPC BIS 7/8 Pad trigger logic board

RPC BIS 7/8 Pad trigger logic board は RPC BIS 7/8 の3層のヒット情報を用いて2-out-of-3コインシデンスをとり、再構成したミュオンのトラック情報を送るためのハードウェアである。トラック情報とは位置情報の η と ϕ 、飛跡の角度情報 $\Delta\eta$ や $\Delta\phi$ などである。詳しいフォーマットは5.2節で説明する。

1つのRPC BIS 7/8 Pad trigger logic boardは1つのチェンバーを担当しており、磁場中での飛跡の曲がり具合を考慮し、3つのNew SLへトラック情報を送る。

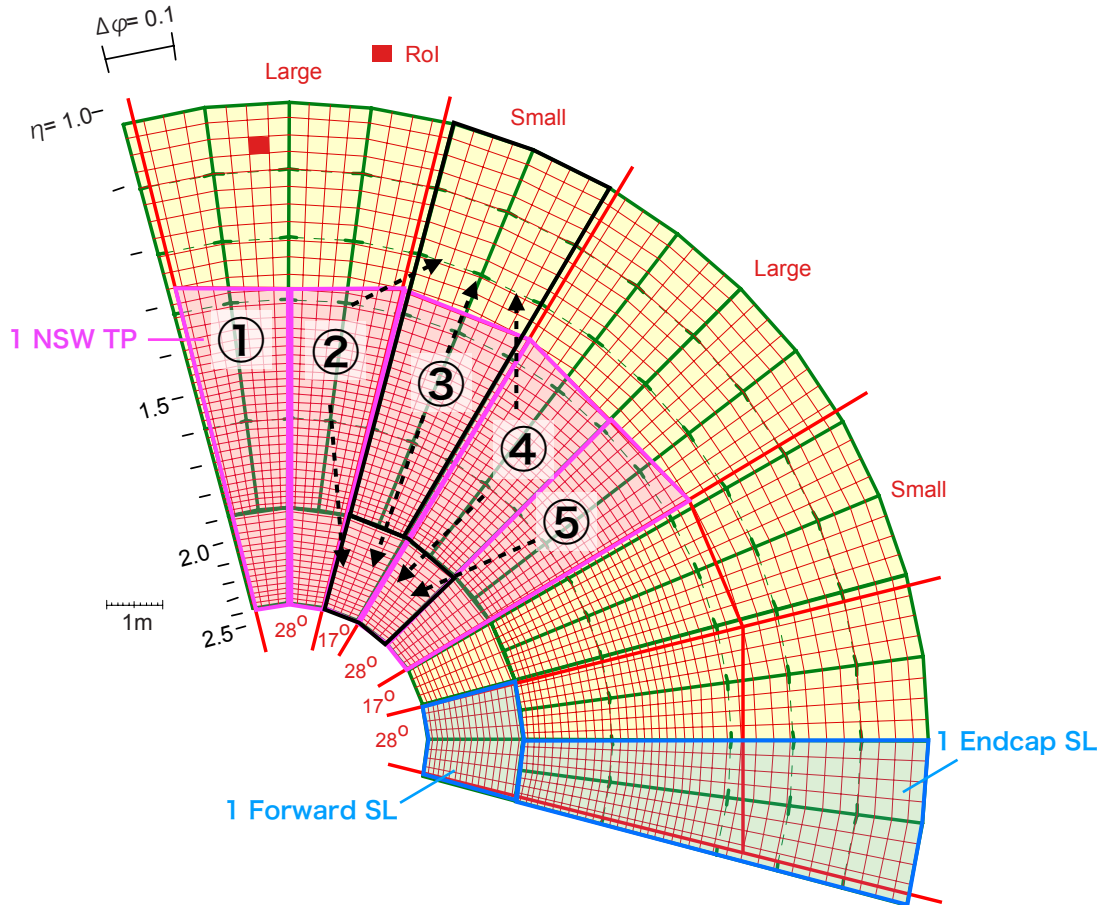


図 3.17 TGCのトリガーセクター、NSWのセクター、1つのNSW TPが担当するNSWのセクター領域の関係^[17]。NSWのLarge Sectorは2つのNSW TP、Small Sectorは1つのNSW TPが担当する。黒線で囲まれたEndcapセクターを担当するNew SLは②~④の3つのNSW TPからデータを受け取る。黒線で囲まれたForwardセクターを担当するNew SLは②~⑤の4つのNSW TPからデータを受け取る。

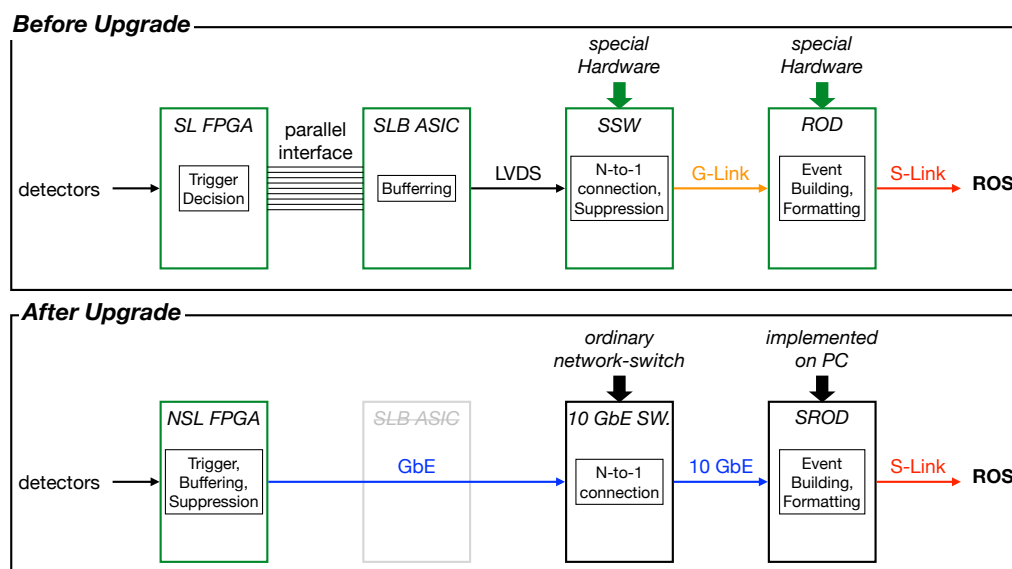


図 3.18 Run-3 で用いられるエンドキャップミュオントリガーのデータ読み出しシステムの概念図 [13]。専用のハードウェアで実装していた処理を機能拡張のしやすい FPGA やソフトウェアで実装する。

3.2.4 データ読み出しシステムのアップグレード

現在の SL のデータ読み出しでは、SL 上の FPGA でトリガー判定した結果を SLB ASIC に送る。SLB ASIC は LVDS で SSW へ、SSW は G-Link 通信で ROD へ、ROD は S-Link 通信で ROS へデータを送信している。SSW や ROD はハードウェアで実装されており、仕様の変更が容易でない。特に NSW や RPC BIS 7/8 から受け取ったデータはサイズが大きいため、それらを取り扱えるように新たなボードを開発する必要がある。Phase-1 Upgrade では図 3.18 のようにデータ読み出しのシステムの変更も行う。SLB ASIC でのデータ保持や SSW でのデータ圧縮は FPGA 上で実装し、データを Ethernet ケーブルで送信する。Ethernet ケーブルでデータを送信するため、SSW の N-to-1 connection の機能を市販のネットワークスイッチで行う。また ROD は PC 上のソフトウェアで実装する。このように FPGA やソフトウェアで実装することにより、容易に機能拡張できる。

第4章 RPC BIS 7/8を用いたトリガーロジックの開発

4.1 位置情報を用いたロジック

4.1.1 位置情報を用いたロジックの概要

RPC BIS 7/8 は磁場の内側に導入される新しい検出器である。磁場の外側にあるトリガー検出器 TGC の情報と組み合わせることで、衝突点由来でない荷電粒子によるトリガーの削減を行うことができる。また RPC BIS 7/8 は高い位置分解能を持っているため、閾値より低い p_T を持つミュオンによるトリガーを削減できると考え、新たなトリガーロジックを考案した。概念図を図 4.1 に示す。

Level-1 トリガーの段階で用いることのできる位置情報として、TGC BW では最小の読み出し単位の RoI であり、 η 方向の分解能は約 0.02 である。RPC BIS 7/8 では Level-1 トリガーの段階での η 方向の分解能は約 0.0016 と想定される。そのため RPC BIS 7/8 の高い位置分解能を用いることで、TGC BW 単体の分解能では分離できないような高い p_T のミュオンと低い p_T のミュオンを分離できると考えた。TGC BW で得られたヒット位置と RPC BIS 7/8 で得られたヒット位置の情報から η 、 ϕ それぞれに対して、 $d\eta = \eta_{BW} - \eta_{BIS}$ 、 $d\phi = \phi_{BW} - \phi_{BIS}$ を定義する。手法としては、TGC BW の M3-M1 間で用いている $dR : d\phi$ ロジックと同様に、TGC BW と RPC BIS 7/8 間で $d\eta : d\phi$ ロジックを用いる。このようなロジックを用いることで、低い p_T のミュオンによるトリガーを削減できる。

4.1.2 位置情報を用いたロジックのための Coincidence Window の定義

以上で述べたロジックを実装するために、RPC BIS 7/8 における $d\eta : d\phi$ の Coincidence Window (CW) を検出器の分解能に応じて決定する。しかし、RPC BIS 7/8 は ATLAS 検出器に未導入であるため実際のデータを用いて決定することはできない。そこでモンテカルロシミュレーション (MC) を用いて CW を決定し、性能評価を行うことにした。シミュレーションで RPC BIS 7/8 が配置される予定の場所での飛跡情報を、RPC BIS 7/8 の分解能まで落として、ヒット情報として代用した。同時に得られる TGC BW の情報を用いて CW を定義した。

CW を定義するために、1 イベントに 1 つのミュオンのみが発生するようなサンプルを、 p_T が 10 GeV、15 GeV、20 GeV、40 GeV、100 GeV について各 2000 万イベント分用意した。

CW は TGC BW のヒット位置、RoI ごとに定義する。まずはじめにミュオンを検出した RoI ごとに、RPC BIS 7/8 の位置での $d\eta : d\phi$ のヒット分布を求めた。ある TGC BW の RoI にヒットしたミュオンの $d\eta : d\phi$ のヒット分布を各 p_T ごとに図 4.2、図 4.3 に示す。高い p_T のミュオンのヒット分布で

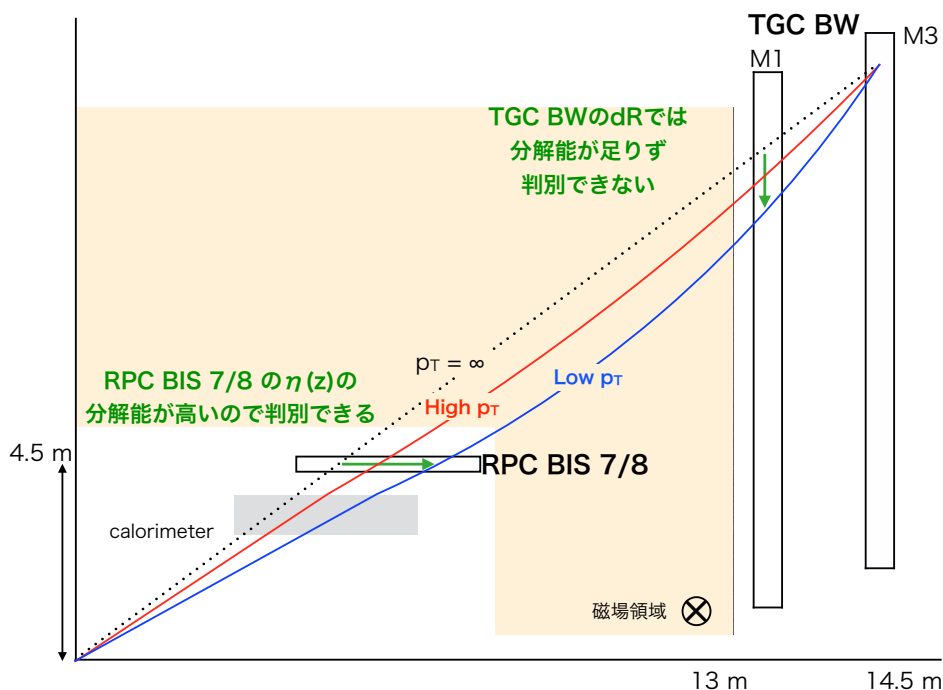


図 4.1 RPC BIS 7/8 と TGC の情報を組み合わせた新ロジックの概念図。赤と青の線はそれぞれ p_T の高いミュオンの飛跡、 p_T の低いミュオンの飛跡を表す。

はあまり分かれていないが、 p_T が低くなるほどミュオンのヒット分布が 2 つに分かれることがわかる。これはミュオンの電荷の違いにより、飛跡の曲がる方向が異なるためである。またきれいなトロイド磁場でないため、 η 方向のみならず ϕ 方向にも大きく曲がる。特にバレルトロイド磁石の近くを通るようなミュオンのヒット分布は図 4.3 のようになる。これはミュオンの電荷によってバレルトロイド磁石に巻きつくような飛跡を描くものと、バレルトロイド磁石から逃げるような飛跡を描くものがあるためであり、衝突点からバレルトロイド磁石を結んだ延長線上にある特殊な RoI で見られる。このような特殊なヒット分布に対応するため、RoI ごとに最適な CW を定義する必要がある。

これらのヒット分布を使って、トリガー効率が 99 % 以上となるように CW を定義した。 p_T 閾値以上のミュオンのヒットを 99 % を含むような Window を p_T サンプルごとに個別に作成し、それらを足し合わせることで CW を定義した。このような CW の定義を行うことで、同じ p_T のミュオンで作成したヒット分布の $|d\eta|$ や $|d\phi|$ の大きなマス目にヒットしたミュオンを削る。このように削られたマス目にヒットするようなミュオンは p_T が低いものが多い。

例として p_T 閾値が 20 GeV のトリガー用の CW の作成法を説明する。まず閾値以上の横運動量を持つ 20 GeV、40 GeV、100 GeV のミュオンのヒットを 99 % を含むような Window をそれぞれ作成した。次にそれらの Window を足し合わせ、最終的な CW を定めた。図 4.4 に CW を作成するための各 p_T ごとの Window を示す。赤く塗られている箇所が CW である。 $(d\eta, d\phi)$ が CW の中である場合にトリガーを発行する。

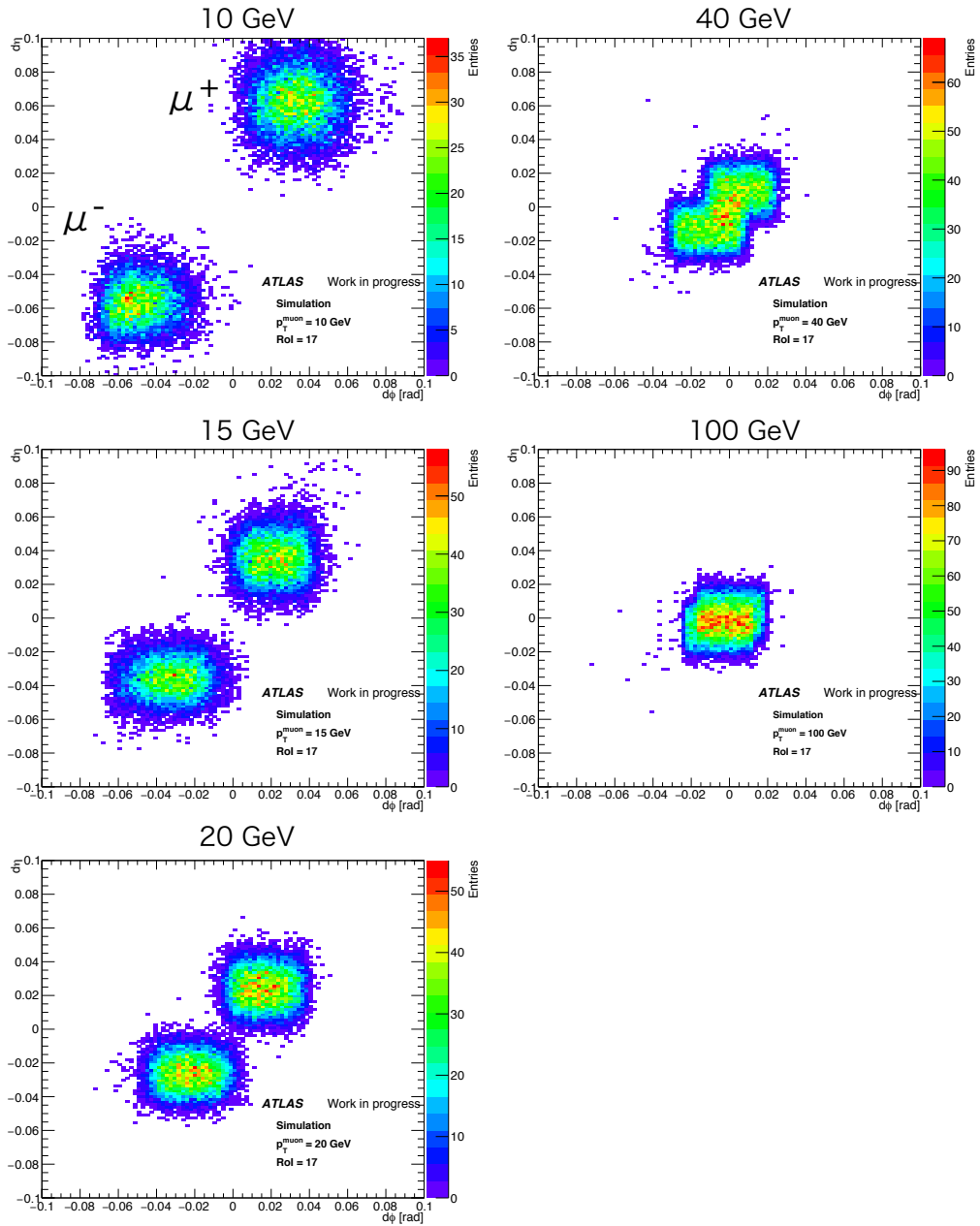


図 4.2 RoI = 17 ($\eta = 1.16$, $\phi = 0.31$ rad) における各 p_T のミュオンによるヒットの $d\eta : d\phi$ 分布。

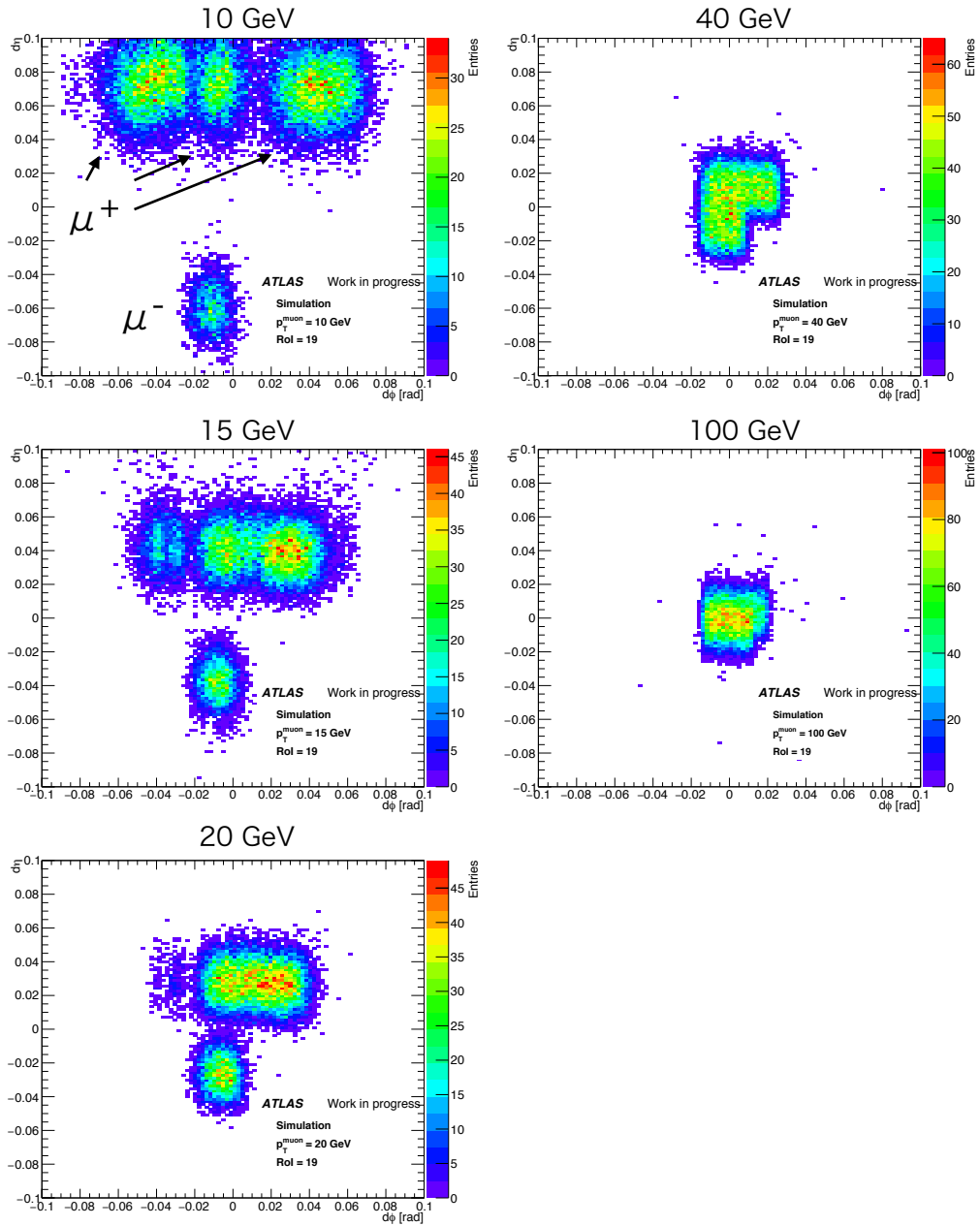


図 4.3 RoI = 19 ($\eta = 1.16$, $\phi = 0.37$ rad) における各 p_T のミュオンによるヒットの $d\eta : d\phi$ 分布。

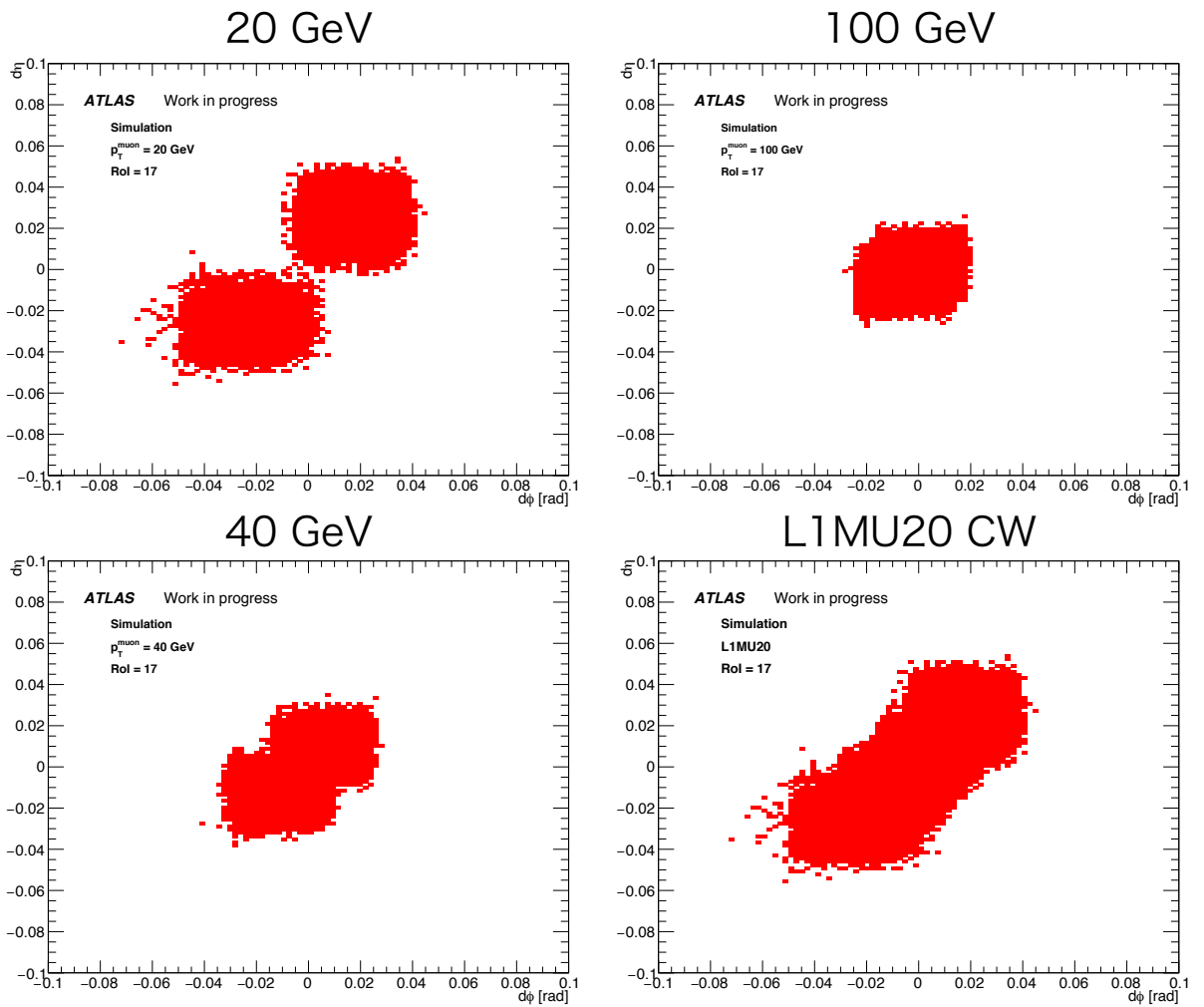


図 4.4 RoI = 17 ($\eta = 1.16$, $\phi = 0.31$ rad) の各 p_T のミュオンのヒット分布から作成した Window。ヒット分布を 99 % 以上含むように定義した 20 GeV(左上)、40 GeV(左下)、100 GeV(右上) の Window を足し合わせて、 p_T 閾値 20 GeV の L1MU20(右下) の CW を作成する。

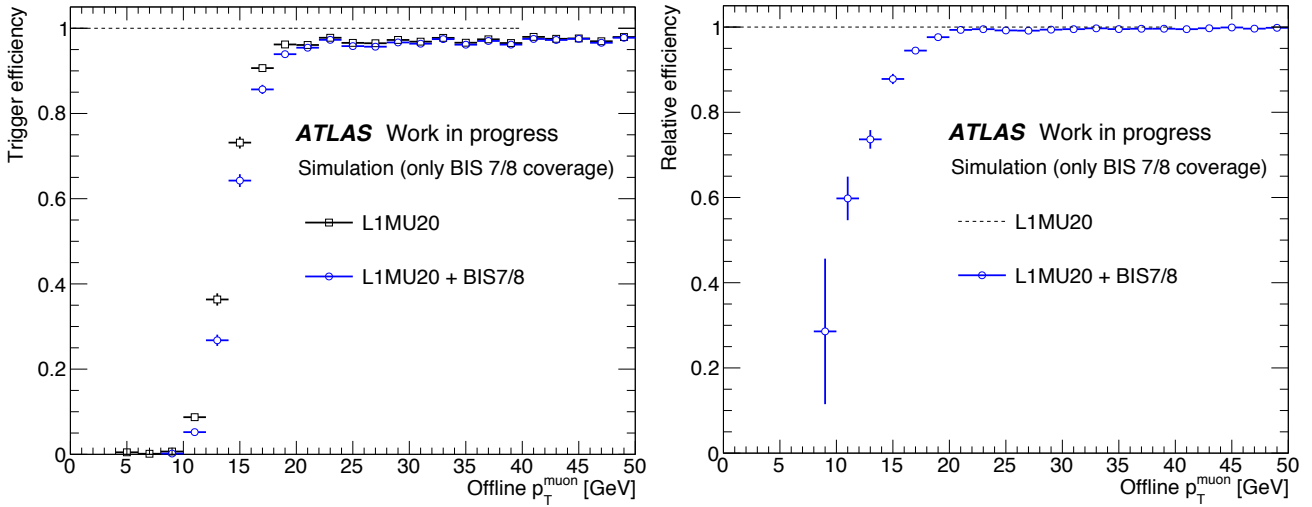


図 4.5 RPC BIS 7/8 の覆う領域において、コインシデンスをとる前後での L1MU20 の各 p_T のミュオンに対するトリガー効率。(左) すべてのミュオンに対するトリガー効率を示す。(右) TGC 単体の L1MU20 に対する、RPC BIS 7/8 と TGC の位置情報のコインシデンスをとった場合の相対的なトリガー効率を示す。

4.1.3 位置情報を用いたロジックの性能評価

新しく定義した CW を用いた場合の低い p_T を持つミュオンによるトリガーの削減について評価を行った。評価をするためのサンプルとして、CW 作成のために用いたサンプルとは異なるシングルミュオンの MC サンプルを用いた。このサンプルは、0 GeV から 100 GeV の一様な p_T 分布を持ち、一様な η 分布を持つミュオンのサンプルである。

図 4.5 に p_T 閾値 20 GeV の L1MU20 に対して CW を用いた場合のトリガー効率の結果を示す。図中の L1MU20 + BIS 7/8 は RPC BIS 7/8 の位置情報の CW を用いたトリガー効率である。RPC BIS 7/8 の CW を用いることで、閾値以上の p_T を持つミュオンに対する効率を 99 % 以上に保ちながら、閾値より小さい p_T を持つミュオンによるトリガーを削減できていることがわかる。

4.2 角度情報を用いたロジック

4.2.1 角度情報を用いたロジックの概要

RPC BIS 7/8 は位置の情報だけでなく、各層 (最大 3 層) の位置情報を組み合わせることで飛跡の角度情報を得ることができる。その角度情報を用いてトリガー判定を行うロジックを考えた。

図 4.6 に角度情報を用いたトリガーロジックの概念図を示す。位置情報を用いたロジックでは、衝突で発生するすべてのミュオンが検出器の中央で生成されていることを仮定しており、検出器の中央の点と TGC の最外層で判定されたミュオンの位置を結んだ直線からのズレを使って p_T を判定していた。しかし衝突点はビーム軸方向に $\sigma \sim 5$ cm 程度の広がりを持っており、さらにカロリメータなどの内部の物質と多重散乱を起こすため、検出器の中央から RPC BIS 7/8 にまっすぐ入射するとは限らない。

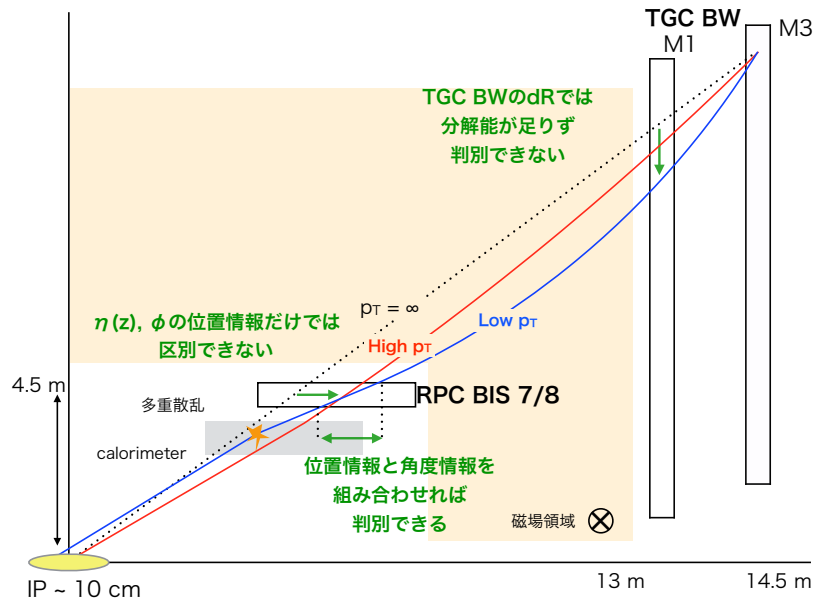


図 4.6 RPC BIS 7/8 の位置情報と角度情報を組み合わせた新ロジックの概念図。赤と青の線はそれぞれ p_T の高いミュオンの飛跡、 p_T の低いミュオンの飛跡を表す。位置情報だけではこれらのミュオンを区別できないが、位置情報と角度情報を組み合わせると区別できる。

図 4.6 に示したように、衝突点の広がりや多重散乱による影響を受けた低い p_T のミュオンは高い p_T を持つミュオンと同じような位置にヒット情報を残す。そのため位置情報を用いるだけでは、高い p_T と低い p_T が同じように見えてしまう。そこでヒット位置だけでなく、角度情報を用いて低い p_T と高い p_T のミュオンを分けられると考えた。ここで用いる角度情報は、RPC BIS 7/8 の最内層で得られた位置情報 ($\eta_{\text{inner}}, \phi_{\text{inner}}$) から最外層で得られた位置情報 ($\eta_{\text{outer}}, \phi_{\text{outer}}$) を引いた ($\Delta\eta, \Delta\phi$) と定義する。

位置情報を用いたロジックの場合と同様にシングルミュオンの MC サンプルを用いて、各 p_T の $d\eta : \Delta\eta, d\phi : \Delta\phi$ のヒット分布を図 4.7、4.8 に示す。これらのヒット分布からわかるように、ミュオンのヒットした位置と角度には相関があることがわかる。

このヒット分布が表す相関について図 4.7 中の 10 GeV の $d\eta : \Delta\eta$ の μ^- のヒット分布を用いて説明する。 μ^- のヒット分布を見ると、 $\Delta\eta$ が小さい(大きい)ものは $|d\eta|$ が小さい(大きい)位置にヒットしやすいという相関が見える。TGC の決められた位置(この場合 $\text{RoI} = 17$)に入射するためには、 $\Delta\eta < 0$ の μ^- がどのような飛跡を描くか考える。飛跡の概念図を図 4.9 に示す。この位置にヒットした μ^- は角度情報によらず、磁場中での曲がる向きや曲がり具合が同じである。そのため、 $\Delta\eta < 0$ の青い矢印の μ^- は磁場に入る前の飛跡の角度と磁場中で曲がり具合から TGC の決められた位置(この場合 $\text{RoI} = 17$)にヒットするが、 $\Delta\eta > 0$ の赤い矢印の μ^- は飛跡の角度と磁場中で曲がり具合を考慮すると、隣の RoI にヒットしてしまう。同じように図 4.10 の点線で囲まれた位置にヒットする μ^- では $\Delta\eta$ の符号によって、この RoI へのヒットしやすさの様相が逆転する。 ϕ 方向でも同じような現象が起こるため、こ

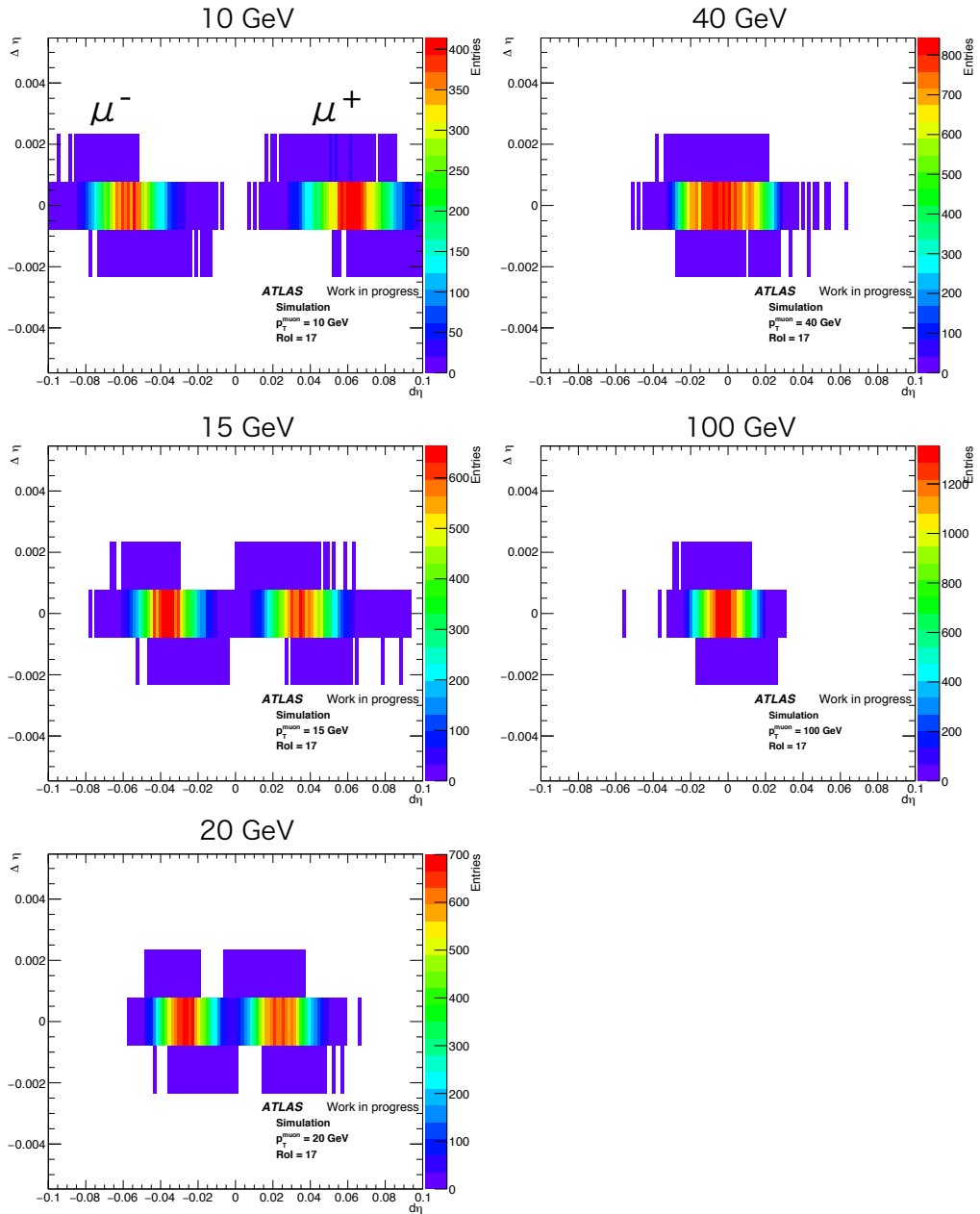


図 4.7 $\text{RoI} = 17$ ($\eta = 1.16$, $\phi = 0.31$ rad) における各 p_T のミュオンによるヒットの $d\eta : \Delta\eta$ 分布。

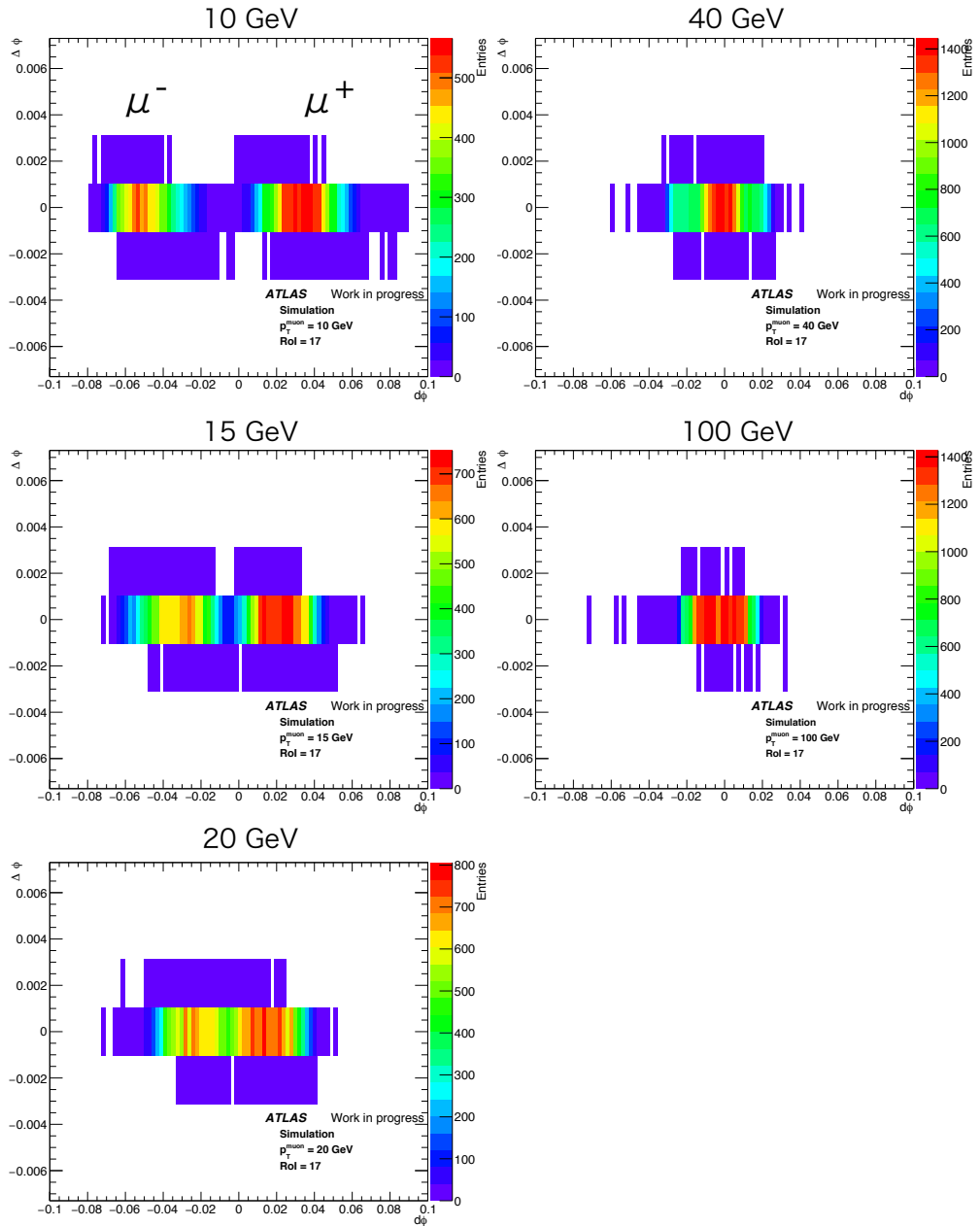


図 4.8 $\text{RoI} = 17$ ($\eta = 1.16$, $\phi = 0.31$ rad) における各 p_T のミュオンによるヒットの $d\phi : \Delta\phi$ 分布。

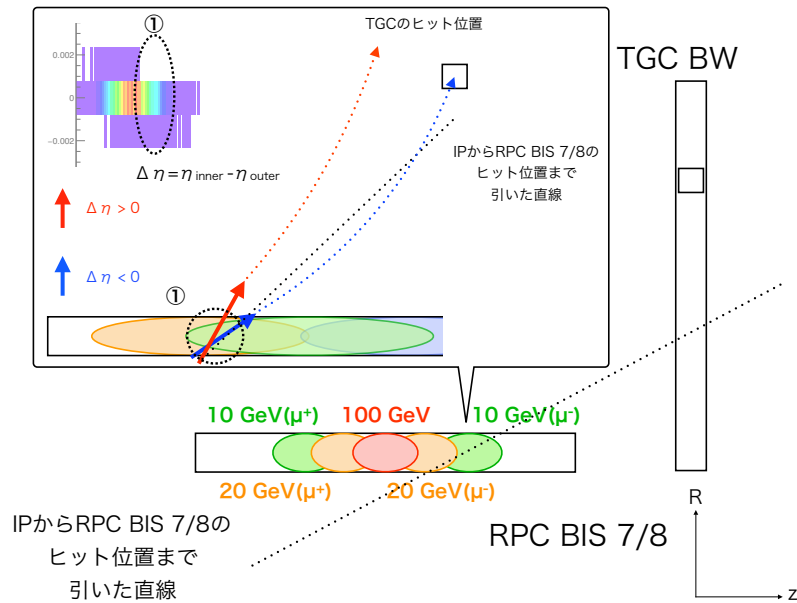


図 4.9 $|d\eta|$ が小さい位置にヒットした 10 GeV の μ^- が TGC BW に入射するまでに描く飛跡。磁場中での曲がり具合はほとんど同じなので、磁場に入射するときの角度の差によって TGC BW にヒットする位置がわずかにずれる。

のような位置と角度の相関が見える。

ここで角度情報を用いて削減したい、低い p_T のミュオンについて説明する。図 4.2 の p_T ごとのミュオンのヒット分布や図 4.4 の CW を見くらべてわかるように、CW 内の端の方では低い p_T のミュオンを落とさきれていない。これらのうち多重散乱や衝突点の広がりによって、位置情報を用いた CW を通過した低い p_T のミュオンに対して、角度情報を用いたロジックによってトリガー発行数を削減する。図 4.7、4.8 に示したように、低い p_T のミュオンほど $|d\eta|$ や $|d\phi|$ が大きい位置にヒットしやすくなるだけでなく、散乱角度が大きくなる。そこで $|d\eta|$ や $|d\phi|$ が大きい位置での $\Delta\eta$ や $\Delta\phi$ が 0 でないミュオンを削減することで低い p_T のミュオンによるトリガーを削減できる。しかし単純に $\Delta\eta$ や $\Delta\phi$ が 0 でないミュオンにカットをかけてしまうと efficiency が下がってしまうため、位置情報の場合と同じように CW を用いる。

4.2.2 角度情報を用いたロジックのための CW の定義

位置情報の CW と同様に、閾値以上の p_T を持つミュオンのサンプルで作成したヒット分布から Window を個別に定義し、それらを足し合わせて最終的な CW を作成する。単純にヒット分布の 99 % を含むように定義すると、高い p_T を持つミュオンにも $\Delta\eta$ 、 $\Delta\phi \neq 0$ となるものは少なからず存在し、 $\Delta\eta$ 、 $\Delta\phi \neq 0$ の部分の Window が閉じてしまうため efficiency が低くなってしまふ。そこで efficiency を保ちながら、低い p_T のミュオンによるトリガーを削減するため、Window の定義を位置情報を用いるロジックとは異なるものに変える。

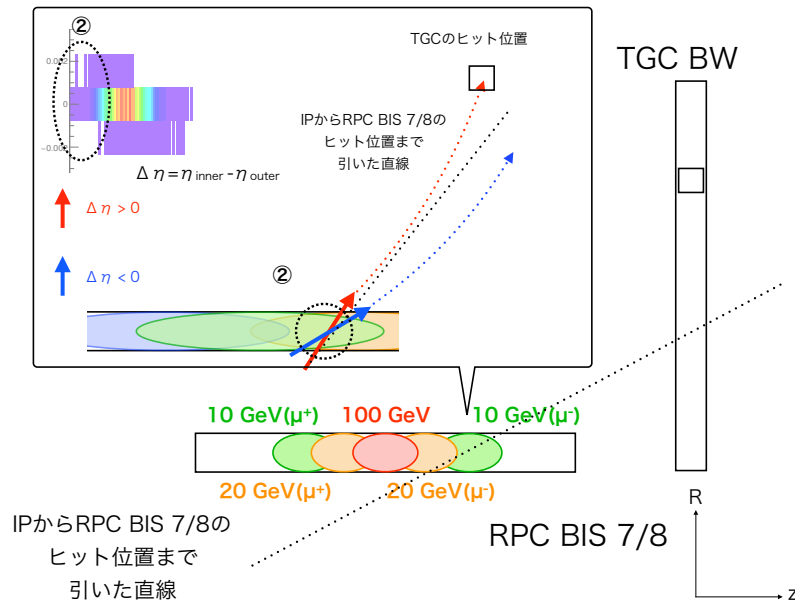


図 4.10 $|d\eta|$ が大きい位置にヒットした 10 GeV の μ^- が TGC BW に入射するまでに描く飛跡。磁場中での曲がり具合はほとんど同じなので、磁場に入射するときの角度の差によって TGC BW にヒットする位置がわずかにずれる。

例として横運動量閾値 20 GeV のトリガーである L1MU20 の CW の作成について説明する。40 GeV や 100 GeV の Window に対しては efficiency を保つため、ヒットしたマス目全てを開く。ただし、大きく散乱されるような非常に稀なイベントによって Window が大きくなりすぎないようにヒット数が 1 しかないマスは閉じる。そして閾値である 20 GeV の Window に対しては低い p_T のミュオンを削減するため、ヒットの 99 % を含むように Window を定義する。このように作られた Window を足し合わせて CW を作成する。図 4.11、4.12 に作成した Window を示す。

4.2.3 角度情報を用いたロジックの性能評価

位置情報を用いたロジックと同様に、角度情報の CW を用いた場合の性能評価を行った。結果を図 4.13 に示す。L1MU20 + BIS 7/8 + ($\Delta\phi$) + ($\Delta\eta$) は角度情報のコインシデンスを追加した場合の結果である。角度情報を用いたコインシデンスロジックを追加することで、位置情報のみを用いたコインシデンスロジックに比べて、閾値以上の p_T を持つミュオンに対するトリガー効率を 99 % 以上に保ちながら、閾値より低い p_T を持つミュオンによるトリガーをさらに削減できることがわかった。

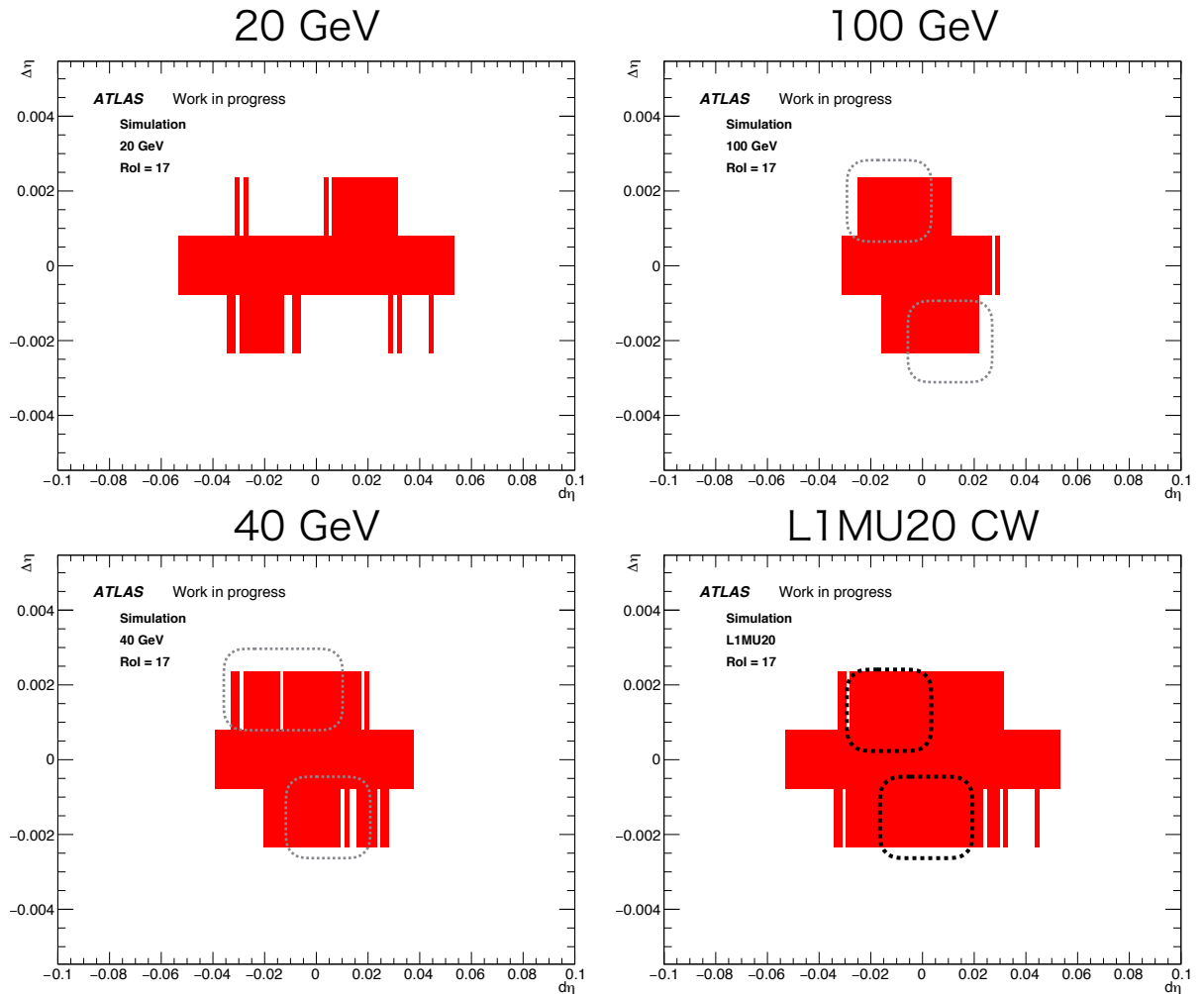


図 4.11 RoI = 17 ($\eta = 1.16$, $\phi = 0.31$ rad) における各 p_T のミュオンのヒット分布から作成した η の角度情報を使用した Window。20 GeV(左上)、40 GeV(左下)、100 GeV(右上) の Window を足し合わせて、閾値 20 GeV の L1MU20(右下) の CW を作成した。40 GeV、100 GeV のサンプルに対してヒットの 99% を含むように定義すると、灰色の点線で囲まれた部分の Window が閉じてしまい、L1MU20 の黒の点線で囲まれた CW が閉じる。その結果 efficiency が低くなってしまふ。CW の間の抜けは統計が足りていないため生じている。

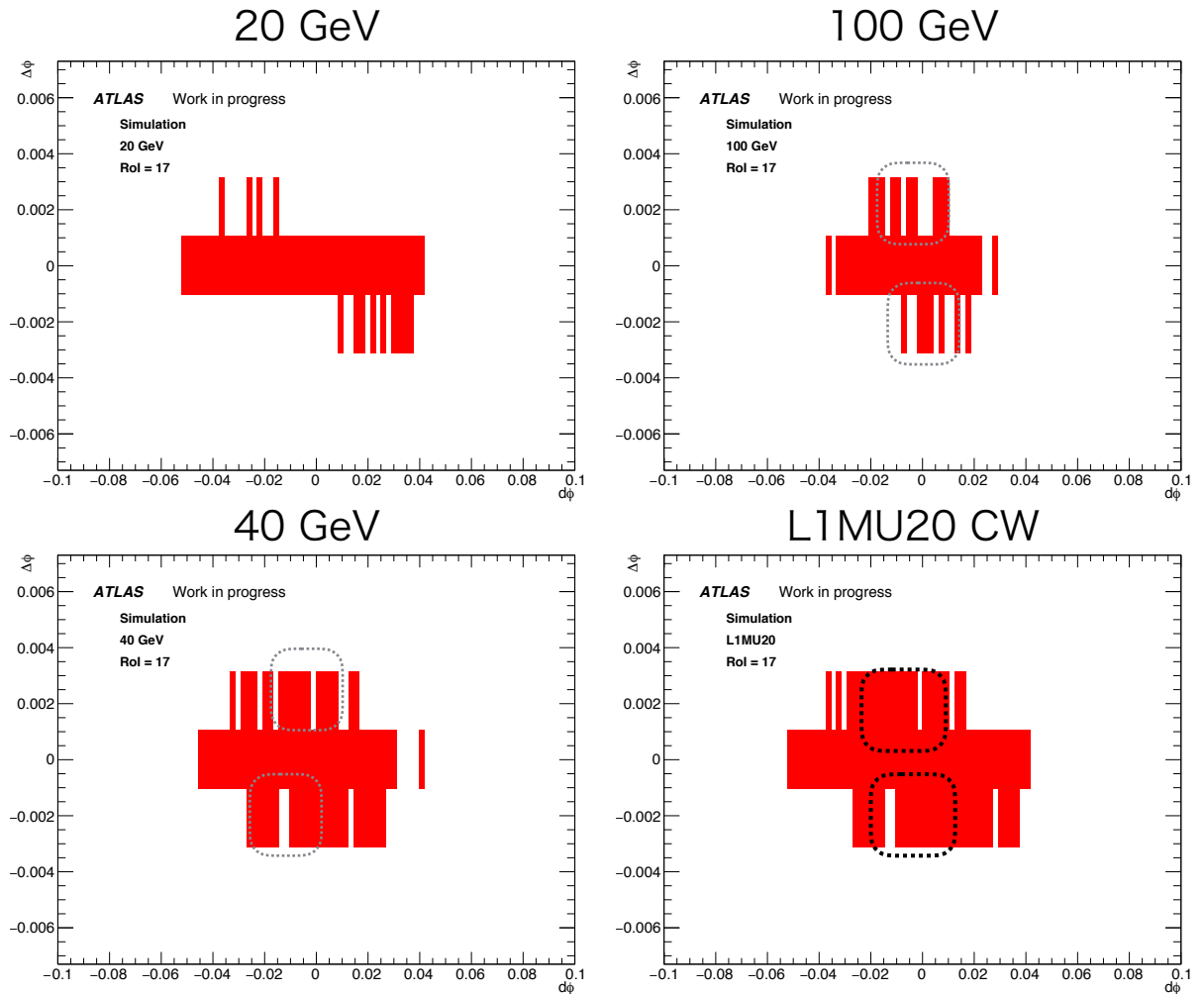


図 4.12 RoI = 17 ($\eta = 1.16$, $\phi = 0.31$ rad) における各 p_T のミュオンのヒット分布から作成した ϕ の角度情報を使用した Window。20 GeV(左上)、40 GeV(左下)、100 GeV(右上) の Window を足し合わせて、閾値 20 GeV の L1MU20(右下) の CW を作成した。40 GeV、100 GeV のサンプルに対してヒットの 99% を含むように定義すると、灰色の点線で囲まれた部分の Window が閉じてしまい、L1MU20 の黒の点線で囲まれた CW が閉じる。その結果 efficiency が低くなってしまう。CW の間の抜けは統計的なばらつきから生じている。

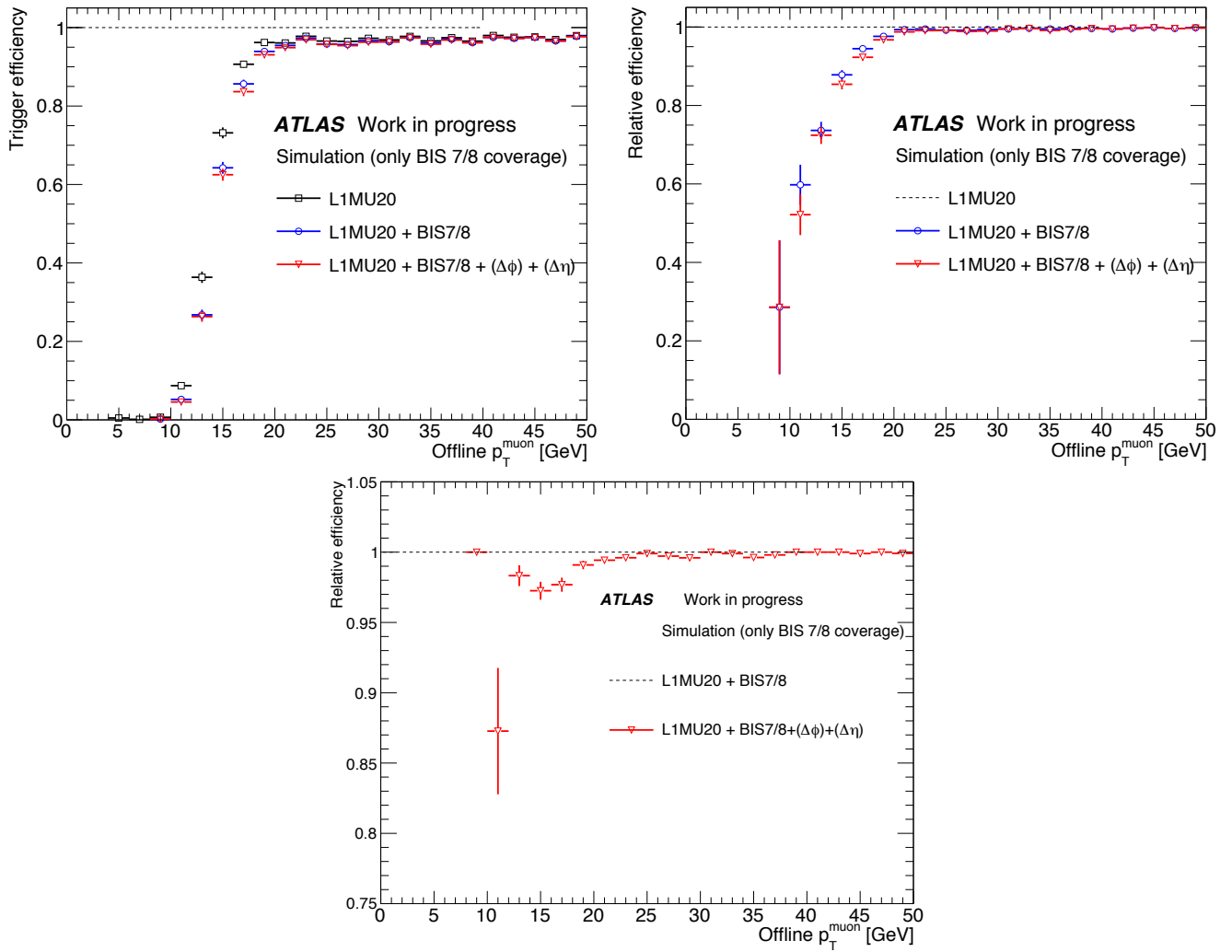


図 4.13 RPC BIS 7/8 とコインシデンスをとる前後での L1MU20 の各 p_T のミュオンに対するトリガー効率。(左上) すべてのミュオンに対するトリガー効率を示す。(右上) TGC 単体の L1MU20 に対する、RPC BIS 7/8 と TGC の位置情報と角度情報のコインシデンスをとった場合の相対的なトリガー効率を示す。(下) RPC BIS 7/8 と TGC の位置情報のコインシデンスをとった場合に対する、角度情報のコインシデンスを追加した場合の相対的なトリガー効率を表す。

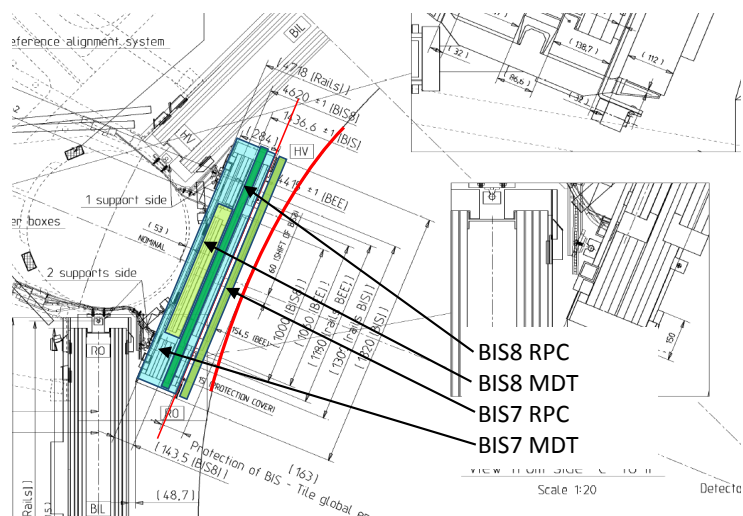


図 4.14 ビーム軸方向から見た、Run-3 以降の BIS 7/8 の各検出器の配置予定図 [10]。この図の MDT は sMDT のことを表している。Run-2 で設置されている MDT が覆う ϕ 領域はこの図と同じであり、MDT BIS 8 の覆う ϕ 領域は小さい。

4.3 実データを使ったトリガーレートの評価

2017 年に取得したデータを用いて、考案したトリガーロジックのレート削減効果について評価を行った。評価方法は、実データから衝突点由来でない荷電粒子によるトリガーの削減率を見積もり、再構成されたミュオンに対しては、4.1 節、4.2 節で説明した CW を使った場合の削減率を用いる。

衝突点由来でない荷電粒子によるトリガーの削減率はシミュレーションでは再現できないため、実際のデータを用いて評価する必要がある。しかし RPC BIS 7/8 はまだ導入されていないため、実データ中には情報がないので他の検出器の情報でこれを代用する。そこで同じ位置に導入されている精密測定用検出器 MDT の情報を代用する。

図 4.14 に示すように、MDT BIS 7 と RPC BIS 7 が覆う ϕ 領域は同じだが、MDT BIS 8 (sMDT BIS 8) と RPC BIS 8 の覆う ϕ 領域は少し異なる。そのため MDT BIS 8 がない領域でも、同じ削減率が得られると仮定してトリガーレートを評価する。したがって衝突点由来でない荷電粒子によるトリガーレートの評価には、 $(\text{MDT BIS 7/8 で見積もったトリガーの削減率}) \times (\text{RPC BIS 7/8 と TGC BW のコインシデンスを要求する領域での衝突点由来でない荷電粒子によるトリガー発行数})$ を用いる。

また RPC BIS 7/8 が覆う領域では、Tile Calorimeter と TGC BW のコインシデンスをとることも可能である。この領域では、Tile Calorimeter と RPC BIS 7/8 とのコインシデンス性能を比較し、どちらとコインシデンスをとるか決める。

Tile Calorimeter と TGC BW のコインシデンスはエネルギー閾値が最適化されていないため調整中である。仮にエネルギー閾値を低く設定した場合でも再構成されたミュオンによるトリガーの削減率は変化しないので、RPC BIS 7/8 とコインシデンスをとった場合比較に用いることができる。

4.3.1 衝突点由来でない荷電粒子由来のトリガーに対する削減の見積もり

上記のように RPC BIS 7/8 は現在導入されていないため、同じ位置に設置されている MDT で再構成されたトラックの情報を代用する。MDT は、 η 方向の分解能は 4.7×10^{-6} と高いが、 ϕ 方向にはチェンバー単位でしか分解能はない。一方 RPC BIS 7/8 の η 方向の分解能は 1.6×10^{-3} 、 ϕ 方向の分解能は 2.1 mrad である。このため厳密には同じでないが、MDT の η 情報に対して smearing を行い、RPC BIS 7/8 の η 分解能まで精度を落としてからカットをかける。また ϕ については粗いカット ($|d\phi| < 0.15$ rad) をかけるのみにする。 p_T 閾値 20 GeV で発行されたトリガー L1MU20 のうち衝突点由来でないものについての削減率を求めるために、図 4.2、図 4.3 を参考にして、少し条件が緩い、 $|d\eta| < 0.07$ のカットをかける。MDT BIS 7/8 とのコインシデンスによってどの程度トリガー発行数を削減できるか見積もった。

L1MU20 のトリガー発行数の η 分布を図 4.15 に示す。白色の部分は上記で述べたように、MDT BIS 7/8 とコインシデンスをとった場合に削減されるトリガー数から見積もった、RPC BIS 7/8 を要求した場合に削減されるトリガーである。コインシデンスを要求する領域ではトリガー発行数のうち、衝突点由来でない荷電粒子によるトリガーが約 80 % をしめ、そのうち約 97 % を削減できる。

青色の部分はコインシデンスを要求した後に残った衝突点由来でない荷電粒子によるトリガーである。

また、赤色の部分は閾値以下のミュオンによるトリガー、緑色の部分は閾値以上のミュオンによるトリガーを表している。閾値以上のミュオンに対するトリガー効率は、0.97 である。これは MDT のトラック再構成効率自体が約 97 % であるためである。RPC BIS 7/8 でのトラック再構成効率は約 98 % であると想定されており^[10]、MDT のトラック再構成効率とほぼ同じである。

RPC BIS 7/8 を用いたトリガーロジックでは、コインシデンスを要求する $1.0 < |\eta| < 1.3$ の Small Sector において、衝突点由来でない荷電粒子によるトリガーの削減だけで $0.8 \times 0.97 = 0.77$ 削減できる。

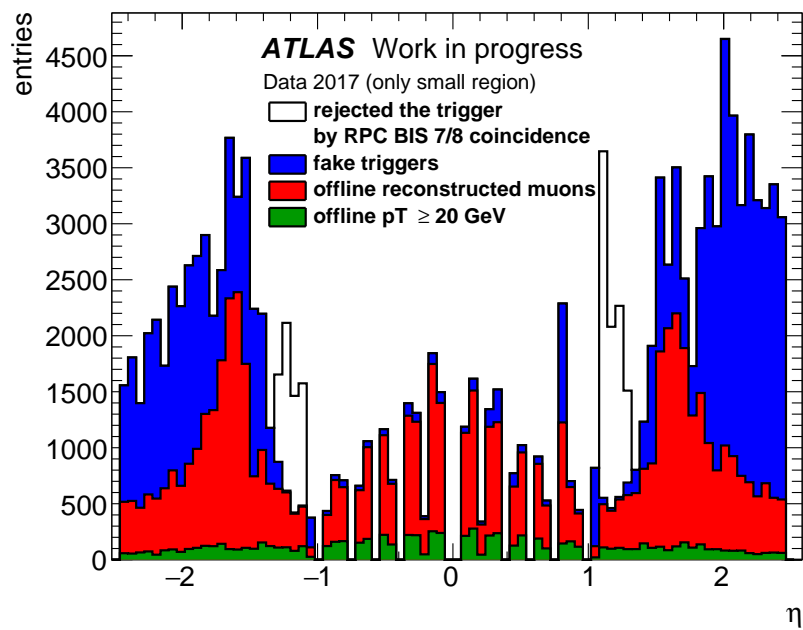


図 4.15 RPC BIS 7/8 とコインシデンスをとった後の L1MU20 の発行数 (RPC BIS 7/8 が設置されている ϕ 領域のみ)。白は MDT BIS 7/8 の削減率から見積もった RPC BIS 7/8 を要求した場合に削減されるトリガー。青は衝突点由来でない荷電粒子によるトリガー。赤は閾値未満の、緑は閾値以上のミュオンによるトリガー。

4.3.2 トリガーレートの見積もり

次に、実際にミュオンが再構成され、その p_T が閾値以下である場合に発行されたトリガーの削減率を見積もった。再構成されたミュオンの p_T ごとのトリガー数の見積もりを図 4.16 に示す。

白色の部分は Tile Calorimeter とコインシデンスをとった場合に削減される L1MU20 の p_T 分布である。Tile Calorimeter でミュオンが通ったか判定するためのエネルギー閾値は調整中であるが、横運動量が閾値より低いミュオンによるトリガーの削減率はあまり変わらないと考えられる。そのため Tile Calorimeter で要求するエネルギー閾値の調整による低い p_T のミュオンのトリガー削減率は今回の見積もりとほぼ同じであると仮定する。

RPC BIS 7/8 とのコインシデンスロジックには位置情報 ($\eta \sim 0.0016$) を用いるので、Tile Calorimeter とのコインシデンスで要求するセルの位置情報 ($\eta \sim 0.35$) よりも分解能が良い。そのため低い p_T を持つミュオンのトリガー削減率は Tile Calorimeter とコインシデンスをとった場合よりも良くなるはずである。水色の部分は Tile Calorimeter に加えて RPC BIS 7/8 とコインシデンスをとった場合にさらに削減される L1MU20 の p_T 分布である。Tile Calorimeter とコインシデンスをとった場合に比べて、閾値以下の横運動量を持つミュオンによるトリガーをさらに約 17 % 削減できるという結果が得られた。

図 4.16 に示したように RPC BIS 7/8 とコインシデンスをとった場合に、再構成されたミュオンによるトリガーレートは約 15% 削減されるという結果が得られた。また前節の結果から衝突点由来でない荷電粒子によるトリガーレートの削減率も考慮すると、77 % (衝突点由来でない荷電粒子によるトリガーの削減率) + 20 % (再構成されたミュオンによるトリガー発行数の割合) \times 15 % (コインシデンスロジックの実装による削減率) = 80 % の削減が見込まれる。RPC BIS 7/8 と TGC のコインシデンスを要求する領域 ($1.0 < |\eta| < 1.3$ の Small Sector) で発行される L1MU20 のトリガー数は、TGC 全体が発行する L1MU20 のトリガー発行数の約 5.7 % を占めている。そのため RPC BIS 7/8 とコインシデンスをとることで Level-1 ミュオンエンドキャップトリガーの L1MU20 を、 $5.7 \% \times 80 \% =$ 約 4.6 % 削減できることがわかった。

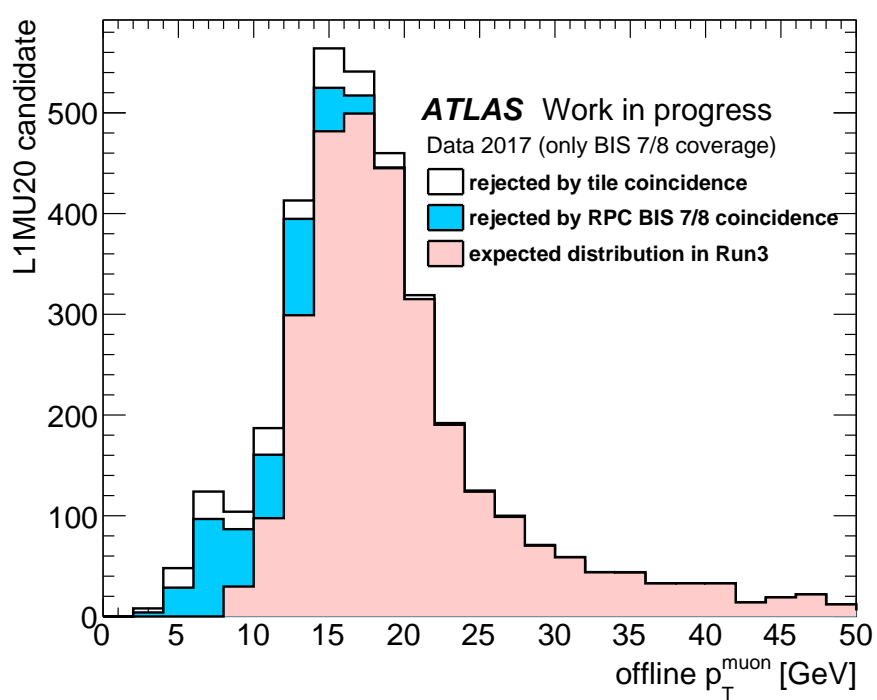


図 4.16 $1.0 < |\eta| < 1.3$ の Small Sector で再構成されたミュオンによる L1MU20 の p_T 分布。白色は Tile Calorimeter とコインシデンスをとることで削減されるトリガー。水色の部分は RPC BIS 7/8 とコインシデンスをとることでさらに削減されるトリガー。

第5章 トリガー判定ボード New Sector Logic

ATLAS 実験 Run-3 に向けた Level-1 ミューオンエンドキャップトリガーの改良のために新しいトリガー判定用回路 New Sector Logic (New SL) を開発した。前章で述べたトリガーロジックを New SL に実装する。この章では New SL について説明し、次章でトリガーロジックの実装方法を述べる。

5.1 New Sector Logic の概要

5.1.1 New Sector Logic に対する要求性能

New SL の主な役割は検出器から情報を受け取り、トリガー判定を行うことである。TGC のワイヤーの ΔR とストリップの $\Delta\phi$ の情報を用いて、TGC の RoI と p_T を決定する。また New SL で判定されたミューオンのトラックを各トリガーセクターにつき 4 つまで選択し、その結果を MuCTPi へ送信する。ここで New SL の要求性能についてまとめておく。

① TGC Big Wheel の情報の受信

TGC Big Wheel 検出器及びフロントエンド回路は Run-3 で変更されない。そこで現在と同じく HPT ボードから TGC BW の情報を受け取る必要がある。

② 内部の検出器のヒット情報の受信

磁場よりも内側にある検出器のヒット情報を用いることでフェイクトリガーを削減するため、各検出器からヒット情報を受け取る必要がある。Run-2 でのトリガー判定に用いられている Sector Logic ボード (SL) は TGC EI/FI と Tile Calorimeter から情報を受け取っている。Run-3 以降では、TGC FI の代わりに New Small Wheel から、また新たに RPC BIS 7/8 から情報を受け取る。これら各検出器のフロントエンド回路から、異なる通信規格で、かつ異なるデータ転送速度で情報を受け取るため、それぞれに対応したデータ受信方法が必要となる。Level-1 トリガーでは Fixed Latency システムが採用されており、異なるデータ転送速度 (異なる周波数のクロック) で送られてくる情報を一定の Latency で正しく受け取る必要がある。

③ トリガー判定

New SL は各検出器から受信した情報を用いて p_T を計算し、トリガー判定を行う。トリガー判定は一定の処理時間で行わなければならない。またトリガー判定の結果を MuCTPi ボードへと送信する必要があり、複数のミューオンのトラックがあれば、 p_T が高い順に 4 つまで選んで送る。これらのロジックは FPGA に実装する。

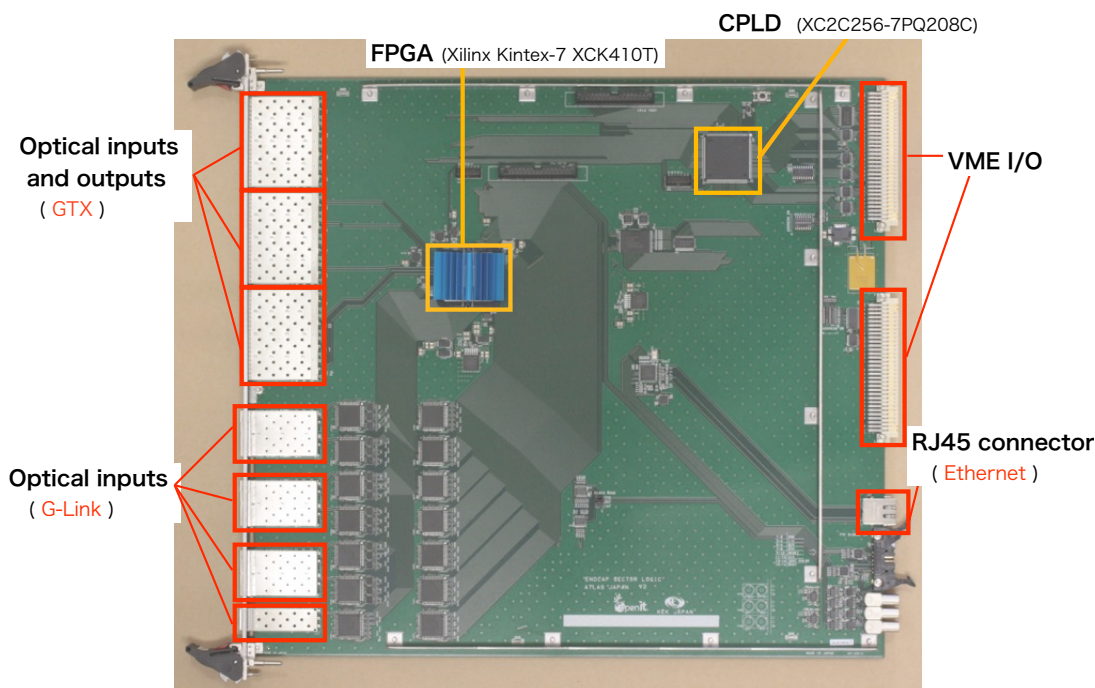


図 5.1 New Sector Logic と主な I/O、IC チップ。

④ 入力信号の読み出し

3.2.4 節で説明したように、New SL は各検出器から受信したヒット情報を保持・圧縮して、後段の SROD へ送信する必要がある。

⑤ VME interface による制御

ミュオンの p_T 閾値変更などの VME バスを用いたコントロールのためのインターフェイスが必要である。

5.1.2 New Sector Logic のデザイン

ここでは New Sector Logic のデザイン、仕様について説明する。

図 5.1 に主な I/O インターフェイスと IC チップを示した。要求性能①、②を満たすために、各フロントエンド回路から送られてくる通信規格に対応した入力ポートが用意されている。GTX は New Small Wheel、RPC BIS 7/8、Tile Calorimeter からデータを受け取るための入力ポートである。G-Link は TGC BW、TGC EI からデータを受け取るための入力ポートである。また GTX 通信でデータを受信し、要求性能③を満たすために大規模なロジックを作成できる FPGA を用いた。GTX 通信はトリガー判定結果を MuCTPi ボードへ送る際にも用いる。要求性能④のために、TCP/IP 通信を用いて Ethernet ケーブル経由で入力データを読み出す出力ポート (RJ45 connector) が用意されている。また要求性能⑤を満たすため、VME 9U 規格でボードが設計されている。

表 5.1 XC7K410T の仕様 ^[19]

デバイス	ロジックセル	ブロック RAM (BRAM) (Kb)	GTX (チャンネル数)	ユーザー I/O pin 数
XC7K410T	406,720	28,620	16	500

5.1.3 主な IC チップ

FPGA トリガー判定を行うために FPGA を用いて回路設計を行う。New SL では GTX、G-Link などの多くの I/O が必要であること、コインシデンスロジックを実装するための BRAM などの必要なリソースの試算から Xilinx 社の Kintex-7 Series FPGA の XC7K410T というチップを採用した。表 5.1 に XC7K410T のリソースを示す。この FPGA は高速通信トランシーバーである GTX を 16 チャンネル分搭載しており、磁場内部の検出器からデータを受け取るために用いられる。ロジックセルは小規模な論理演算で用いられる。BRAM はメモリであり、データ保存や大規模な演算を行う場合に用いる。

CPLD CPLD は VME バスを用いて FPGA を制御するために用いる。New SL では Xilinx 社製の CPLD、CoolRunner-II Family の XC2C256-7PQ208C を用いることにした。CPLD は FPGA と異なり、不揮発性のメモリを持っている。そのため電源投入のたびに回路デザインを書き込む必要がない。また FPGA の回路の書き込み制御も行う。

5.1.4 入出力ポート

ここでは New SL の主な入出力ポートについて説明する。

GTX 通信用 SFP+ モジュール SFP+ は電気信号と光信号の変換を行い、データの送受信を行うためのモジュールであり、New SL では GTX 通信のためのインターフェイスとして用いられる。Avago Technologies 社の AFBR-709SMZ というモデルを採用した。FPGA には GTX 用の I/O は 16 チャンネル分あるが、New SL では 12 チャンネル分の SFP+ モジュールを搭載している。Endcap セクター用、Forward セクター用の New SL では、受信用の 6 チャンネルもしくは 8 チャンネルを New Small Wheel から、残りの 1 チャンネルずつを RPC BIS 7/8 と Tile Calorimeter からのデータ受信に用いる。送信用の 2 チャンネル分を MuCTPi へコインシデンス結果を送信するために用いる。

G-Link 通信用 SFP モジュール SFP モジュールは G-Link 通信のための光変換モジュールである。W-Optics 社の SAB-1AC1-111 を採用した。G-Link 通信では受信のみを行うため、14 ポート分の受信ポートを搭載している。12 ポート (Forward では 6 ポート) 分は TGC BW からのデータ受信に用い、残りの 2 ポートは TGC EI からのデータ受信に用いる。

RJ45 connector 入力データを読み出し用の Ethernet ケーブルを接続するために設置されている。

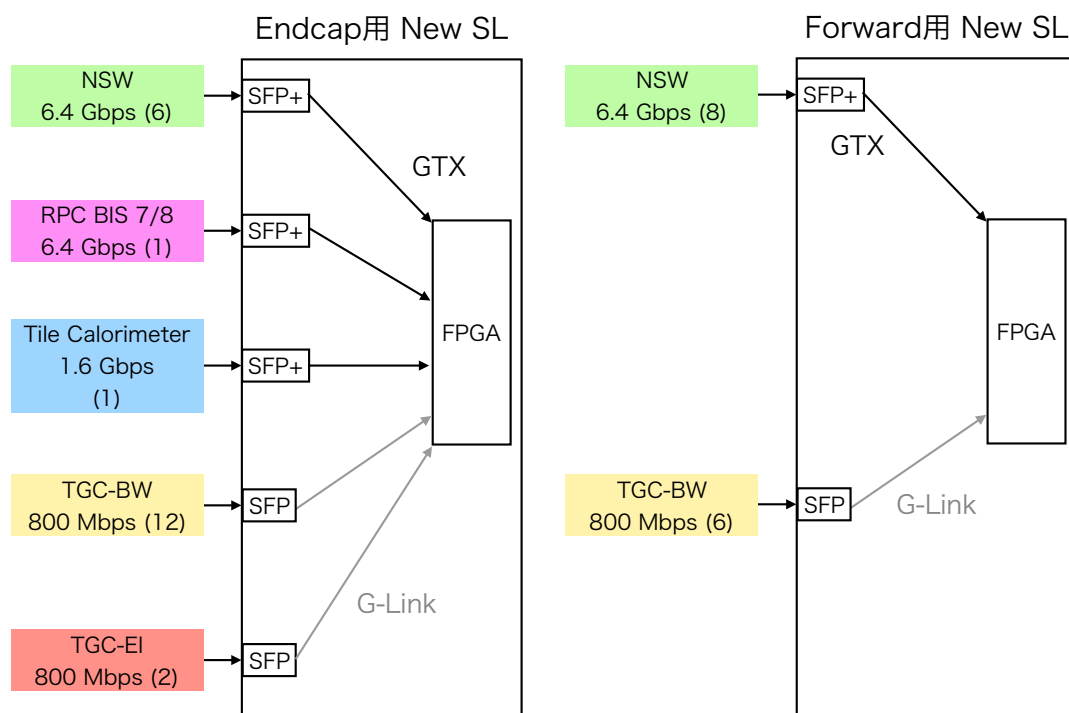


図 5.2 New SL の受信データの規格とデータ転送速度。括弧内の数字は必要なポート数。

5.2 New SL の受信データ

New SL は TGC BW と磁場の内側の検出器の情報を用いてトリガー判定を行う。ここでは New SL が受け取るデータについて説明する。

New SL は TGC BW だけでなく、磁場の内側に設置された TGC EI、Tile Calorimeter、RPC BIS 7/8、New Small Wheel からも情報を受け取る。図 5.2 に示すように、それぞれの検出器のフロントエンド回路から受け取る情報は、通信規格やデータ転送速度が異なる。

以下では、各検出器から受け取るデータフォーマットについて説明する。

5.2.1 現行 TGC からのデータフォーマット

TGC BW から受け取るデータフォーマットについて説明する。TGC BW で得られたヒット情報は、HPT ボードでのワイヤーとストリップで独立したコインシデンスロジックを経由して New SL に送られる。データフォーマットを表 5.2 に示す。HITID と POS が位置情報を表しており、 R と ϕ にデコードされ、RoI を決定するために用いる。Sign と ΔR 、 $\Delta \phi$ は曲がり具合の情報を表しており、Coincidence Window (CW) で行う p_T 計算に用いる。H/L flag は HPT ボードで行われる HPT コインシデンスがとれたかどうかを表している。

表 5.2 HPT ボードから受け取る TGC BW の位置情報と曲がり具合の情報。

Bit	Wire (R)	Strip (ϕ)
0	$\Delta R[0]$	$\Delta\phi[0]$
1	$\Delta R[1]$	$\Delta\phi[1]$
2	$\Delta R[2]$	$\Delta\phi[2]$
3	$\Delta R[3]$	Sign
4	Sign	H/L
5	H/L	POS
6	POS	HITID[0]
7	HITID[0]	HITID[1]
8	HITID[1]	HITID[2]
9	HITID[2]	Not used

表 5.3 TGC EI から受け取るミューオンの (R, ϕ) の位置情報

Bit	Signal
0	EI strip ch24-31 OR
1	EI strip ch16-23 OR
2	EI strip ch8-15 OR
3	EI strip ch0-7 OR
4	EI wire ch16-23 OR
5	EI wire ch8-15 OR
6	EI wire ch0-7 OR

TGC EI からは R と ϕ の位置情報のみを受け取る。データ転送速度に制限があるため、PS ボードでは 8 channel の OR をとったものを送信する。データフォーマットを表 5.3 に示す。

5.2.2 TMDB から受け取るデータフォーマット

Tile Calorimeter は ϕ 方向に 64 分割されたモジュールで構成されており、 R 方向に分割された各セルごとにエネルギーを測定している。New SL でのトリガー判定に必要な情報は図 5.3 に示すように、 $1.0 < |\eta| < 1.3$ の領域を覆う D5、D6 の情報だけである [12]。TMDB では Tile Calorimeter のモジュールごとに D5、D6 で測定されたエネルギーをデジタル化し、3 bit の情報に変換して New SL へ送信する。1 つの TMDB は 8 モジュールの Tile Calorimeter の情報を処理し、1 つの New SL は TMDB から 4 モジュール分の情報を受け取る。

TMDB から受け取るデータフォーマットはまだ確定していない。1.6 Gbps で受け取る場合のデータフォーマットの案を図 5.4 に示す。3 bit の “Mod” は各 Tile Calorimeter のモジュールにおける D5、D6 で測定されたエネルギー、およびそれらの和が閾値を超えたかどうかの結果を格納する。Comma は、受

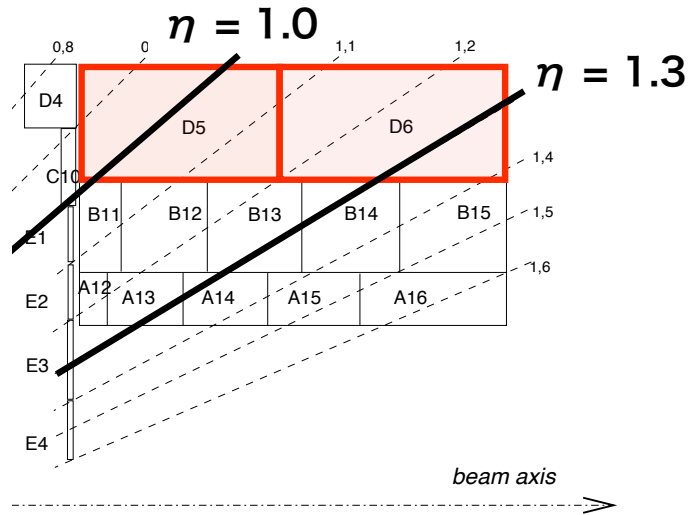


図 5.3 Tile Calorimeter のセルの配置 [3]。D 層に入射する粒子のほとんどがミュオンであり、D5、D6 の情報は TGC とコインシデンスをとるために用いられる。

Data format from Tile Muon Digitizer Board (TMDB) to Endcap Sector Logic

Words (16 bit)	first byte								second byte							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	BCID[3:0]				1'b0	TMDB[2:0]			comma							
Word-1	2'b0		Mod3[2:0]			Mod2[2:0]			Mod1[2:0]			Mod0[2:0]		cable[1:0]		

8b/10b encoding × 4 bytes = 1.6 Gbps

図 5.4 TMDB から受け取るデータフォーマット。

信側でシリアルデータをパラレルデータに変換する際に、シリアルデータの境界の位置を知るために用いる特別なパターンである。5.3.1 小節の GTX RX で説明する Word Alignment での処理に使用する。TMDB は自分のモジュール ID を、cable は TMDB から New SL にデータを送るために用いるケーブルの ID 情報を表している。これらの情報は debug 用に用いられる。

5.2.3 RPC BIS 7/8 から受け取るデータフォーマット

RPC BIS 7/8 は 3 層構造になっており、2-out-of-3 コインシデンスで得られたミュオンの位置情報と複数の層のヒット情報を用いた角度情報を送信する。RPC BIS 7/8 やフロントエンド回路の性能評価ができていないため、最終的なデータフォーマットが決まっていないが、1トラック分のデータフォーマットの案を表 5.4 に示す。

η index、 ϕ index はミュオンの位置を示し、 $\Delta\eta$ 、 $\Delta\phi$ は角度情報を表す。2/3 flag は 3 層のうち、どの層にヒットがあったかを表すものである。reserved は予備の bit である。この 24 bit でミュオンの

表 5.4 RPC BIS 7/8 から受け取るミュオントラック情報。1つのトラック情報を 24 bit で表す。

情報	η index	ϕ index	$\Delta\eta$	$\Delta\phi$	2/3 flag	reserved
ビット幅	6	6	3	3	2	4

Data format from RPC BIS 7/8 Pad trigger logic board to Endcap Sector Logic

Words	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2		
Word-3	track-1	
Word-4	track-2	
Word-5		
Word-6	track-3	
Word-7	BCID(8 bit)	CRC(8 bit)

8b/10b encoding × 16 bytes = 6.4 Gbps

図 5.5 1 BC ごとに RPC BIS 7/8 から受け取るデータフォーマット。

1トラック分の情報を表す。

RPC BIS 7/8 のフロントエンド回路は 1 BC ごとに 4 トラック分の情報を送る予定である。1 BC ごとに受け取るデータフォーマットを図 5.5 に示す。CRC とは Cyclic Redundancy Check の略であり、データ転送の際にエラーを検出するために用いられる。

5.2.4 New Small Wheel から受け取るデータフォーマット

New Small Wheel (NSW) も RPC BIS 7/8 と同じく、ミュオンのヒット位置と角度情報を含んだトラック情報を New SL に送る。1トラック分の情報を表 5.5 に示す。

sTGC type と MM type は、それぞれ 8 層ずつある sTGC と MM でのコインシデンス情報を表す。sTGC、MM の 8 層中、コインシデンスを取れた層が多い方を選択し、2 bit で表現する。 η や ϕ のビット幅は、Level-1 トリガーで用いる NSW の分解能 ($\eta \sim 0.005$ 、 $\phi \sim 10$ mrad) から決められている。 $\Delta\theta$ は図 5.7 のように定義される。ミュオンが衝突点の中心からまっすぐに NSW まで飛んだ場合は $\Delta\theta = 0$ となる。しかし、実際は衝突点に広がりがあることや NSW に到達する前にカロリメータなどで多重散乱を起こすなどの理由で、図 5.6 のように $\Delta\theta$ は 0 を中心として広がりを持つ。ほとんどの場合、 $|\Delta\theta| < 15$ mrad であり、Level-1 トリガーで要求される分解能が 1 mrad であるので、 $\Delta\theta$ は 5 bit のビット幅で表される。

NSW TP が 1 BC ごとに New SL へ送るデータフォーマットを図 5.8 に示す。1つの NSW TP は 8 つのミュオンのトラック情報を 2 本の光ファイバーを用いて New SL へ送る。

表 5.5 New Small Wheel から受け取るミュオンのトラック情報。1つのトラック情報を24 bit で表す。

情報	sTGC type	MM type	$\Delta\theta$	ϕ position	η position	spare
ビット幅	2	2	5	6	8	1

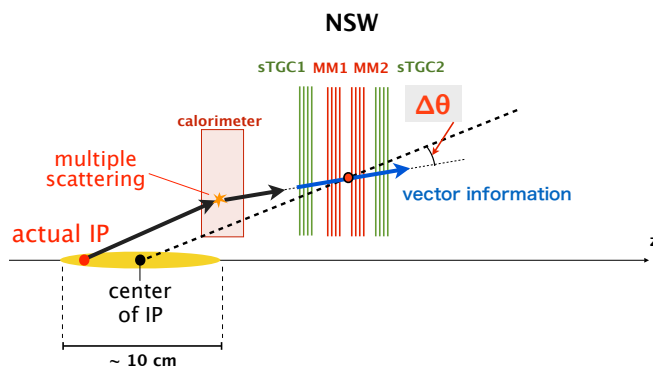


図 5.6 $\Delta\theta$ の定義 [13]。衝突点の中心からヒット位置まで延ばした直線と、実際の New Small Wheel で得られたトラックとの角度差で定義される。

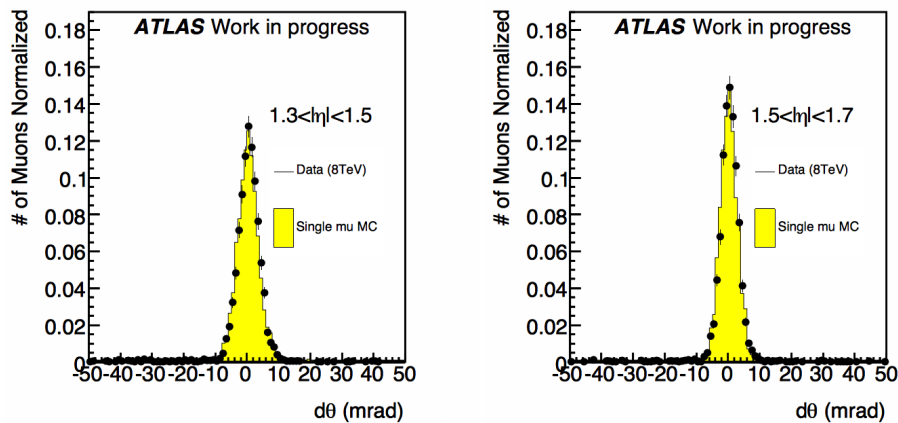


図 5.7 $\sqrt{s} = 8$ TeV のデータと MC での $\Delta\theta$ の比較 [13]。左は $1.3 < |\eta| < 1.5$ の分布。右は $1.5 < |\eta| < 1.7$ の分布。

Data format from New Small Wheel Trigger Processor to Endcap Sector Logic

Words	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2		
Word-3	track-1	
Word-4	track-2	
Word-5		
Word-6	track-3	
Word-7	ID(4bit)	BCID(12 bit)

8b/10b encoding × 16 bytes = 6.4 Gbps

図 5.8 1 BC ごとに New Small Wheel から受け取るデータフォーマット。

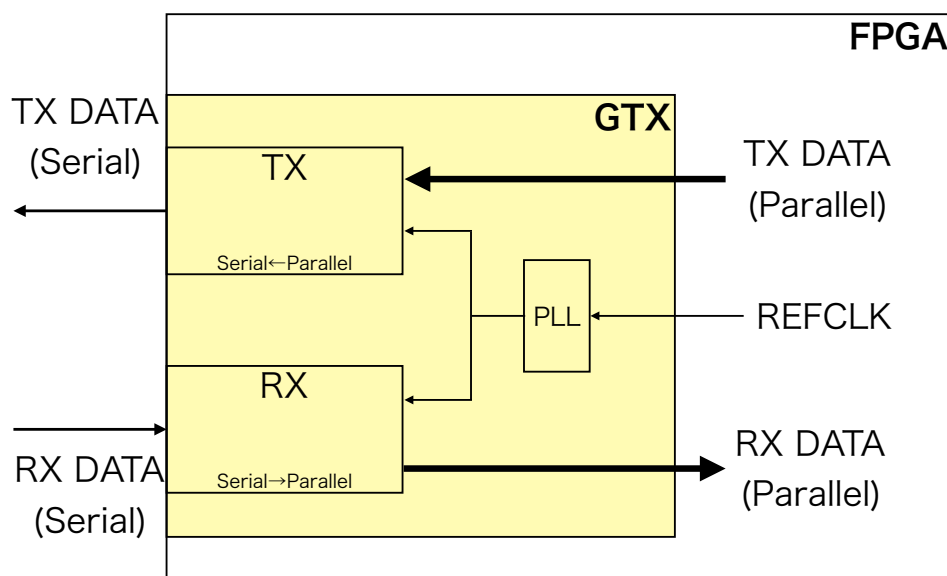


図 5.9 GTX の概念図。GTX は基準クロック (REFCLK) を用いるシリアル通信である。FPGA の内部で生成したデータはシリアルデータに変換され、送信される。

5.3 Run-3 でのデータ受信機能の変更点

TMDB、RPC BIS 7/8、New Small Wheel から送信される大容量のデータを受けするために GTX という Xilinx の FPGA に搭載された高速データ通信を用いる。

5.3.1 GTX 通信

GTX トランシーバーは Xilinx 社の Kintex 7-series の FPGA に搭載されている高速通信のトランシーバーである。今回用いる FPGA では、1 チャンネルのシリアル通信で最大 8.0 Gbps で通信することができる。GTX の概念図を図 5.9 に示す。GTX は Phase Locked Loop (PLL) を用いて基準クロック (REFCLK) から周波数の高いクロックを生成 (逡倍) し、生成したクロックを用いてシリアル通信を行う。New SL が GTX で用いる PLL は Channel Phase Locked Loop (CPLL) といい、GTX のチャンネルごとに用意されている。CPLL の公称動作範囲は 1.6 GHz ~ 3.3 GHz であり、この周波数の範囲内のクロックを出力する。

以下でトランスミッター (TX) 部分とレシーバー (RX) 部分での信号の処理について説明する。

GTX TX

図 5.10 に GTX TX のブロック図を示す。各ブロックで用いるクロックは図 5.11 に示す。以下では、各ブロックについて説明する。

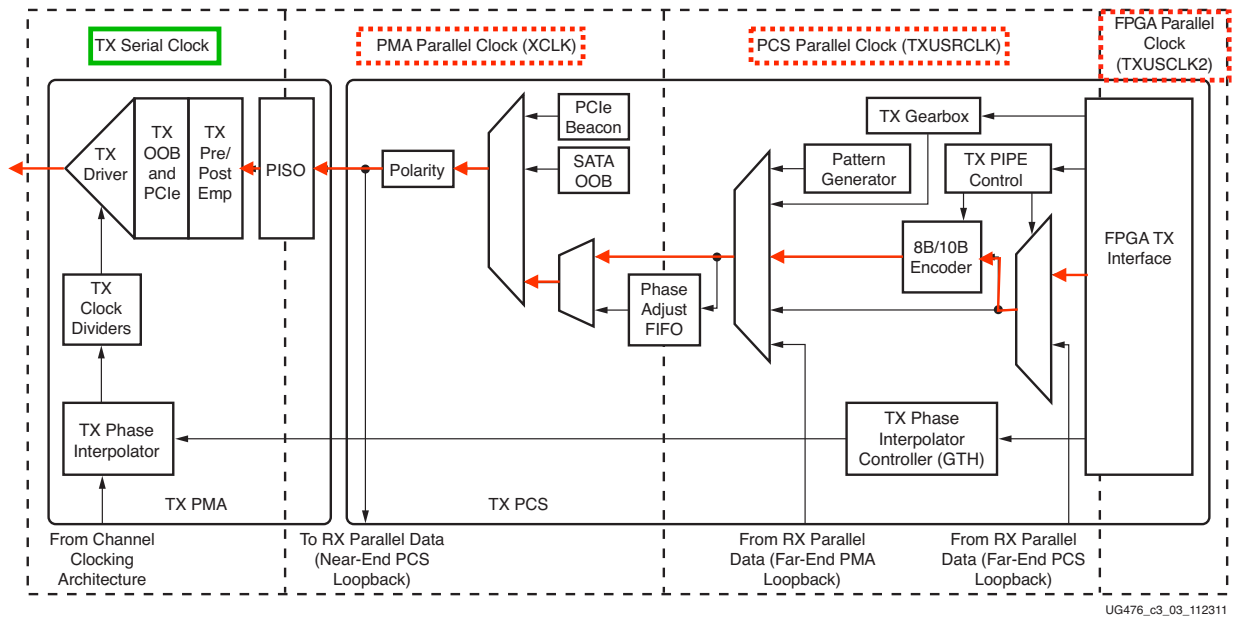


図 5.10 GTX TX のブロック図 [20]。赤線はデータの流を表す。クロックを囲む線は図 5.11 の矢印と対応している。

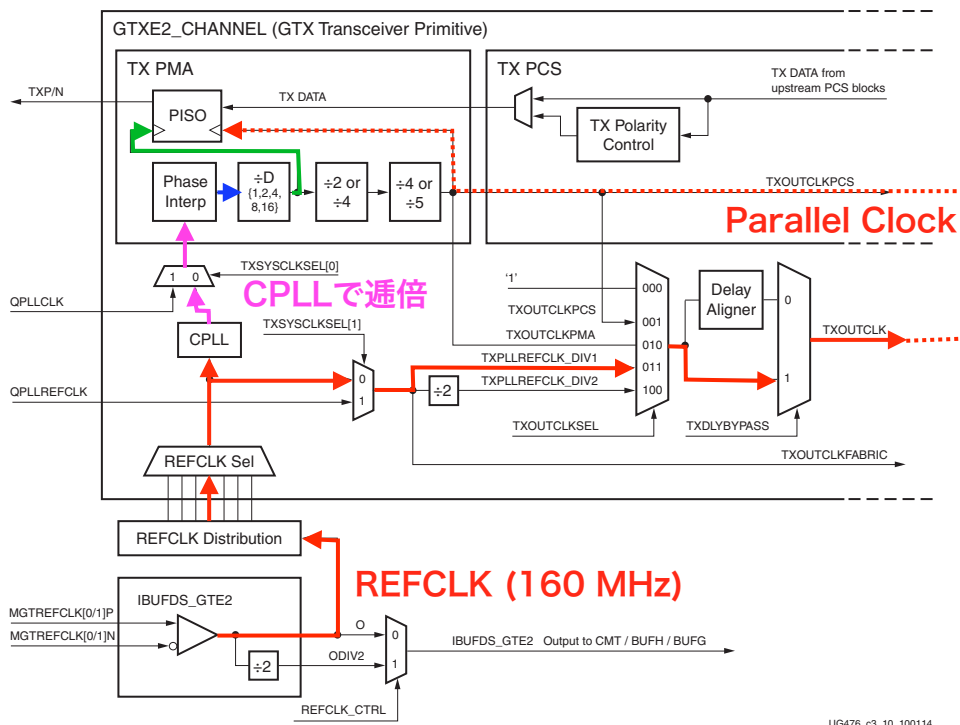


図 5.11 TX のシリアルクロックとパラレルクロックの生成 [20]。New SL では 6.4 Gbps でデータ送信を行うため、パラレルクロックは 160 MHz の REFCLK をそのまま用い、シリアルクロックには PLL で通倍して 3200 MHz のクロックを用いる。

- FPGA TX Interface

この部分では送信したいデータをパラレルのまま TX interface に渡す。このパラレルデータは TXUSRCLK2 というクロックに同期して処理される。この TXUSRCLK2 は GTX TX に入力する基準クロック REFCLK をもとに生成される。また TX interface への入力データ幅は、後で述べる 8B/10B 変換を用いる場合、16 bit、32 bit、64 bit の中から選択できる。必要な転送レートから、FPGA の性能に合わせた入力データ幅と TXUSRCLK2 の周波数の設定を行う。TXUSRCLK2 と REFCLK の周波数が異なる場合、REFCLK を分周して TXUSRCLK2 を作成する。

- 8B/10B Encoder

8B/10B 変換は IBM 社が開発した高速シリアル通信で用いられるデータ転送方式である。入力されたパラレルデータを 8 bit ごとに分解し、変換表を用いて、分解された 8 bit を 10 bit に変換してデータを送る。この時に追加された 2 bit の情報は、受信側で受け取ったデータからクロックを復元するために用いられる。8B/10B 変換によってデータとクロックの転送を 1 つの配線で行える。

8B/10B Encoder は、Physical Coding Sublayer (PCS) というデータを符号化する部分で動くロジックである。この部分では PCS パラレルクロック (TXUSRCLK) を用いる。この TXUSRCLK も GTX TX に入力する REFCLK をもとに生成する。TXUSRCLK と TXUSRCLK2 は位相を合わせるため、同じクロックから作成し、周波数が異なる場合は分周または逡倍する。TXUSRCLK の周波数はデータ転送レートと GTX TX への入力データ幅の設定によって TXUSRCLK2 の周波数と同じまたは 2 倍のものを使用する。これらのクロックは位相・周波数の関係が分かっているため、次のような FIFO¹ を用いた位相差を吸収する仕組みは必要ない。

- Parallel In Serial Out

Parallel In Serial Out (PISO) はパラレルで入力されたデータをシリアルに変換してデータを送信するブロックである。XCLK に同期して入力されたパラレルデータは、TX シリアルクロックに同期してシリアルデータに変換され、送信される。

- Phase Adjust FIFO

8B/10B 変換後のパラレルデータをシリアルデータに変換するため、PISO ブロックに入力される。PISO ブロックに入力する際には、PISO ブロックでシリアルデータを送信するために用いられるシリアルクロックと位相の調整が行なわれているクロックを用いる必要がある。そこで TXUSRCLK と同じ周波数の XCLK というクロックを用いる。XCLK と TXUSRCLK は同じ REFCLK から生成されるが、この 2 つのクロックの位相の関係は何もしなければ定まっていない。通常の場合、2 つのクロック間での位相・周波数の関係が一定でなければ、FIFO 構造を用いてデータの受け渡しを行う必要がある。そのために Phase Adjust FIFO を用いる。

¹First In, First Out の略であり、先に入ってきたものから順に処理をして出すための機構であり、出入りの順序は保存している。

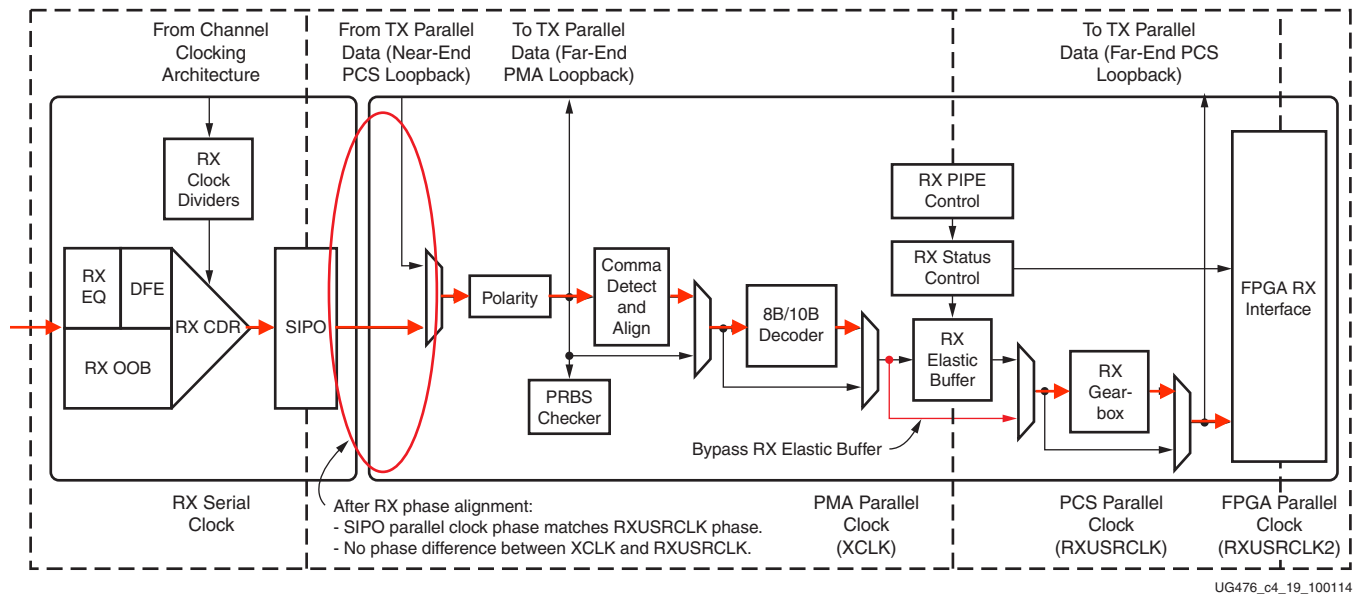


図 5.12 GTX RX のブロック図 [20]。赤線はデータの流れを表す。

New SL では XCLK と TXUSRCLK のクロックソースとして TXOUTCLK を用いる。TXOUTCLK は設定によってどのクロックを使用するか変化するが、New SL では GTX TX に入力する REFCLK をそのまま使用する。New SL の設定では、XCLK・TXUSRCLK・TXUSRCLK2 は REFCLK をそのまま使用し、シリアルクロックは REFCLK を逡倍して使用する。この設定では位相と周波数の関係は一定となるため、異なるクロック間でのデータの受け渡し部分で FIFO 構造は必要ない。そこで Phase Adjust FIFO を省略できる。これにより FPGA TX Interface から TX Driver までで処理に必要な時間は一定になる。またこれにより Fixed Latency の要請を満たす。

GTX RX

図 5.12 に GTX RX のブロック図を示す。以下では各ブロックについて説明する。

- RX Clock Data Recovery

Clock Data Recovery (CDR) では受信したシリアルデータからリカバリークロックを抽出する。TX 側で 8B/10B 変換で追加された 2 bit の High/Low 信号がクロックを復元できるように埋め込まれている。データと合わせた 10 bit の受信データを、基準となるクロックを使ってデータサンプリング・エッジサンプリングすることでリカバリークロックを復元する。

- Comma Detect and Align

Comma Detect ロジックは受信したパラレルデータの中から Comma という特別なデータパターンを探す。この Comma は TX 側と RX 側で同じものを使う必要がある。Comma を見つけると、Serial In Parallel Out (SIPO) から出力されるパラレルデータが Word の境界に合うように Clock の位相をずらす。

- Serial In Parallel Out

Serial In Parallel Out (SIPO) ではシリアルクロックと XCLK を用いてシリアルで入力されたデータをパラレルに変換する。この XCLK は TX 部分の XCLK とは異なるものであり、XCLK の周波数はパラレルデータの幅によって決まっている。

- 8B/10B Decoder

8B/10B Encoder と同じ対応表を用いて 10 bit のデータを 8 bit のデータへ戻す。ここでは Comma Word に対して flag をつける。これにより後段で Comma の情報を用いたロジックを使用することができる。

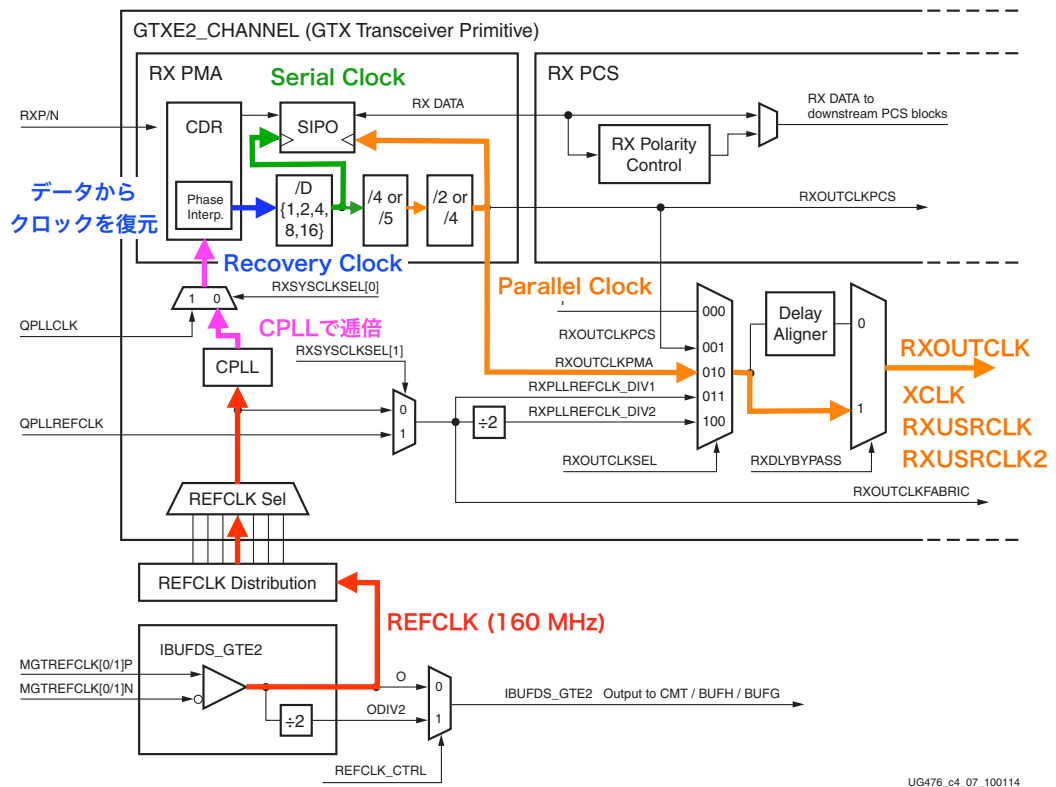
- RX Elastic Buffer

この Buffer は前段で用いられた XCLK と後段で用いられる RXUSRCLK の位相差を吸収する部分である。GTX TX 部分の Phase Adjust FIFO と同じような機能であり、New SL では Fixed Latency にするために図 5.12 に示すように、省略している。そこで RXUSRCLK とその後段で用いられる RXUSRCLK2 として XCLK を用いることで周波数と位相を同じにする。これによりシリアルデータの受信から FPGA RX Interface までの処理に必要な時間を一定にする。

5.3.2 異なるデータ転送レートでの受信のための GTX の設定

5.2 節で述べたように、磁場の内側に設置された検出器のフロントエンド回路からデータはそれぞれ異なる転送速度で送られてくる。そのため GTX 通信の設定を要求されるデータ転送速度に合わせる必要がある。各フロントエンド回路から受け取るパラレルデータ幅が異なるのは FPGA のチップの性能と Latency の削減を考慮した結果である。GTX RX の各クロックとパラレルデータ幅の設定を表 5.6 に示す。データ転送速度はパラレルデータ幅とパラレルクロックによって決まるため、異なるパラレルデータ幅とパラレルクロックの設定を行わなければならない。

ここで各クロックの生成について図 5.13 を用いて簡単に説明する。GTX RX で用いる全てのクロックの基準クロックは REFCLK であり、周波数は 160 MHz である。パラレルクロックは図 5.13 の RXOUTCLK を用いる。パラレルクロックとは図 5.12 の XCLK、RXUSRCLK、RXUSRCLK2 に対応する。リカバリークロックはデータから復元したクロックであり、New SL で用いる受信データ転送速度が 6.6 Gbps 未満なので CPLL のアウトプットをリカバリークロックのソースとして用いる。そのため CPLL ではデータ転送速度に対応した倍数 (表 5.6 の Recovery Clock (MHz) ÷ 160 (MHz) 分) だけ基準クロックを逡倍する。そのためチャンネルごとに CPLL のパラメータを設定する必要がある。リカバリークロック



UG476_c4_07_100114

図 5.13 RX の Clock の生成 [20]。各処理で用いられるクロックは図の REFCLK をもとに生成している。

表 5.6 フロントエンド回路ごとの GTX RX の設定

検出器	データ転送速度	パラレルデータ幅	リカバリークロック	シリアルクロック	パラレルクロック
New Small Wheel	6.4 Gbps	32 bit	3200 MHz	3200 MHz	160 MHz
RPC BIS 7/8	6.4 Gbps	32 bit	3200 MHz	3200 MHz	160 MHz
Tile Calorimeter	1.6 Gbps	16 bit	1600 MHz	800 MHz	80 MHz

は受信したシリアルデータから基準クロックと同じ周波数のクロックを復元することで得られる。シリアルクロックはSIPOでシリアルデータからパラレルデータに変換する時に用いる。SIPOではシリアルデータをラッチするために、入力クロックの立ち上がりと立ち下がりを用いる。そのためリカバリークロックをシリアルクロックの周波数に合うように低い周波数のクロックを生成(分周)して用いる。パラレルクロックはパラレルデータ幅に対応して、シリアルクロックを1/4もしくは1/5に分周したのちに、1/2もしくは1/4に分周する。

FPGAは1チップで複数のI/O規格に対応できるようになっており、それぞれ規格に対応したI/O電源で動かせるようにI/Oピンをグループごとに分けている。このグループをI/Oバンクと呼び、このI/Oバンク内にはメモリやクロック配線などが存在する。1つのI/Oバンクは1つのクロック領域に対応しており、クロック配線のリソースが限られている。今回用いるFPGAでは1つのバンク内に4つのGTXチャンネルが存在するので、クロック配線リソースを考慮しながら異なるデータ転送速度で受信できるようにGTXの設定を行った。

5.3.3 GTX通信を用いた異なるデータ転送レートでの受信テスト

GTX RXではシリアルデータをパラレルクロックに同期したパラレルデータ幅に変換するが、トリガー判定に用いる場合は40 MHzのクロックに同期させる必要がある。同じデータ転送速度のデータを40 MHzのクロックに同期させることができることは確認していたが^[13]、異なるデータ転送速度を用いた場合も可能であるか確認する必要がある。そこでNew SLを用いてデータをループバックさせ、正しくデータを受信できるかテストを行った。

テストの概念図を図5.14に示す。今回は6.4 Gbpsと1.6 Gbpsのデータ転送速度を用いてテストを行った。GTX RX部分のクロック生成と同じような設定をGTX TX部分でも行い²、ループバックテストを行った。TX Data Generatorで生成したデータとCommaをGTX TX部分でパラレルデータをシリアルデータに変換し、光通信のケーブルを用いてGTX RX部分に送信した。GTX RX部分では受信データをシリアルデータからパラレルデータに変換し、40 MHzのクロックに同期させFIFOに保存した。FIFOから読み出したデータを用いて正しくデータを受信できているか確認した。

図5.15に示すように、データのロスやエラーなしに受信することができた。赤枠で囲まれたカウント

²図5.11に6.4 Gbps用のクロックの生成を示した。1.6 Gbps用のパラレルクロックにはREFCLKを分周した80 MHzのクロックを、シリアルクロックにはREFCLKをCPLLで逡倍して生成した1600 MHzのクロックを用いた。

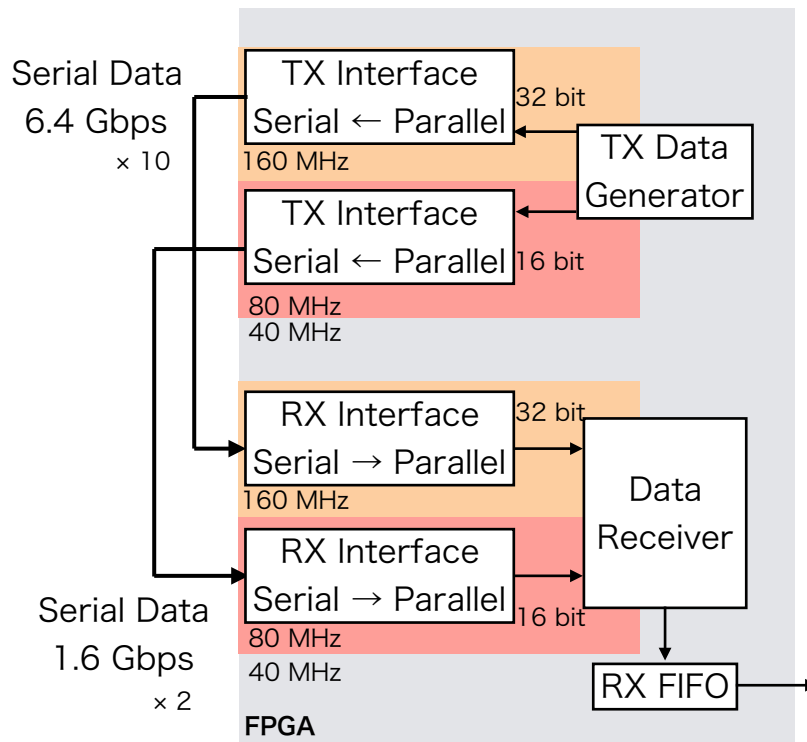


図 5.14 ループバックテストの概念図。New SL が生成したデータをケーブルを用いて送信し、ループバックさせて受信データを FIFO に保存した。

アップデータのズレはデータの送受信の際にシリアル → パラレルとパラレル → シリアルの変換にかかる latency がデータ転送速度によって変化するためである。トリガー判定を行う場合は、受信データに delay をかけて各検出器のデータが同じバッチのものになるようにする。

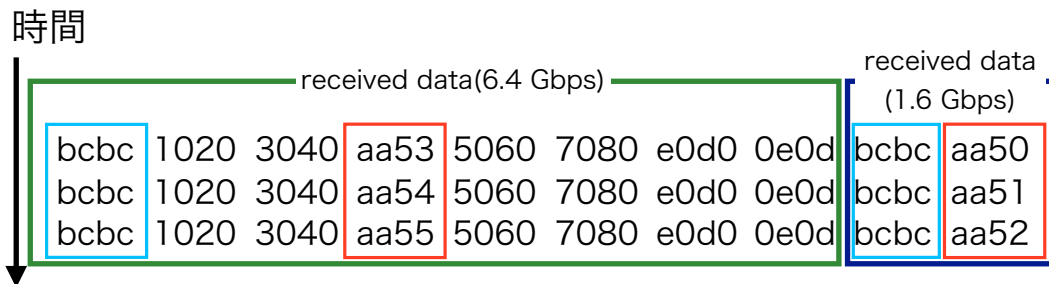


図 5.15 ループバックテストで得られた受信データ。縦軸は時間を表し、下にいくほど後で受け取ったデータである。同じ行のものは同じタイミングで受信したデータを表す。水色の部分は Comma。赤色の部分はカウントアップデータ。カウントアップデータがずれているのは Serial → Parallel と Parallel → Serial の変換にかかる latency の和が異なるため生じる。実際は delay の調整を後段で行う。

Data format from Sector Logic to MuCTPi

Words(16 bit)	first byte								second byte							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	Muon Candidate 1															
Word-1	Muon Candidate 2															
Word-2	Muon Candidate 3															
Word-3	Muon Candidate 4															
Word-4	Global flags				BCID											
Word-5	CRC								comma (0xfd)							
Word-6	0xc5								comma (0xbc)							
Word-7	0xc5								0xc5							

8b/10b encoding × 8 bytes = 6.4 Gbps

Muon Candidate			
charge	flag	pT	RoI

図 5.16 MuCTPi へ送信するデータフォーマット。4つのミュオンのトラック情報と BCID を送る。

5.4 New SL の送信データ

New SL はトリガー判定の結果を MuCTPi ボードへ送信する。また Level-1 トリガーが発行されたイベントの情報は Ethernet ケーブルで SROD へと送信する。SROD へのデータ転送の性能評価はすでにされており [13]、今回の研究目的であるトリガー判定ロジックには深く関わらないため、SROD へ送信するデータフォーマットについては割愛する。

ここでは MuCTPi ボードへ送るデータフォーマットについて説明する。

5.4.1 MuCTPi ボードへの送信データ

New SL は 1 BC ごとにトリガー判定を行い、その結果を MuCTPi ボードへ送信する。New SL が 1 BC ごとに MuCTPi へ送信するデータフォーマットを図 B.1 に示す。MuCTPi へのデータ送信には GTX 通信を用いる。New SL が送信する 2 種類の Comma のうち、MuCTPi が Word Alignment にどちらの Comma を用いるか決まっていない。Global flag につめる情報もまだ決まっていない。他にはエラー検出用の CRC とバンチ識別のための BCID を送信する。また、New SL は 1 BC ごとに 4 つのミュオントラックの情報を送る。ミュオントラックの情報には、TGC BW でのヒット位置を表すための 8 bit の RoI 情報と、Level-1 トリガー判定で設けられる 14 段階の横運動量閾値を表すために 4 bit の p_T 情報が含まれる。またミュオンの電荷情報を表すための 1 bit と予備用の 3 bit のフラグ情報も含まれる。

第6章 New Sector Logic に実装するトリガー用 Firmware デザインの開発

ここでは New SL に実装するトリガーロジックについて説明する。はじめに 6.1 節で New Small Wheel の情報を用いたトリガーロジックについて説明する。次に、6.2 節で New SL に実装する Firmware について説明を行い、各ロジックについて説明する。最後に 6.7 節で動作試験とその結果について報告する。

6.1 New Small Wheel のトラック情報を用いたトリガーロジック

ここでは New Small Wheel (NSW) の情報と TGC BW の情報を組み合わせたトリガーロジックについて説明する。これは先行研究 [13] で既にトリガーロジックの考案や性能評価が行われた。

New SL は RPC BIS 7/8 と同じく、NSW からミュオンの位置情報 (η , ϕ) と角度情報 $\Delta\theta$ を受け取る。Level-1 トリガーに用いることのできる分解能は η が 0.005、 ϕ が 10 mrad、 $\Delta\theta$ が 1 mrad である。基本的なトリガーロジックとしては図 6.1、6.2 に示すように RPC BIS 7/8 と同じく、位置情報の Coincidence Window (CW) と角度情報の Coincidence Window (CW) を用いてトリガー判定を行う。

位置情報を用いる場合には TGC BW の η 、 ϕ の位置情報と NSW の η 、 ϕ の位置情報を用いて、 $d\eta = \eta_{BW} - \eta_{NSW}$ と $d\phi = \phi_{BW} - \phi_{NSW}$ を定義し、 $d\eta : d\phi$ の CW を作成する。 p_T 閾値 20 GeV の L1MU20 で用いる CW は p_T が 20 GeV、40 GeV のシングルミュオンサンプルを用いて作成した $d\eta : d\phi$ のヒット分布を 99 % 以上含むように定義されている。 $d\eta : d\phi$ のヒット分布を図 6.3 に、CW を作成するために用いたヒット分布と CW を図 6.4 に示す。赤く塗られた部分が最終的な CW である。

角度情報を用いる場合には $d\eta : d\theta (= \Delta\theta)$ の CW を用いる。こちらの CW も位置情報を用いる場合と同じく、要求する横運動量閾値以上の p_T を持つミュオンのヒット分布を 99 % 以上含むように定義されている。 $d\eta : d\phi$ のヒット分布を図 6.5 に、CW を作成するために用いたヒット分布と CW を図 6.6 に示す。

この CW を用いたトリガーロジックの Firmware デザインについては 6.5 節で説明する。

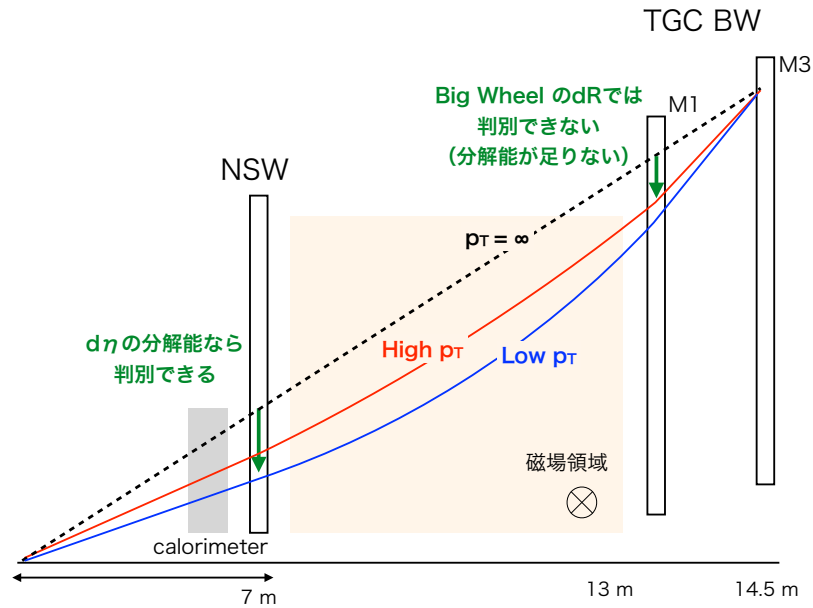


図 6.1 NSW の位置情報を用いたトリガーロジックの概要 [13]。

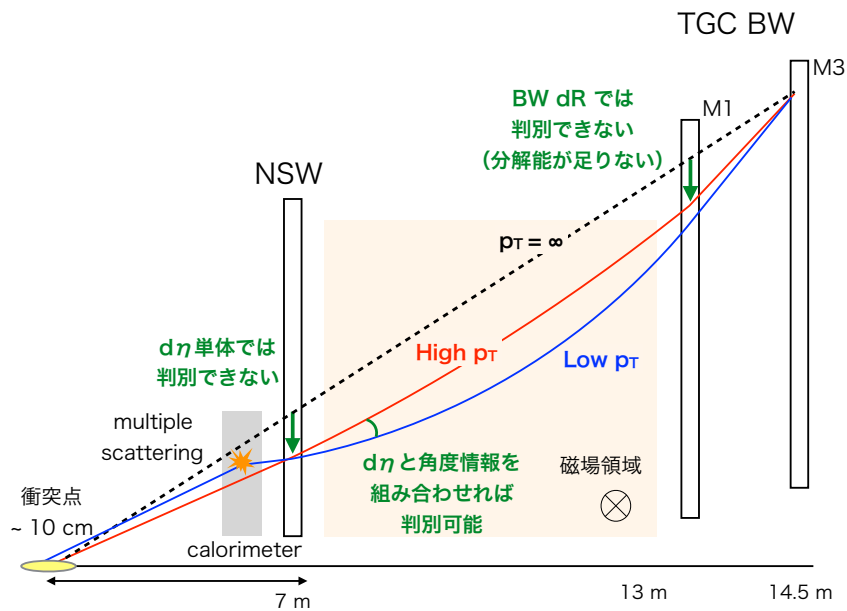


図 6.2 NSW の角度情報を用いたトリガーロジックの概要 [13]。

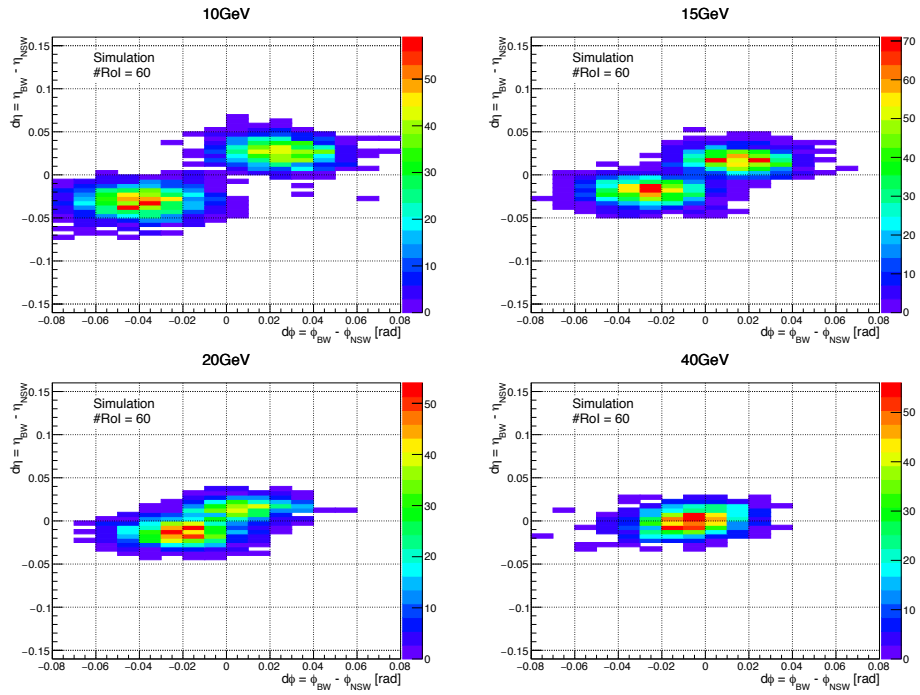


図 6.3 各 p_T のサンプルミュオンによるヒット位置の分布 [13]。TGC の RoI 番号 60、 $\eta \sim 1.46$ の RoI にヒットがあった場合の例。

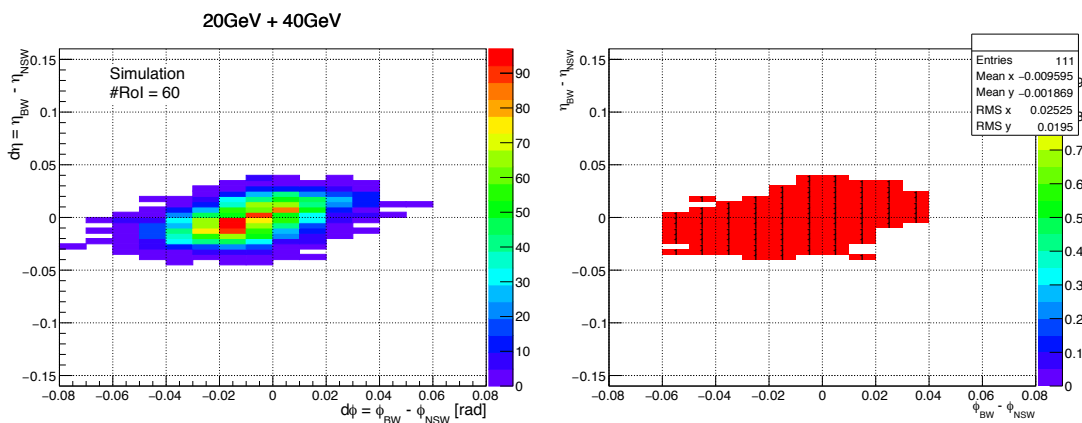


図 6.4 (左) RoI 60 番での $p_T = 20$ 及び 40 GeV のミュオンによる $d\eta : d\phi$ のヒット分布。(右) ヒット分布の 99% を含むように定義した $d\eta : d\phi$ の Coincidence Window。 [13]

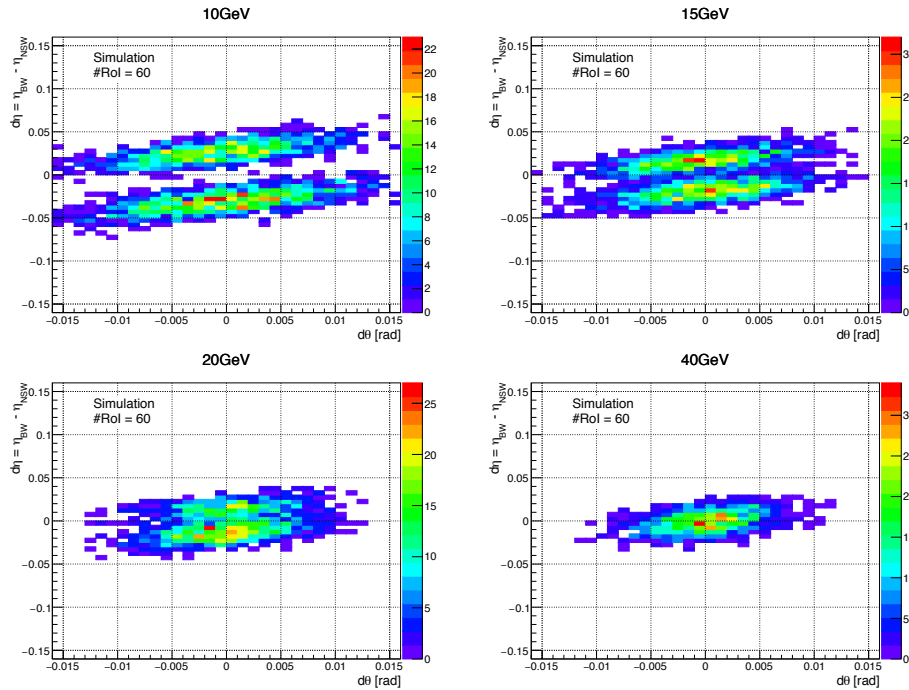


図 6.5 各 p_T のサンプルミュオンによるヒット位置と角度の分布 [13]。TGC の RoI 番号 60、 $\eta \sim 1.46$ の RoI にヒットがあった場合の例。

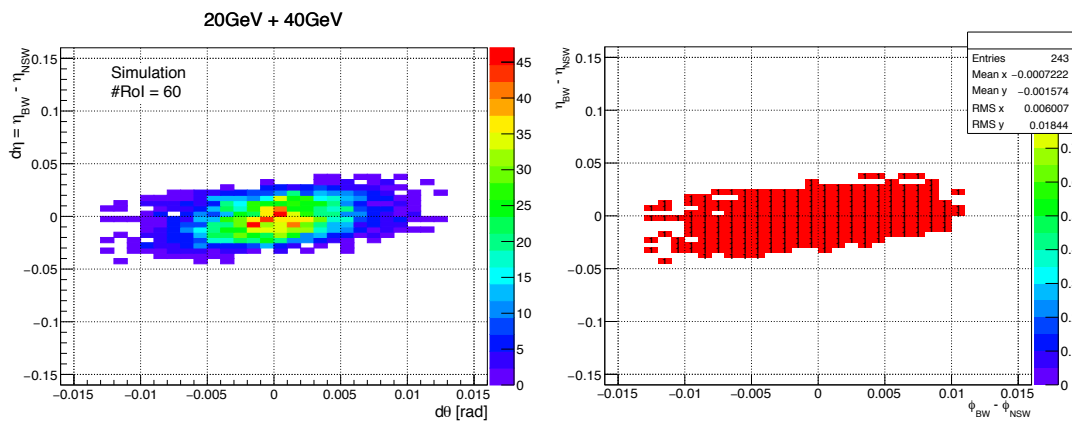


図 6.6 (左) RoI 60 番での $p_T = 20$ 及び 40 GeV のミュオンによる $d\eta : d\phi$ のヒット分布。(右) ヒット分布の 99% を含むように定義した $d\eta : d\phi$ の Coincidence Window。 [13]

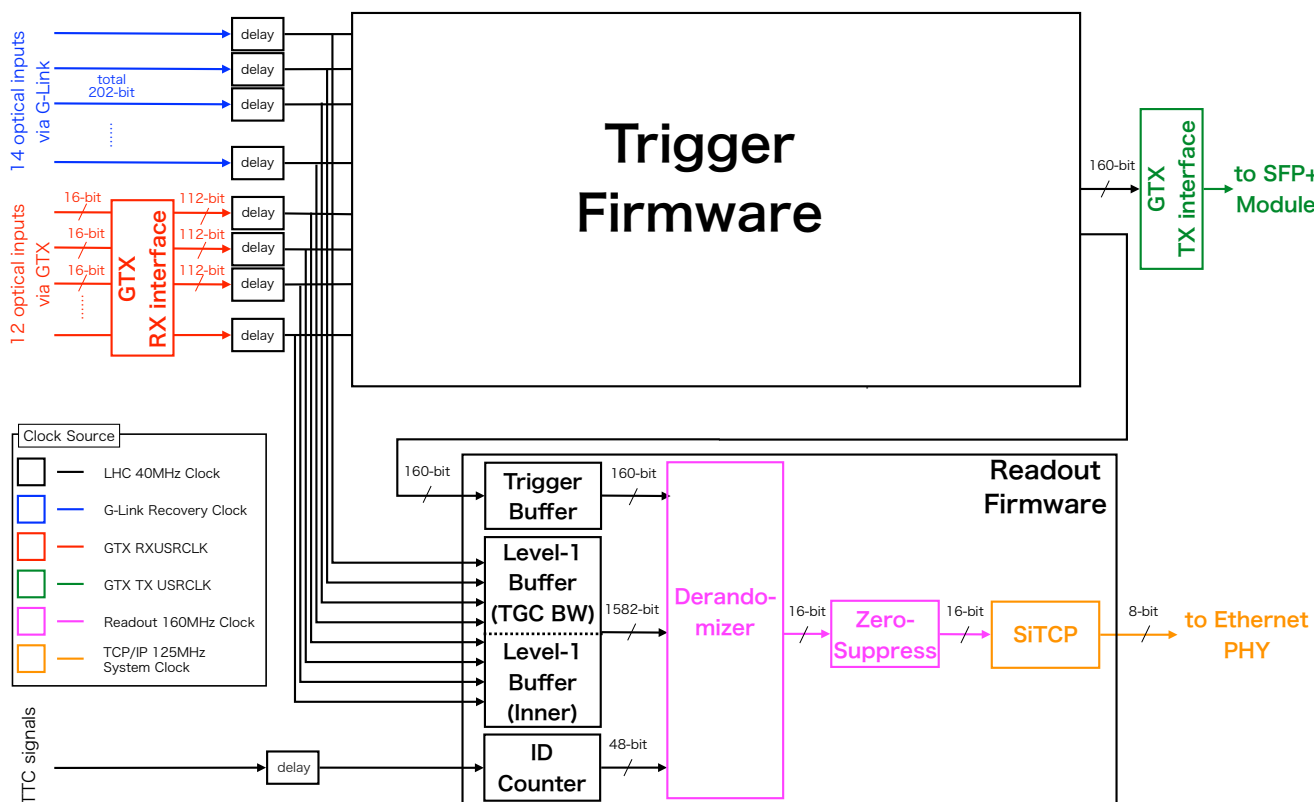


図 6.7 New SL の Firmware 全体の概要。

6.2 New SL に実装する Firmware の概要

はじめに Firmware について説明する。Firmware とは回路設計の変更が容易な集積回路 FPGA (Field-Programmable Gate Array) に与える回路情報のことである。実装したいロジックを Software でコンパイルし、Firmware として Hardware 情報を FPGA にダウンロードすることによって様々な機能を与えることができる。

New SL に実装する Firmware の概要を図 6.7 に示す。New SL には受信したデータを後段へ送るためのリードアウトパスと受信したデータからトリガー判定を行うためのトリガーパスがある。それぞれの部分について説明する。

6.2.1 リードアウトファームウェアの概要

ここではリードアウトパスの概要について説明する。New SL は各検出器のフロントエンド回路から別々のタイミングでデータを受け取る。そのため delay モジュールを用いてタイミングを調整し、同じバンチ衝突で得られたデータをひとまとめにする。その後、受信データを Level-1 Buffer に保存しておく。Level-1 トリガーが発行された時に、対応するバンチのデータを L1 Buffer から読みだして後段の処

理へと送る。Level-1 トリガーが発行された時にはトリガー判定結果も後段のシステムへと送る必要があるため、バンチ衝突ごとにトリガー判定結果を Trigger Buffer に保存している。Derandomizer は Buffer から読みだしたデータを 16 bit ずつに分割して FIFO に詰める。Zero Suppress ロジックはデータを圧縮するためのロジックであり、意味のあるデータのみアドレス情報を付与して後段のシステムへ送ることでデータ転送量を減らす。圧縮されたデータは SiTCP モジュールによって Ethernet ケーブルを用いて SROD へと送られる。

6.2.2 トリガーファームウェア

ここではトリガーファームウェアに対する要求について述べ、要求を満たすためのロジックの概要を述べる。

トリガーファームウェアに対する要求

2.4 節で説明したように、Level-1 トリガーは Fixed Latency システムを採用しているため、トリガー判定にかかる時間は全てのバンチ衝突に対して常に一定でなければならない。また $2.5 \mu\text{s}$ 以内にトリガー判定を行わなければならない。

表 6.1 に New SL がトリガー判定に用いることのできる時間を示す。ここでは TGC BW からデータを受信するまでにかかる時間、バンチ衝突から New SL にデータが届くまでの時間が一番長い、すなわちトリガー判定に使える時間が一番短い場合の NSW トリガーセクターの Latency を示す。New SL が NSW のデータを受信するまでにかかる時間は、バンチ衝突から 41.4 BC (約 $1 \mu\text{s}$) 後であり、シリアルで受信したデータをパラレルに戻すための処理に 2.5 BC かかる。その後、各検出器からの受信データのタイミングを合わせるための Delay 処理に 1 BC かかる。2 BC 分の時間をかけて検出器の位置のズレの補正やコインシデンスをとるために、NSW から受信したデータを変換し、1 BC (25 ns) 後には TGC BW とコインシデンスをとり、 p_T へと変換される。25 ns の時間をかけて、コインシデンス後に残ったミュオンの中から MuCTPi ボードへ送る候補を選び、さらに 25 ns かけて送信用のデータフォーマットへ変換する。

NSW から受信したデータをパラレルに戻す処理までにかかる時間 (衝突から 44 BC 後) と MuCTPi へ送信するためデータをシリアルに変換するための時間 (衝突から 50 BC 後) は決まっているため、New SL では 150 ns 以内で要求される全ての処理を終えなければならない。

6.2.3 トリガーファームウェアの概要

トリガーパスの概要を図 6.8 に示す。まず TGC-BW Coincidence で、TGC BW から受信した情報のみを用いてミュオンの位置 (RoI) と p_T の計算を行う。この部分で決めた RoI 情報は、磁場の内側の検出器で得られたミュオンの飛跡情報をデコードするためのモジュールである Decoder へと送られる。Decoder では磁場の内側の検出器と TGC BW の相対的な位置のずれの補正も行う。また、コ

表 6.1 New SL がトリガー判定に用いることができる時間。(1 BC = 25 ns)

New Small Wheel			Big Wheel TGC		
nsec	BCs	Total	nsec	BCs	Total
Receive signal from NSW		41.4	Receive signals from BW		37
Optical Rx + De-serializer	2.5	44	Optical Rx + De-serializer	2	39
Variable Delay	1	45	TGC R-Phi coincidence (LUT)	2	41
Decoding/Alignment of NSW data (LUT)	2	47	Waiting for NSW signals	6	47
			BW - NSW coincidence (LUT)	1	48
			Track selection	1	49
			p_T encoding	1	50
			Serializer (128 bit/clock., 6.4 Gb/s) + Optical Tx	2	52
			Optical fibre to MUCTPI (10 m)	2	54

インシデンスロジックへ入力するために飛跡情報の変換を行う。デコード済みの飛跡情報と RoI 情報は BW-Inner Coincidence に送られ、 p_T の計算を行う。これらの処理を各 SSC¹ で並列に行い、track selector で MuCTPi ボードへ送るミュオンのトラックを最大 4 つ選ぶ。これを New SL が処理する 2 トリガーセクターで並行して行う。

以下では、Run-3 でのトリガーロジックについて述べる。すでに確立された TGC EI と TGC BW のコインシデンスロジック [14] や Tile Calorimeter とのコインシデンスロジック [12] についてはロジックの変更をしないため、ここでは述べない。

6.3 TGC-BW Coincidence の実装

TGC-BW Coincidence では TGC BW の情報のみを用いてミュオンの p_T 判定を行う。受信データは Run-2 と変わらないので、基本的なロジックは変化せず、M1-M3 間の $dR : d\phi$ コインシデンスを用いて p_T を計算し (3.1.3 節参照)、ミュオントラックの位置も決定する。

6.3.1 要求性能

Run-2 での TGC-BW Coincidence の概要を図 6.9 に示す。TGC-BW Coincidence は p_T の計算と RoI の決定を SSC ごとに行う。

TGC-BW Coincidence は HPT ボードから受信したデータを用いて p_T を計算する。 p_T の計算に用いる R 方向の位置情報は SSC あたり 1 つしか送られてこないが、 ϕ の情報は最大 4 つ分受け取る可能性がある。そのため 1 つの SSC に対して最大 4 つのミュオンがヒットしたように見えてしまう。しかし実際には 1 つの SSC に対して、2 つ以上のミュオンが入射することは稀であり、図 6.10 のように、別の SSC に入射したミュオンの ϕ 情報によってコインシデンスがとれ、同じ SSC にヒットしたように見えてしまうことがわかっている [21]。このままでは実際にミュオンが入射した数以上のトリガーを発行してしまうので、Run-3 でも Run-2 同様、1 SSC に対して最大 1 つのミュオンの候補を選ぶ。

¹ R 方向に 2 つ、 ϕ 方向に 4 つの計 8 つの RoI をまとめた単位

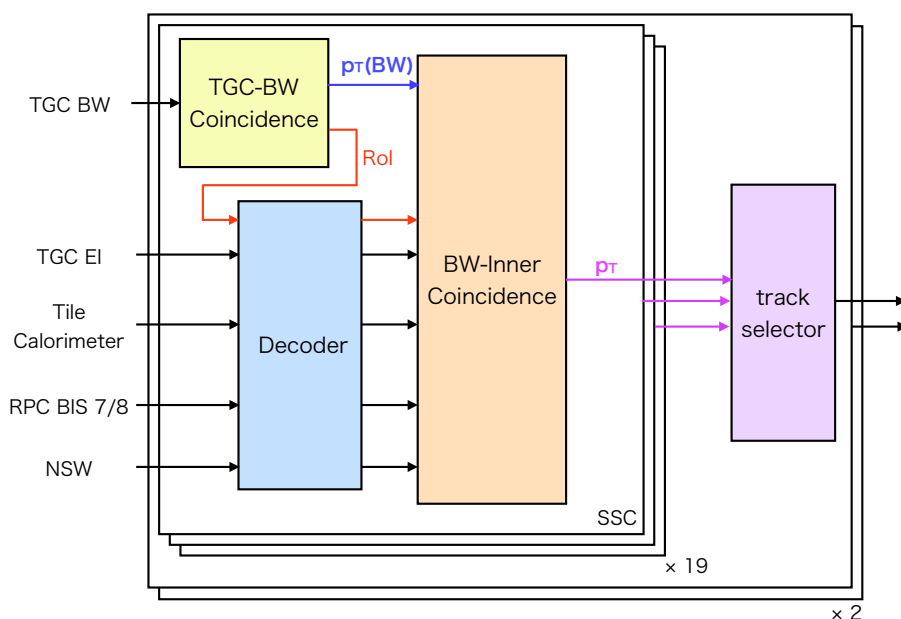


図 6.8 New SL の Firmware のトリガー部分の概要。赤は位置を表す RoI 情報。青は TGC BW 単体で判定した p_T 。TGC BW の RoI 情報と磁場の内側に設置された検出器で得られたミュオンの飛跡情報から p_T を計算する。これらの処理は各 SSC ごとに並列で行われ、track selector で MuCTPi へ送信するミュオンの候補を選ぶ。

表 6.1 に示したように、New SL は TGC BW で得られたヒット情報をバンチ衝突から 37 BC 後に受け取り、39 BC 後には p_T 計算のために用いることができる。47 BC 後までは NSW とのコインシデンスとすることができないため、TGC-BW Coincidence のロジックに使える時間は $47 - 39 = 8$ BC、つまり 200 ns となる。

6.3.2 ミューオンのヒット位置と p_T の決定

Run-2 でのミュオンのヒット位置の決定法について図 6.11 を用いて説明する。Run-2 では、TGC BW の R と ϕ 情報を用いて p_T を計算する前に、4 つの ϕ のヒット情報をまず 2 つずつに分ける。その ϕ 情報を表すもののうち、HPT コインシデンスがとれたかを表す H/L flag を見て、HPT コインシデンスがとれた ϕ 情報を優先的に選ぶ。同じ quality の場合は、あらかじめ決められた優先順位で 1 つの ϕ 情報を選ぶ。このようにして選ばれた 2 つの ϕ 情報を用いて R - ϕ コインシデンスで p_T を計算し、得られた 2 つのミュオンのうち高い方の p_T のものを選ぶ。同じ p_T の場合、 ϕ の小さいものを選ぶ。このようにして 1 SSC の中で 1 つのミュオンのトラックを選ぶ。

Run-3 では TGC-BW Coincidence のロジックを変更する。New SL で用いる FPGA にはメモリなどのリソースが十分な数あるため、すべての ϕ 情報を用いて p_T 計算を行える。そのため図 6.12 のように最大 4 つの ϕ 情報を用いて p_T を計算し、その中から p_T の高いもの、 ϕ の小さいものという順に選ぶ。また、3.1.3 節で説明したように、TGC-BW Coincidence では LUT をメモリである BRAM で実装する。

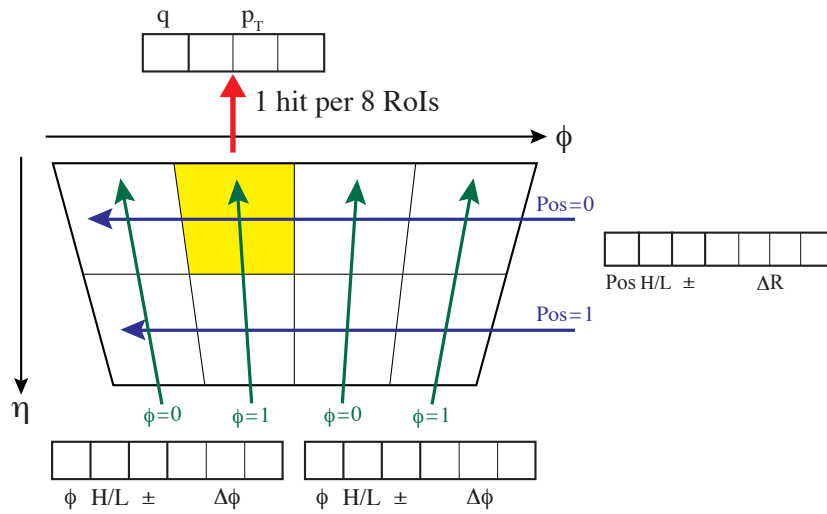


図 6.9 Run-2 における TGC-BW Coincidence の概要。Run-3 でも 8 RoI(1 SSC) の中から 1 つのミュオンの RoI 情報と p_T を決定する。

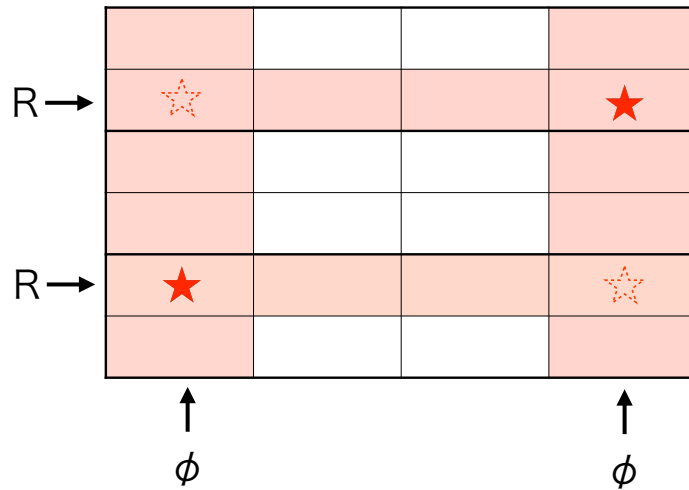


図 6.10 TGC-BW Coincidence で判定されるようなフェイクヒット。本物のミュオンが赤色の星の場所にヒットしたとしても、 R と ϕ の情報を用いてコインシデンスをとると、点線の星の部分にもミュオンがヒットしたように見えてしまう。1 マスが RoI を表し、太線で囲まれた部分が SSC を表す。

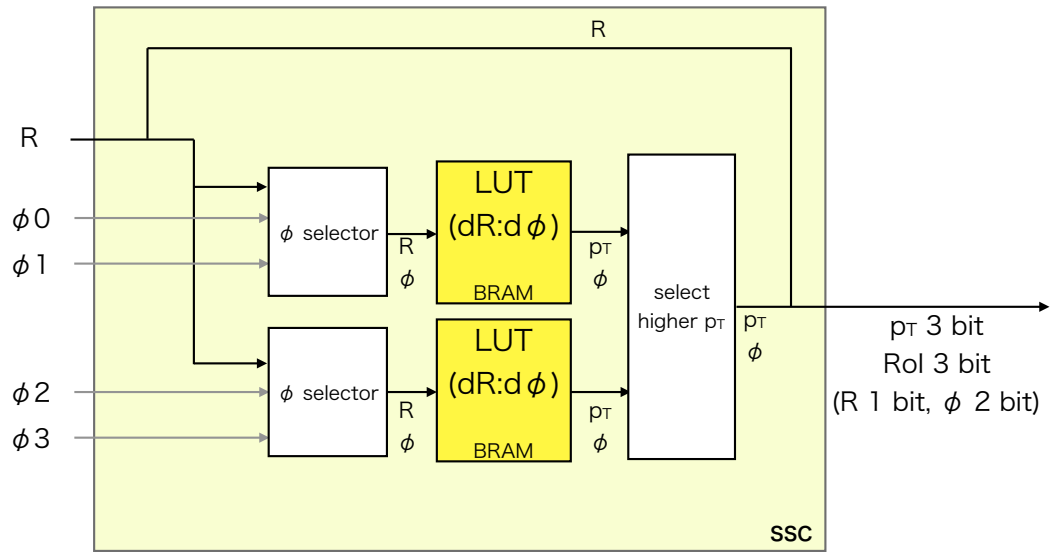


図 6.11 Run-2 における TGC-BW Coincidence のロジック (1 SSC 分)。LUT で p_T の計算を行う前に ϕ の情報の数を減らす。

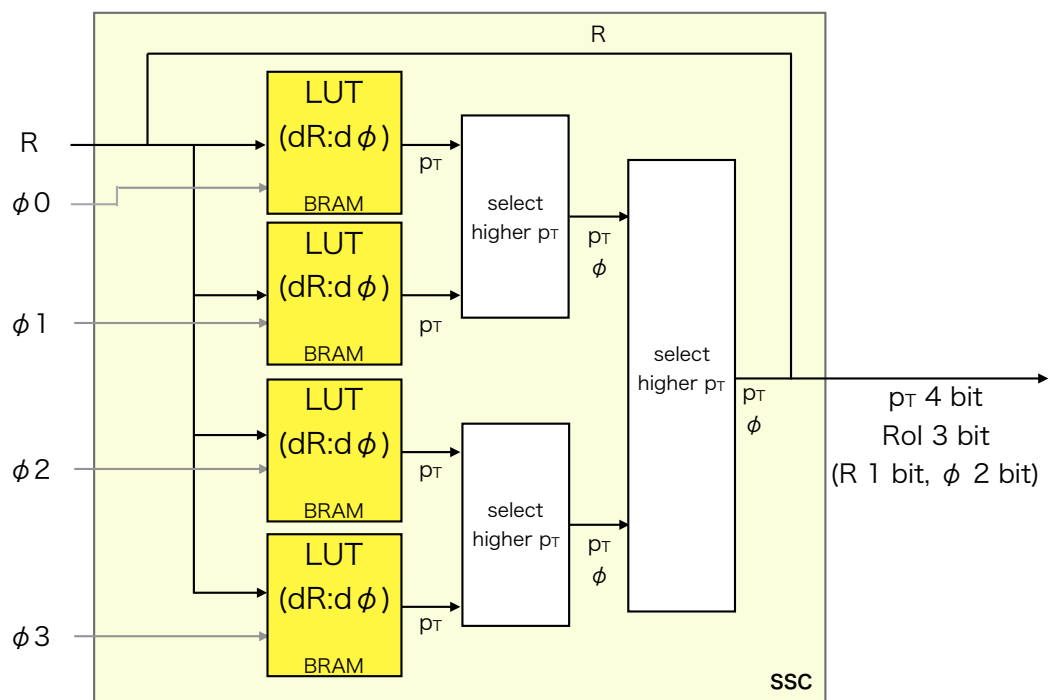


図 6.12 Run-3 における TGC-BW Coincidence のロジック (1 SSC 分)。すべての ϕ の情報を用いて LUT で p_T の計算を行う。MuCTPi に送信する p_T が 14 段階に成るので p_T のビット数が増える。

TGC-BW Coincidence では、LUT を用いて p_T を計算するため、40 MHz のクロックを 1 CLK (= 1 BC) と、SSC 中の複数のミュオン候補から 1 つ選ぶために 1 CLK を使う。TGC-BW Coincidence ロジックで生じる Latency は合計 2 BC (= 50 ns) であり、要求される時間内に収まっている。

6.4 Decoder の実装

図 6.8 の Decoder 部分について説明する。TGC EI や Tile Calorimeter はコインシデンスロジックに変更がないため現行のものを用いる。

New SL は RPC BIS 7/8 や NSW からミュオンのトラック情報を受け取り、 p_T を計算する。 p_T 計算を行うためにはトラックの位置 (η, ϕ) から TGC BW のヒット位置と磁場の内側でのミュオントラックの位置の差 ($d\eta, d\phi$) へと変換する必要がある。ここではトラックの位置情報を変換するロジックについて説明する。Decoder では RPC BIS 7/8 と NSW のトラック情報に対して行う変換処理がほとんど同じであるため、ここではより複雑な NSW のトラック情報に対して行う処理を例として説明する。Decoder ロジックは、表 6.1 の Decoding/Alignment of NSW data (LUT) の 2 BC (= 50 ns) 以内に処理を終えなければならない。

具体的なロジックの内容を述べる前に、New SL が NSW から受け取る最大トラック数について述べる。図 3.17 に示したように、Endcap セクターの New SL は 3 つの NSW TP から最大 24 トラックの情報を受け取る。また、Forward セクターの New SL は 4 つの NSW TP から最大 32 トラックの情報を受け取る。6.1 節で述べたコインシデンスロジックは TGC BW で判定された 1 つのミュオンと NSW で再構成された 1 つのトラック情報を用いたものであるが、この段階では TGC BW のトラックと NSW のトラックの対応がとれていない。そのため TGC-BW Coincidence で判定された各ミュオンの候補に対して、NSW で再構成されたすべてのミュオントラックの ($d\eta, d\phi$) を計算する必要がある。しかし図 6.3 に示すように、TGC BW で判定されたミュオンに対して要求する NSW のトラック情報は、 $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲内のもののみである。また、図 6.13 に示すように New SL が NSW から受け取るトラック情報のうち、 $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲内に入り得る最大のトラック数は 16 であるため、TGC BW の 1 つのミュオンに対して 16 トラック分の ($d\eta, d\phi$) を計算できるロジックであれば良い。また TGC BW で判定されたミュオンが複数ある場合にも対応できるように、各 SSC ごとに独立して計算を行う。

また NSW で再構成されたミュオンのトラックが近い位置に複数ある場合、どちらのミュオントラックが TGC BW でのミュオンの候補とマッチングがとれるのかコインシデンスをとるまでわからない。最悪の場合、NSW から受信する 16 個のトラック全てがコインシデンスを要求する範囲内にヒットする可能性もある。そこでコインシデンスロジックとしては、TGC BW で判定された 1 つのミュオンの候補に対して 16 個のトラックとコインシデンスをとれるようなロジックを実装する必要がある。そのため Decoder では BW-Inner Coincidence へ送るミュオンのトラック数を減らす処理を行わない。

図 6.14 に NSW のトラック情報を変換するための Decoder ロジックの概要を示す。NSW の各トラック情報は、TGC BW との相対的な位置のずれを補正するため alignment モジュールに入力される。

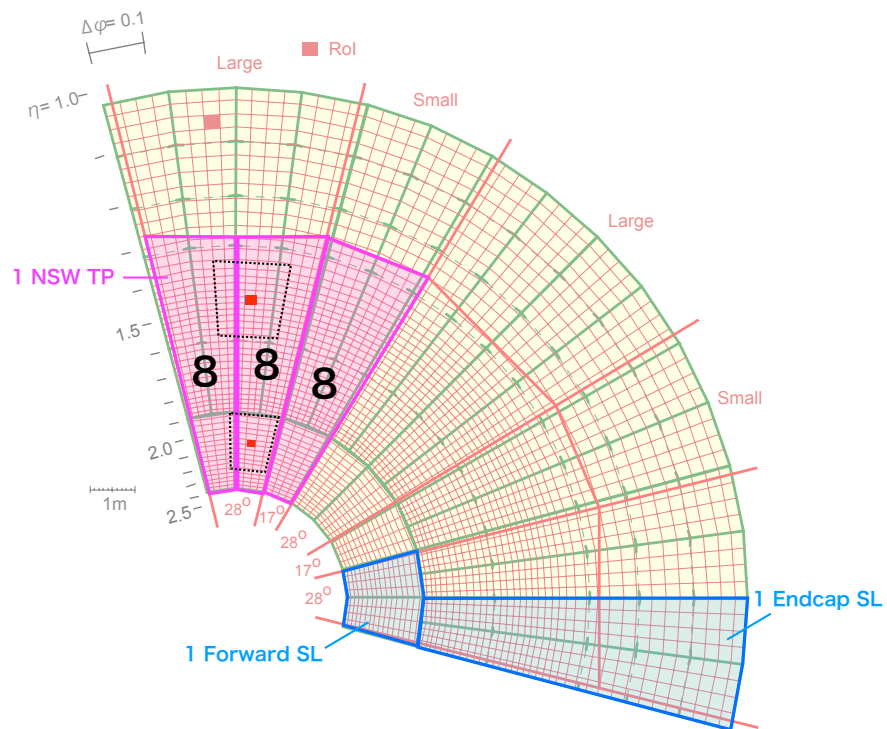


図 6.13 1つのNSW TPは最大8トラック分の情報をNew SLへ送る。赤色のRoIに入射したミュオンに対してコインシデンスを要求し得る範囲を点線で示した。この範囲内に入るトラックの数は16トラック分(NSW TP 2つ分)である。

補正されたトラック情報は、 p_T を計算するために TGC BW で判定されたミュオン の位置情報 (η, ϕ) との相対位置 ($d\eta, d\phi$) の情報へと変換される。

NSW のトラック情報の η, ϕ の 1 bit は、それぞれの分解能 0.005、0.01 rad を表している。TGC BW のミュオンとの相対位置を表す $d\eta, d\phi$ は、NSW のトラック情報と同じ 8 bit、6 bit で表され、それぞれの分解能から $|d\eta| < 0.635$ 、 $|d\phi| < 0.31$ rad の位置を bit 情報で表現できる。しかし NSW の場合、 p_T 計算を行うために用意する CW は $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲である。そのため $d\eta$ の符号を表す 1 bit と $|d\eta|$ の大きさを表す 5 bit の計 6 bit があれば、 p_T 計算に必要な $|d\eta| < 0.15$ を表すことができる。同じように $d\phi$ も 4 bit あれば十分である。そこで Decoder では $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲内のトラック情報に対して、各 2 bit の余分な情報を削る処理を行う。また 4 bit の $d\phi$ は 0~15 の 16 パターンを表現できるが、 p_T 計算に必要なパターン数は分解能 0.01 rad を考慮すると、 -0.07 rad ~ $+0.07$ rad の 15 である。そのため 4 bit で表される $d\phi$ のうち、1 つのパターンは p_T 計算には不必要である。この不必要なパターンをコインシデンスロジックに入力しても、意味のある p_T 情報を出力しないようにする。これらの処理は全ての New Small Wheel のトラックに対して各 SSC で並行して行う。

RPC BIS 7/8 のトラック情報についても同様の処理を行う。NSW との違いは、トラックの最大数が 4 であることと $d\eta, d\phi$ をそれぞれ 6 bit ずつで表現することである。

Decoder の各処理は全て 40 MHz のクロックの 1 CLK (= 1 BC) 以内で行われ、要求値の 2 BC 以内を満たし、衝突から 46 BC 後に処理を終えることができる。

6.5 BW-Inner Coincidence の実装

BW-Inner Coincidence では TGC-BW Coincidence で判定されたミュオンのトラックと磁場の内側の検出器で得られた飛跡情報を組み合わせたトリガー判定を行う。図 6.15 に磁場の内側の検出器の覆っている領域を表す。BW-Inner Coincidence では、RoI ごとにコインシデンスを要求する検出器が異なる。赤色や紫色の領域には Tile Calorimeter も設置されている。そのため、すべての RoI は次に示すもののうち、どれかに当てはまる。

- $1.0 < |\eta| < 1.3$ の領域
 - Tile Calorimeter のみを要求できる RoI
 - TGC EI と Tile Calorimeter を要求できる RoI
 - RPC BIS 7/8 と Tile Calorimeter を要求できる RoI
- $|\eta| > 1.3$ の領域
 - NSW のみを要求できる RoI

BW-Inner Coincidence はコインシデンスを要求する磁場の内側の検出器によらず一定の時間で、また表 6.1 に示したようにバンチ衝突から 48 BC 後までにトリガー判定を終えなければならない。前節で述べたように Decoder の処理は衝突から 46 BC 後に終わるため、2 BC (= 50 ns) 以内にトリガー判定を行う必要がある。

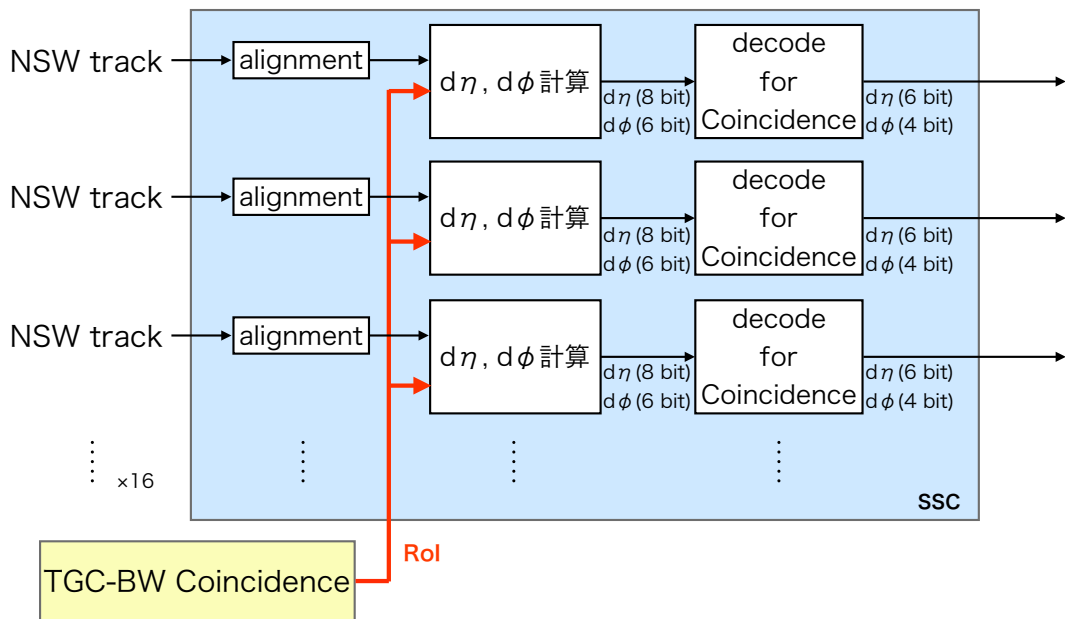


図 6.14 New Small Wheel のトラック用 Decoder(1 SSC 分) の概念図。TGC BW と New Small Wheel の相対的な位置のずれを補正し、TGC-BW Coincidence で決定した RoI 情報を使って $d\eta$ 、 $d\phi$ を計算する。計算後のトラック情報はコインシデンスロジックにかける範囲内のものであれば余分な bit を削る。コインシデンスを要求する範囲外のものであればコインシデンスをとれないようなパターンへ変換する。RPC BIS 7/8 のトラック用 Decoder のロジックもこれとほぼ同じである。

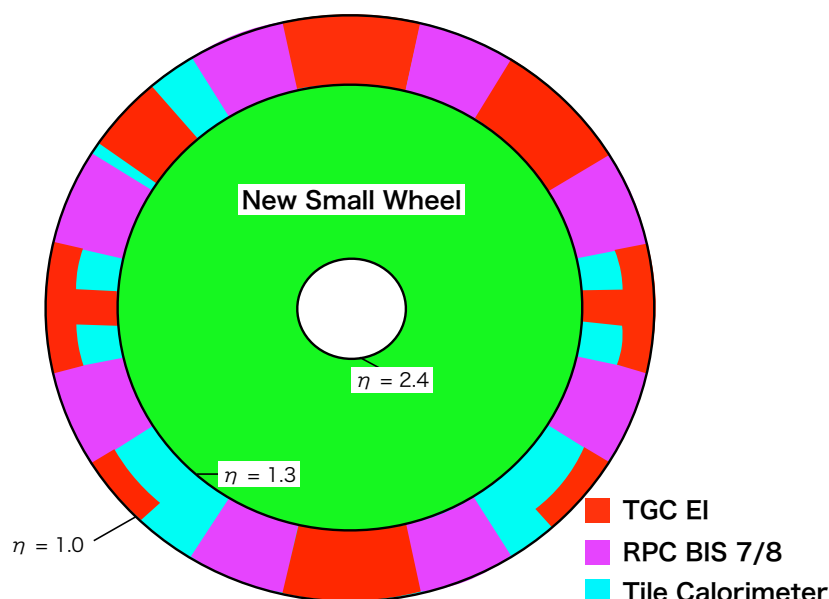


図 6.15 TGC とコインシデンスを要求する磁場の内側の各検出器の覆う領域。1.0 < $|\eta|$ < 1.3 の領域に TGC EI、Tile Calorimeter、RPC BIS 7/8 が設置されている。赤色や紫色も含み、1.0 < $|\eta|$ < 1.3 の全 ϕ 領域に Tile Calorimeter は設置されている。 $|\eta| > 1.3$ の領域は NSW が設置されている。

以下では、新たに実装する BW と NSW の Coincidence、RPC BIS 7/8 の Coincidence について詳しく説明する。

6.5.1 BW-NSW Coincidence の実装

NSW のトラック情報を用いたコインシデンスロジックについて説明する。この部分では 50 ns 以内に NSW の 16 個のトラック情報を用いて p_T を計算する必要がある。このような要求性能を満たすために考えられるロジックの実装方法は大きく分けて 2 通りあり、1 つは平行して p_T の計算を行う方法、もう 1 つは順番に p_T の計算を行う方法である。TGC-BW Coincidence と同様に p_T の計算は BRAM を用いた LUT で実装するため、平行して p_T 計算を行う場合には大量の BRAM を使う必要がある。順番に p_T 計算を行う場合、50 ns 以内に全てのトラック情報とコインシデンスをとるロジックを実装することが難しくなるので、図 6.16 に示すように 2 つのパスを用意して、320 MHz のクロックを用いて順番に 2 トラックずつトリガー判定を行う。最後に全ての結果をまとめ、40 MHz のクロックに同期して出力するロジックを実装する。

State 部分では図 6.17 で定義する状態情報を各ロジックに分配する。これは以下で説明するようにイベントの境界を表す情報を与えるために必要である。

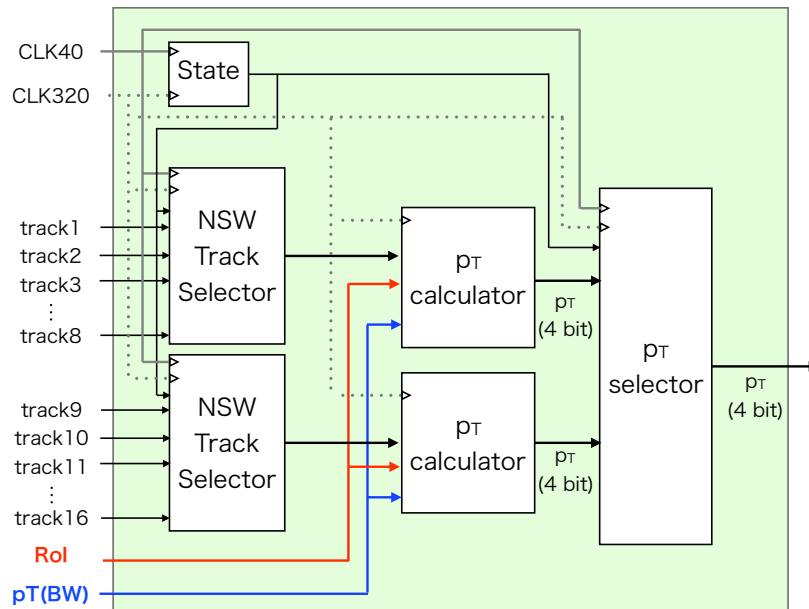


図 6.16 New Small Wheel のコインシデンスロジックの概要。最大 16 トラックとコインシデンスをとる可能性があるため 40 MHz のクロックを用いずに 320 MHz のクロックを用いてロジックを動かす。2 つのロジックを同時に走らせることで 16 トラックとのコインシデンスを可能にする。State 部分では各ロジックに送る状態情報を生成する。

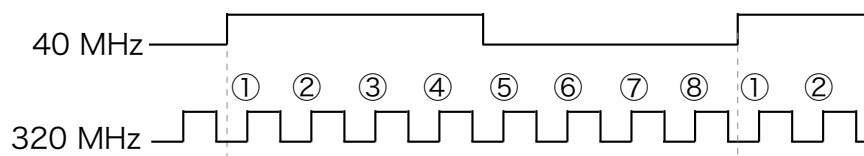


図 6.17 コインシデンスロジックで用いる 40 MHz と 320 MHz のクロックで得られる 8 つのステート。①～⑧について各ロジックで別の処理をする部分が存在する。1 つ目のトラック情報を用いた p_T の計算はクロックの位相や配線などを考慮し、②のクロックの立ち上がりを用いる。8 つ目のトラック情報は①のクロックの立ち上がりで p_T を計算する。

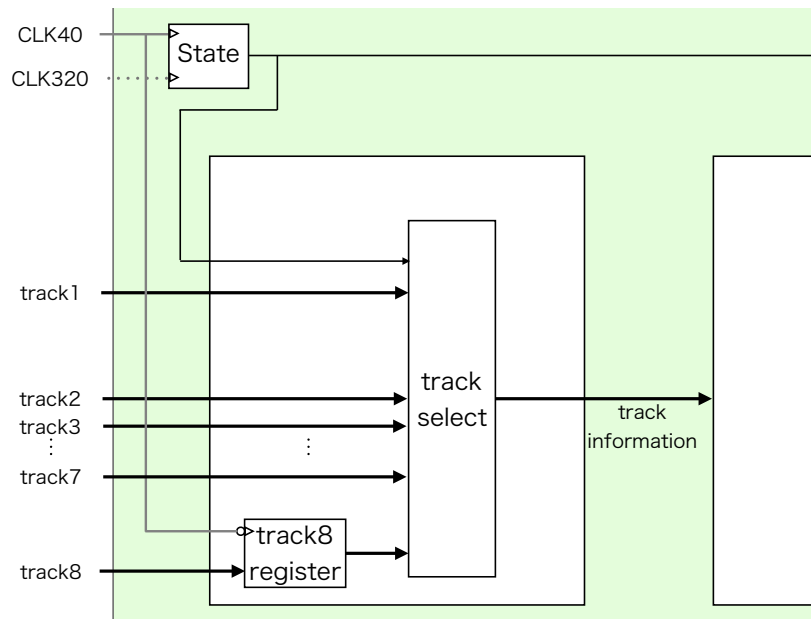


図 6.18 図 6.16 の NSW Track Selector の概念図。図 6.17 の 8 つの state 情報に対応して、8 つのトラック情報を track1 から順に 1 つずつ後段へと送る。track8 は図 6.17 の ①のクロックの立ち上がりで p_T を計算するため、情報を失わないように一時的に保存する必要がある。

NSW Track Selector

NSW Track Selector の概念図を図 6.18 に示す。320 MHz のクロックを用いて p_T の計算を行うため、8 つのトラック情報から p_T の計算に用いるトラック情報を順に 1 つずつ選ぶ必要がある。ステート情報は 320 MHz のクロックに同期して変化しているため、ステート情報のみを用いて出力したいトラック情報を選択することができる。配線遅延などを考慮して、1 つ目のトラックは図 6.17 の ②で p_T 計算を行うように実装する。それにより 8 つ目のトラックは図 6.17 の ①で p_T 計算を行うことになるが、トラック情報は 40 MHz のクロックに同期しているため、①では次のバンチの情報になってしまうため、8 つ目のトラック情報を一時的に保存するようにする。

p_T calculator (BW-NSW Coincidence)

p_T calculator の概要を図 6.19 に示す。New SL は NSW から (η, ϕ) の位置情報と $\Delta\theta$ の角度情報を受け取る。6.1 節で説明したように、これらの情報と TGC BW の RoI で p_T の値を 2 つ計算する。これらの計算に使う CW はメモリを用いて LUT として実装する。LUT を用いて各々の p_T を計算しただけでは、TGC BW とのコインシデンスは完了しておらず、TGC-BW Coincidence で計算された p_T と合わせて p_T merger で最終的な p_T を計算する。この p_T merger もメモリを用いた LUT で実装する。またこれらの LUT の入力には NSW Track Selector から受け取る 320 MHz のクロックに同期したトラック情報を用いる。

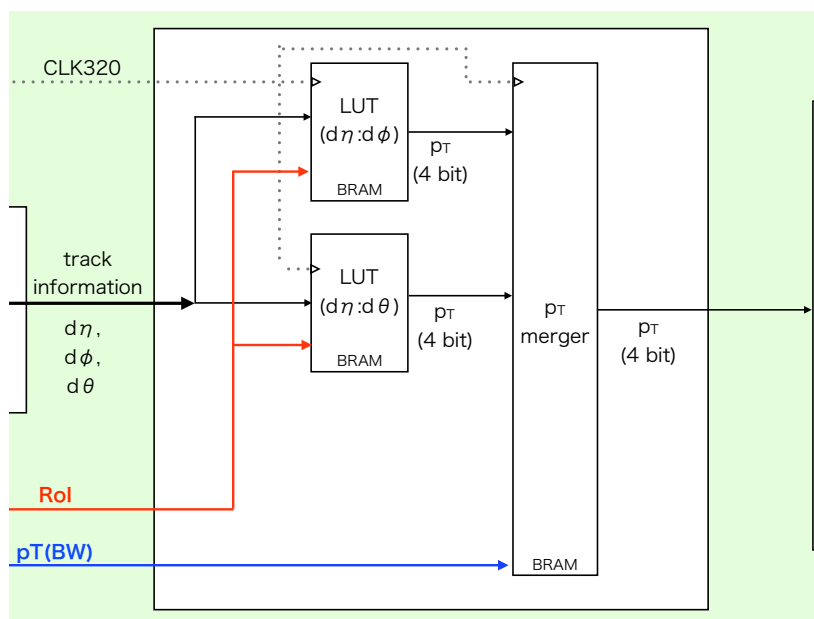


図 6.19 図 6.16 の p_T calculator の概念図。TGC BW の情報のみで計算した p_T 、New Small Wheel の位置情報で計算した p_T 、New Small Wheel の角度情報で計算した p_T を用いて最終的な p_T を計算する。

p_T calculator では BRAM を用いた LUT で Coincidence Window を実装して計算を行っている。ここで BRAM の使用量を見積もっておく。Endcap セクターでは SSC の数が 19 個あり、Forward セクターでは SSC の数は 8 個なので、Endcap セクター用 New SL に実装するコインシデンスロジックの方が BRAM の使用量が多い。よって BRAM 最大使用量の見積もりは Endcap セクター用の New SL について行う。

まず位置情報を用いた $d\eta : d\phi$ コインシデンスで使う BRAM の数を見積もる。1 つの LUT への入出力は RoI を表す 3 bit、トラックの $d\eta$ を表す 6 bit、 $d\phi$ を表す 4 bit の合計 13 bit の入力と 4 bit の p_T の出力である。この場合の BRAM の使用量は $2^{13} \times 4 = 32 \text{ Kb}$ となる。実際の実装において、BRAM の使用量の最小単位は 18 Kb であるので、BRAM 使用量は 36 Kb となる。

次に角度情報を用いた $d\eta : d\theta$ コインシデンスで使う BRAM の数を見積もる。1 つの LUT への入出力は RoI を表す 3 bit、トラックの $d\eta$ を表す 6 bit、 $d\theta$ を表す 5 bit の合計 14 bit の入力と 4 bit の p_T の出力である。この場合計算した BRAM の使用量は $2^{14} \times 4 = 64 \text{ Kb}$ となり、実際の使用量は 72 Kb となる。また p_T merger は TGC BW、NSW の各 4 bit の p_T の入力から 4 bit の p_T を出力するため、BRAM の使用量は $2^{12} \times 4 = 16 \text{ Kb}$ となり、実際の使用量は 18 Kb となる。

これらの結果から 1 つの p_T calculator で使用する BRAM は 126 Kb となる。また、1 つの BW-NSW Coincidence には 2 つの p_T calculator を実装し、1 トリガーセクター (19 SSC) の中で BW-NSW Coincidence を実装する SSC の数は、 $|\eta| > 1.3$ の領域の 14 個である。1 つの New SL は 2 トリガーセクターのトリガー判定を行うため BRAM 使用量は、 $126 \times 2 \times 14 \times 2 = 7056 \text{ Kb}$ となる。これは FPGA

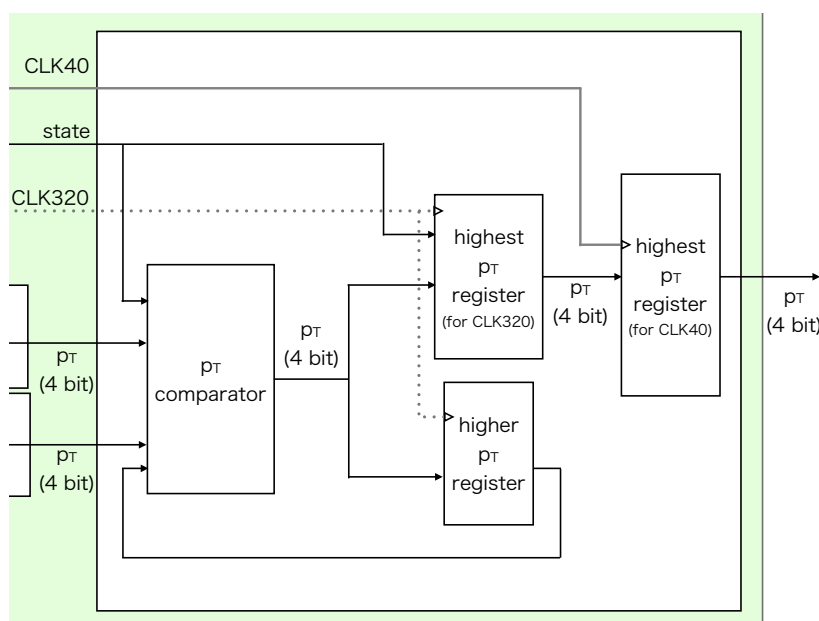


図 6.20 図 6.16 の p_T selector の概念図。この部分では 1 イベントで得られた 16 個の p_T のうち高いものを選ぶ。 p_T comparator は今までに計算された p_T と新しく計算された 2 つの p_T の合計 3 つの比較を行う。higher p_T register は p_T comparator で選ばれた高い p_T を保存し、次に送られてくる p_T と比較するために一時的に保存する場所である。highest p_T register は state 情報を用いて 16 個の p_T のうち一番高い p_T を 40 MHz のクロックに同期させるために用いる。

に実装されている BRAM の約 25 % である。

このロジックは 2 つのパスで並列で計算を行っているが、さらにもう 1 パス追加すると BRAM 使用量が 12.5 % 増えてしまう。また TGC BW と RPC BIS 7/8 Coincidence の実装やリードアウトパスで使用する BRAM を考慮して、320 MHz のクロックを用いて 2 つのパスで並列に p_T の計算を行うことにした。

p_T selector

p_T selector について図 6.20 を用いて説明する。この部分では 320 MHz のクロックに同期して順に計算される合計 16 トラック分の p_T の中から一番高い p_T を選び出す。

p_T の選び方としては、2 つのパスで並列に計算された p_T のうち、高い p_T のものを選び、さらに今までに計算された中で一番高い p_T と比較して一番高い p_T を持つミュオンを選ぶ。この処理を 8 回繰り返すことで 16 個の p_T の中から一番高い p_T を選び出すことができる。ただし 320 MHz のクロックを用いているため、ステート情報を用いて 40 MHz のイベントの境界の情報を与えて、前のバンチ情報で計算された p_T との比較を行わないようにしている。また 320 MHz のクロックに同期したコインシデンス結果を 40 MHz のクロックに同期させるために、2 つのレジスタを用いて同期させる。

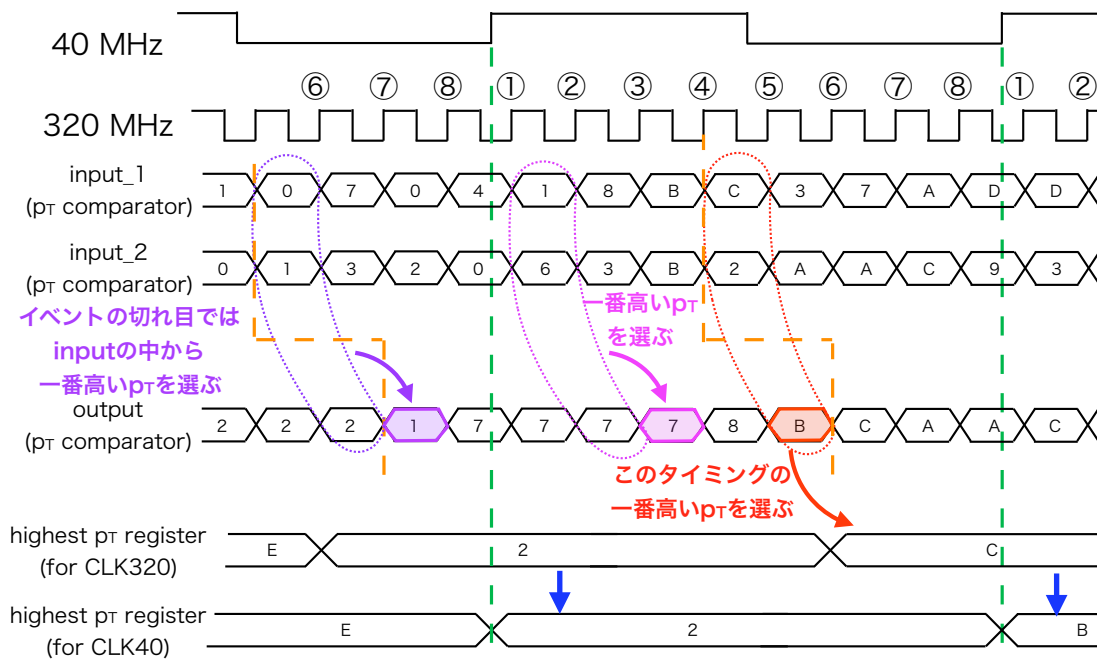


図 6.21 p_T selector のタイミングの概念図。オレンジの破線はイベントの切れ目を表す。同じクロックで動作していても各処理での Latency があるため、イベントの切れ目は異なる。ピンクの点線で囲まれたもののように、3つの p_T の中から一番高い p_T を選ぶ。赤の点線で囲まれたものの中から選ばれた p_T が最終的な結果であり、データを一時保存した後に緑の破線のタイミングで 40 MHz のクロックに同期させる。

BW-NSW Coincidence において、1トラックとのコインシデンスをとるために必要な処理時間は、320 MHzのクロック換算で、 p_T calculator で2 CLK、 p_T selector 中の p_T comparator で2 CLKの合計4 CLKである。しかし実際はFPGA中のBRAMの物理的な位置を移動させることができないため p_T calculator での計算に用いる2つのLUT用BRAMから p_T merger のLUT用BRAMへ、320 MHzの1 CLK (3.125 ns) 以内に4 bitの p_T を送ることは難しい。そこでCWを用いて計算した p_T を p_T merger へ送る前に、一度レジスタに保存するようにする。この処理を行うことでLatencyとして320 MHzの1 CLKだけ処理が遅くなるが、6.25 ns以内に p_T の情報を送ればよくなる。このようにすることでタイミング制約がゆるくなり、BRAMの配置に自由度が生まれ、正しくデータを送ることができる。同じように p_T merger と p_T comparator の間でも一度レジスタにデータを保存する。これにより1トラックとのコインシデンスをとるために必要な処理時間は320 MHzのクロック換算で6 CLKとなる。この処理を順に8回繰り返すため、合計で320 MHzのクロック換算で13 CLK (40.625 ns) かかり、40 MHzのクロックに同期させる処理のLatencyも含めて、50 nsで全ての処理を終えることができる。

6.5.2 BW-RPC BIS 7/8 Coincidence の実装

ここではRPC BIS 7/8のトラック情報を用いたコインシデンスロジックについて説明する。図6.22にコインシデンスロジックの概念図を示す。この部分では50 ns以内に4つのトラック情報を用いて p_T を計算する必要がある。この要求を満たすためBW-NSW Coincidenceと同様のロジックを実装する。ただしコインシデンスをとるべきトラックの数が4つとNew Small Wheelに比べて少ないこと、また4章で述べたように η と ϕ の2種類の角度情報を用いるため p_T 計算に多くのBRAMを使用することを考慮しなければならない。そのため160 MHzのクロックを用いて1つのパスで順に4つのトラック情報を用いてコインシデンスをとるロジックで実装する。

State部分では図6.23で定義するステート情報を生成し、他のロジック部分に送る。他のロジックは生成されたステート情報をもとに処理を行う。

RPC Track Selector

RPC Track Selectorの概念図を図6.24に示す。この部分では入力時には40 MHzのクロックに同期している4つのトラック情報を、160 MHzのクロックに同期して1トラックずつ選ぶ。1つ目のトラックは②のクロックの立ち上がりのタイミングで後段の p_T calculator で p_T を計算する。4つ目のトラックは①のクロックの立ち上がりのタイミングで p_T を計算するため、一時的にトラック情報を保存しておかなければ別のイベントのトラック情報に上書きされてしまう。そのため track4 は一度レジスタに保存しておく必要がある。

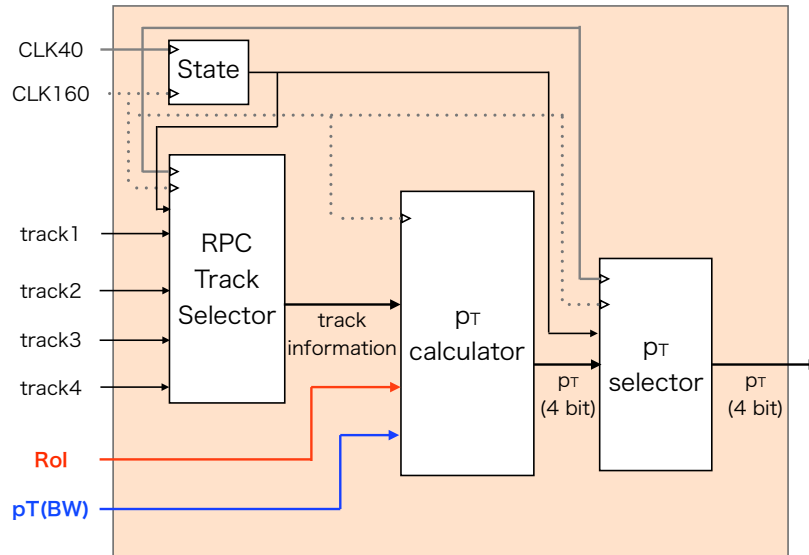


図 6.22 RPC BIS 7/8 のコインシデンスロジックの概要。RPC Track Selector で4つのトラック情報を1つずつ順に p_T calculator へと送る。 p_T calculator は TGC BW で判定されたミュオンの RoI 情報・ p_T と RPC BIS 7/8 のトラック情報を用いて p_T を計算する。 p_T selector は4つの得られた p_T のうち一番大きい p_T の情報を最終的な結果として選ぶ。

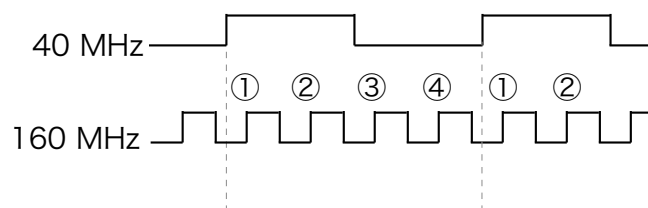


図 6.23 コインシデンスロジックで用いる 40 MHz と 160 MHz のクロックで得られる4つの state。①~④で各ロジックで別の処理をする部分が存在する。1つ目のトラックはクロックの位相や配線などを考慮し、②のクロックの立ち上がりを用いて p_T を計算する。4つ目のトラック情報は①のクロックの立ち上がりで p_T を計算する。

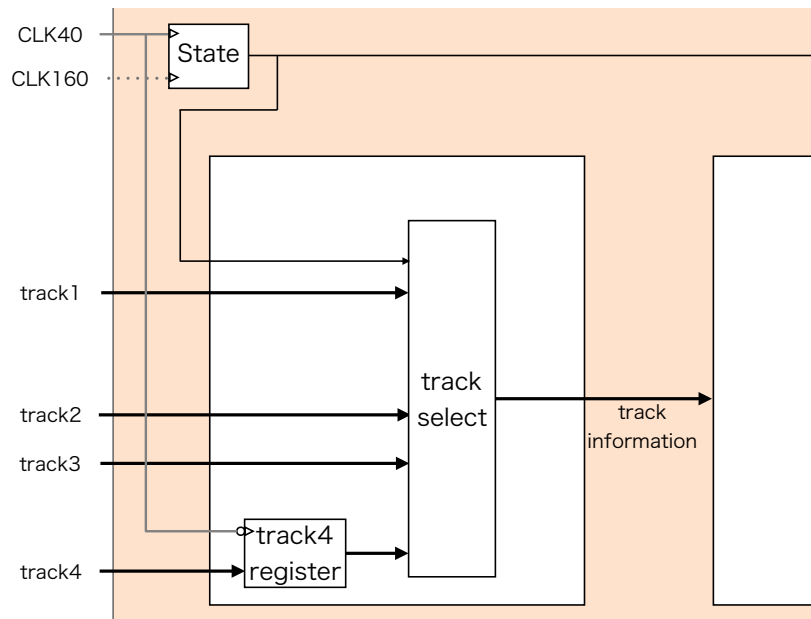


図 6.24 図 6.22 の RPC Track Selector の概念図。図 6.23 の 4 つの state 情報に対応して、4 つのトラック情報を track1 から順に 1 つずつ後段へと送る。track4 は図 6.23 の ①のクロックの立ち上がりで p_T を計算するため、情報を失わないように一時的にデータを保存する必要がある。

p_T calculator (BW-RPC BIS 7/8 Coincidence)

次に図 6.25 を用いて p_T calculator の説明を行う。初段で TGC BW の RoI 情報と RPC BIS 7/8 のトラック情報を用いて p_T を計算し、その後で TGC BW で計算した p_T と RPC BIS 7/8 のトラック情報から計算された p_T の結果を用いてコインシデンスを取り、最終的な p_T を計算する。

p_T を計算するための CW は位置情報と η 、 ϕ 方向それぞれの角度情報を用いるため、3 種類の LUT を用意する。またこの LUT の入力には RPC Track Selector から 160 MHz のクロックに同期したトラック情報を用いるので、160 MHz のクロックに同期して p_T の計算を行う。

位置情報を用いた CW を実装するために用いる BRAM の使用数を見積もる。この LUT に入力する情報は $|d\eta|$ と $|d\phi|$ の 6 bit ずつと RoI を表す 3 bit の合計 15 bit である。また、出力は p_T の 4 bit であるので、 $2^{15} \times 4 = 128$ Kb となり、実装には 144 Kb の BRAM を使用する。また角度情報を用いた CW では、 η 、 ϕ の両方の角度情報を用いた LUT でも、位置情報の 6 bit と角度情報の 3 bit と RoI の 3 bit の計 12 bit を入力し、 p_T の 4 bit を出力すれば良い。これで $2^{12} \times 4 = 16$ Kb となり、1 つの LUT の実装には 18 Kb の BRAM を使用する。

次に TGC-BW Coincidence で計算された p_T と RPC BIS 7/8 のトラック情報から計算された p_T を用いた最終的な p_T の決定法について説明する。コインシデンスロジックの中では TGC-BW Coincidence で計算された p_T 、RPC BIS 7/8 のトラック情報と RoI 情報を用いて、 $d\eta : d\phi$ で計算された p_T 、 $d\eta : \Delta\eta$ で計算された p_T 、 $d\phi : \Delta\phi$ で計算された p_T の 4 つが得られる。そのため BW-NSW Coincidence と同

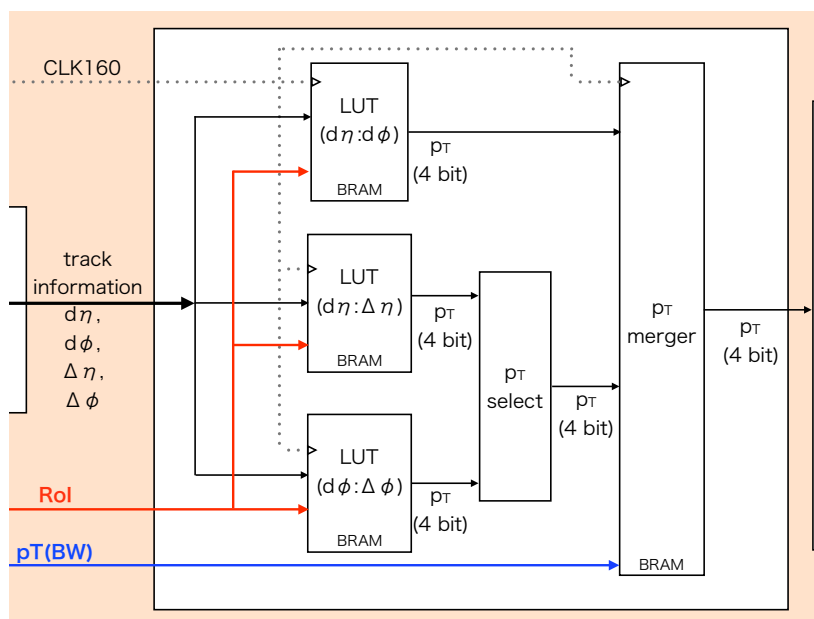


図 6.25 図 6.22 の p_T calculator の概念図。RPC BIS 7/8 でのトラック情報と TGC BW の RoI 情報を用いてそれぞれ p_T を計算。角度情報から計算された 2 つの p_T のうち小さい p_T を角度情報から得られた p_T として選ぶ。その後、TGC BW の情報のみで計算した p_T 、RPC BIS 7/8 の位置情報で計算した p_T 、RPC BIS 7/8 の角度情報で計算した p_T を用いて最終的な p_T を計算する。

様、4 つの p_T を用いて最終的な p_T を決定するために、メモリを用いた LUT として p_T merger を実装したい。しかし 4 bit の p_T 4 つを入力し、4 bit の p_T を出力する場合、 $2^{16} \times 4 = 256$ Kb となり、実装には 270 Kb の BRAM を使用してしまう。そこで角度情報を用いて計算して得られた p_T のうち、低い方の p_T のみを p_T merger の入力に用いる。この変更により、入力が 12 bit、出力が 4 bit の LUT を用いるため $2^{12} \times 4 = 16$ Kb となり、実装には 18 Kb の BRAM を使うことになるので、リソースの節約ができる。

これらの結果から 1 SSC 分の BW-RPC BIS 7/8 Coincidence で使用する BRAM は 198 Kb となる。BW-RPC BIS 7/8 Coincidence は Endcap セクター用 New SL にのみ実装する。また 1 つの New SL には BW-RPC BIS 7/8 Coincidence を実装する SSC が 5 個あり、2 トリガーセクターでトリガー判定を行うため合計 1980 Kb の BRAM を使用する。

p_T selector

p_T selector の概念図を図 6.26 に示す。この部分では 160 MHz のクロックに同期して計算された 4 つの p_T のうち、最も高い p_T を選ぶ。基本的なロジックは BW-NSW Coincidence の p_T selector と同じであるが、異なる点は p_T comparator で比較する p_T の数が 2 つである点である。新たに計算された p_T と今までに計算された中で一番高い p_T の比較を行い、高い方の p_T を選ぶ。この処理を 4 回繰り返すこと

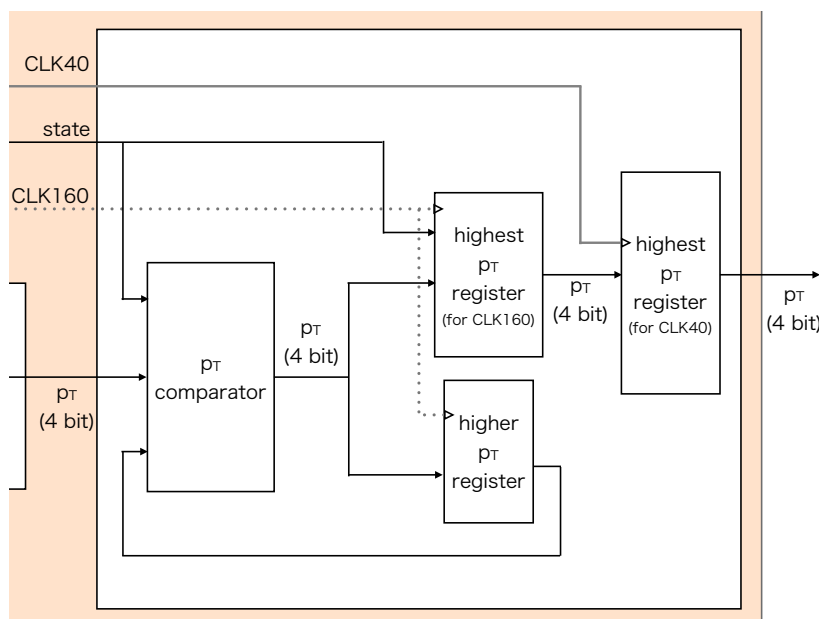


図 6.26 図 6.22 の p_T selector の概念図。この部分では 1 イベントで得られた 4 つの p_T のうち高いものを選ぶ。 p_T comparator は今までに計算された p_T と新しく計算された p_T の比較を行う。 higher p_T register は p_T comparator で選ばれた高い p_T を保存し、次に送られてくる p_T と比較するために一時的に保存する場所である。 highest p_T register は state 情報を用いて 4 つの p_T のうち一番高い p_T を 40 MHz のクロックに同期させるために用いる。

で、4 つのトラック情報を用いて計算した p_T の中から一番高いものを選ぶことができる。

BW-RPC BIS 7/8 Coincidence において 1 トラックとのコインシデンス処理にかかる Latency は、160 MHz のクロック換算で LUT を用いた p_T の計算に 2 CLK、 p_T の比較に 1 CLK かかる。この処理を順に 4 つ繰り返すため合計で 6 CLK (37.5 ns) かかり、40 MHz のクロックに同期させるための Latency も含めて 50 ns で全ての処理を終えることができる。

6.6 track selector の実装

track selector に要求される機能は TGC の 1 つのトリガーセクターで判定された複数のミュオンのうち、MuCTPi ボードに送るべき最大 4 つの候補を選ぶことである。6.2.2 節で述べたように、MuCTPi ボードへ送信するための候補の選別とデータのエンコードの処理を 50 ns 以内に行わなければならない。

Endcap セクター用の track selector の概念図を図 6.27 に示す。

track selector は 3 段階でミュオンの候補を絞る。初段のモジュールである candidate selector は、SSC から送られてくるコインシデンス結果に対して、コインシデンスのとれていない SSC の情報を捨てる。これにより後段の comaprator へ送る情報を減らす。New SL は HPT ボードから受け取る TGC BW の情報を用いてミュオンの RoI を決定している。しかし HPT ボードはデータ転送速度の限界に

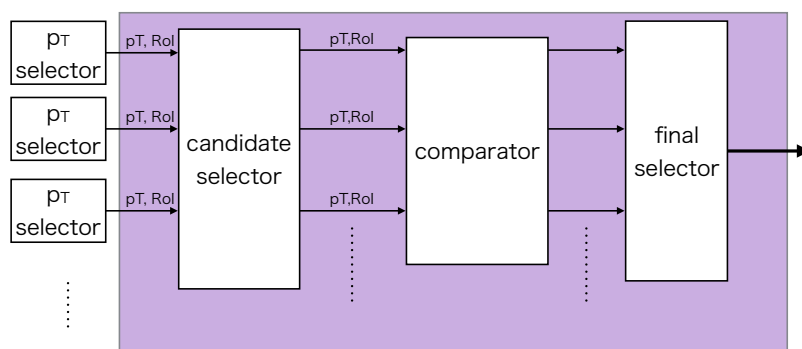


図 6.27 Endcap セクター用 track selector の概念図。19 個の SSC からミュオンの候補を選び出す candidate selector、選ばれた候補の p_T を総当たりで比較する comparator、comparator の結果を用いて後段に送る 4 つの候補を選ぶ final selector の 3 段階で構成されている。Forward セクター用では candidate selector のみ実装されている。

より、すべてのミュオンの R 情報を送れているわけではない。図 6.28 に示すようにある HPT ボードに属する SSC のグループの中で最大 2 個の R 情報しか送ることができない。そのため Endcap セクター用 New SL が受け取ることができる TGC BW の R 情報の制限を用いて、19 個の SSC のコインシデンス結果の中から、SSC0 で 1 つ、SSC1~6、SSC7~12、SSC13~18 の中から各 2 つずつの合計 7 つまでを選び出す。また Forward セクター用では最大 4 つの R 情報しか受け取らないので、candidate selector の時点で 4 つまでミュオンの候補を絞ることができるため、図 6.27 の後段の処理は必要ない。

Endcap セクター用の candidate selector の概念図を図 6.29 に示す。このモジュールでは HPT ボードから受信するデータフォーマットを用いて、後段の comparator へ送るコインシデンス結果を選ぶだけでなく、MuCTPi ボードへ送るためのエンコード処理も行う。各 SSC ごとに判定されたミュオンの位置情報は SSC 中の位置情報 (RoI) を表すために 3 bit で表現されている。しかし MuCTPi ボードへ送るミュオンの RoI 情報はトリガーセクター内の位置を示す必要があるため、8 bit の情報へとエンコードする必要がある。HPT ボードのデータフォーマットを利用して後段の処理に不要なデータを捨ててしまうと、SSC 情報が失われてしまうため、RoI 情報のエンコード処理はこの部分で行わなければならない。

Endcap セクターでは、candidate selector で絞られた最大 7 つのミュオンのうち MuCTPi ボードへ送信できるのは 4 つまでである。4 つの候補の選び方は Run-2 で用いられる選び方と同じ優先順位で選ぶ。即ち、 p_T が大きいもの、同じ p_T の場合は R の大きいものを優先的に選ぶ。これらの優先順で選ぶために comparator モジュールを使う。comparator では ${}^7C_2 = 21$ 通りの総当たりで優先順位の比較を行う。このようにして得られた 21 個の比較結果を用いて final selector で 4 つのミュオンを選び出す。

track selector はこれらの処理を 40 MHz のクロックの 1 CLK (= 1 BC) で完了することができる。そのため、Latency に対する要求値の 2 BC と比較して 1 BC の余裕をもつことができる。

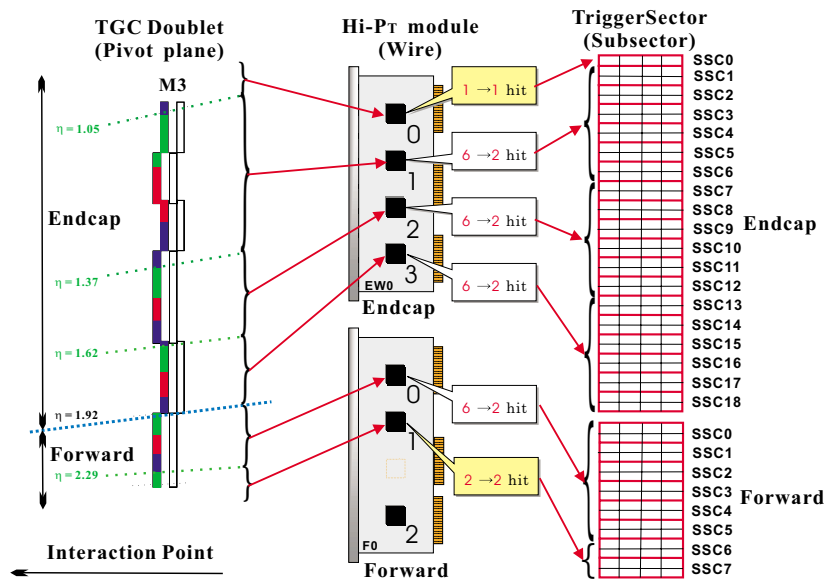


図 6.28 HPT ボードから受け取るデータと TGC BW の SSC の関係 [21]。

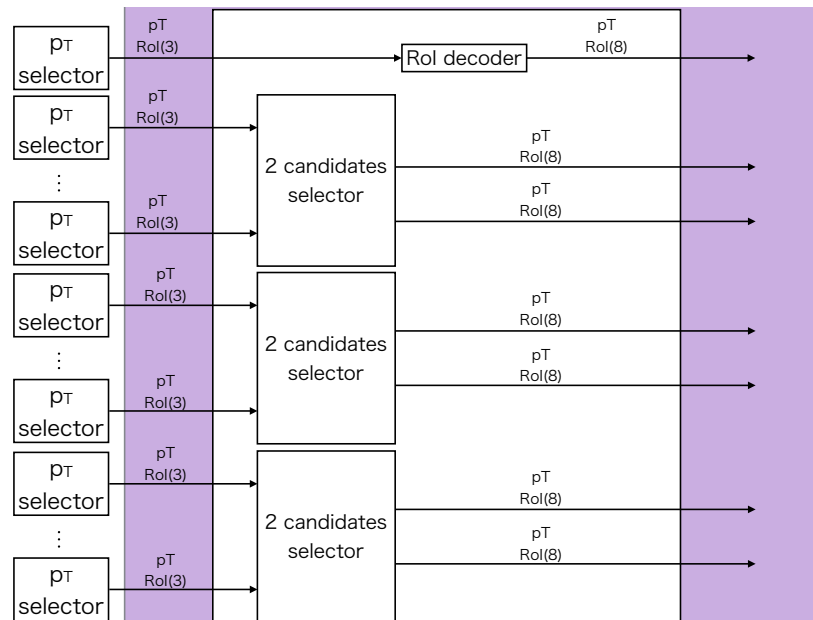


図 6.29 Endcap セクター用 candidate selector の概念図。19 個の SSC から独立して判定されたコインシデンス結果の中からコインシデンスがとれなかったものを捨てる。入力される Rol 情報は SSC 中での Rol 情報なので 3 bit。送信すべき Rol 情報は TGC の trigger sector における Rol 情報なので 8 bit 必要。

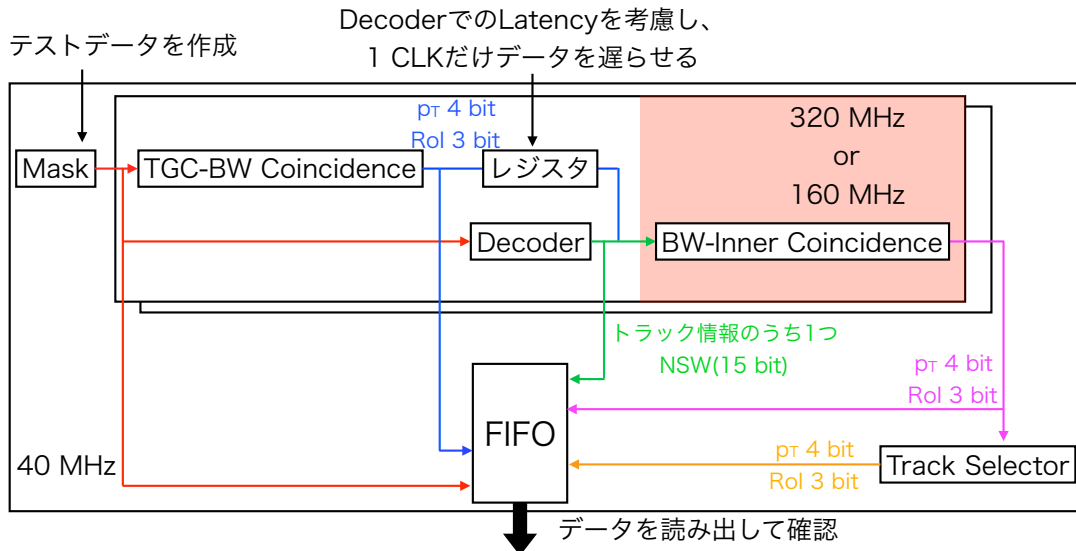


図 6.30 トリガーロジックの動作試験の概要。受信した信号を 40 MHz のクロックに同期させた後の Mask モジュールでテストデータを作成し、動作試験に用いる。

6.7 動作試験

今までに説明したトリガーロジックが正しく動作しているか確認するために動作試験を行った。本来であれば各検出器のフロントエンド回路からデータを受信して動作試験を行うべきだが、まだ各回路が完成していない。そこで受信したデータを 40 MHz のクロックに同期できたと仮定し、テスト信号を用いてトリガーロジックの動作試験を行った。

動作試験の概要を図 6.30 に示す。40 MHz のクロックに同期したテストデータは Mask モジュールで作成する。このテストデータは同じデータを複数バンク出力する。本来の受信データでは Mask モジュールの前に Delay モジュールがあり、各フロントエンド回路から送られてきたデータのタイミングを調整する。実際にトリガー判定を行う場合には、TGC BW の情報は TGC-BW Coincidence の処理のために磁場内側の検出器の情報よりも 2 CLK 早く受信する。しかし今回のテストデータを今はない Delay モジュールの後段で作成するため、BW-Inner Coincidence は違う BC 間の情報でコインシデンスをとることになる。しかしテストデータは 2 CLK 以上の間同じデータを出力するためロジックの動作結果が正確であるかを確認することができる。また、各モジュールの出力を 40 MHz のクロックに同期した FIFO に保存し、テスト後に保存したデータを読み出すことで正しい処理が行えているか確認した。

このテストではロジックが正しく動いていることを確認するため、Latency の測定を行う必要がある。テストデータを入力してから各モジュールの出力が変化するまでの相対的な Latency を測定する。今までに述べたロジックを実装することで各処理にかかる時間が変化するため、表 6.2 に予想される Latency をまとめる。赤字の部分は Latency の要求値 (表 6.1) からの変更点である。

動作試験の結果を図 6.31 に示す。時間の向きは上から下である。横方向に 40 MHz のクロックに同期した各モジュールの出力結果を表す。点線で囲まれたタイミングでテストデータが入力される。赤枠で

囲まれた部分が TGC BW のテストデータである。2 CLK 後に青枠で囲まれた TGC-BW Coincidence の値が変化する。1 CLK 後に TGC-BW Coincidence で判定された RoI 情報を用いて Decoder の出力結果が変化する。2 CLK 後にテストデータで計算された Inner Coincidence の結果が変化する。1 CLK 後に、各 SSC で計算された p_T の情報を集めて最大 4 つの p_T を選び出す。すべての出力は入力データから予想された結果と同じであり、各モジュールの処理に要する時間もデザイン通りであった。

表 6.2 New SL がトリガー判定ロジックに用いる時間 (1 BC = 25 ns)。赤色の部分は考案したロジックを実装した場合の Latency の変化。(括弧内に表 6.1 の要求値を示す。)

New Small Wheel				Big Wheel TGC			
	nsec	BCs	Total		nsec	BCs	Total
Receive signal from NSW			41.4	Receive signals from BW			37
Optical Rx + De-serializer		2.5	44	Optical Rx + De-serializer		2	39
Variable Delay		1	45	TGC R-Phi coincidence (LUT)		2	41
Decoding/Alignment of NSW data (LUT)	1 (2)	46 (47)	46 (47)	Waiting for NSW signals	5 (6)	46 (47)	46 (47)
				BW - NSW coincidence (LUT)	2 (1)	48 (48)	48 (48)
				Track selection/ p_T encoding	1 (2)	49 (50)	49 (50)
				Serializer (128 bit/clock, 6.4 Gb/s) + Optical Tx	2	51	52
				Optical fibre to MUCTPI (10 m)	2	53	54

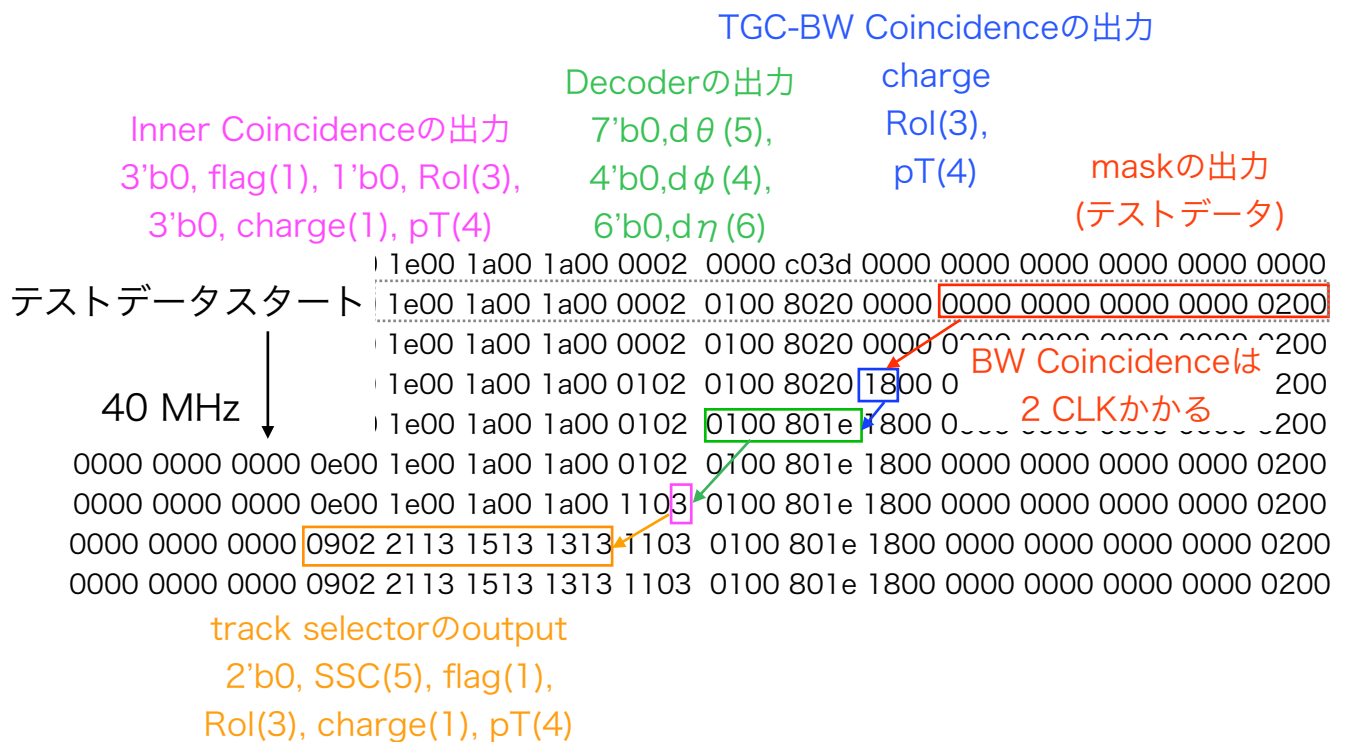


図 6.31 トリガーロジックの動作試験の結果。テストデータを入力したタイミングから各モジュールの出力結果が予想されたタイミングで変化する。TGC-BW Coincidence の処理には 2 CLK、Decoder の処理に 1 CLK、BW-Inner Coincidence の処理に 2 CLK、track selector の処理に 2 CLK かかる。

第7章 結論と今後の展望

2021年以降のRun-3においてLHCは重心系エネルギー14 TeV、ルミノシティは現在の約1.5倍の $3 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ で運転する予定である。ルミノシティの増加により、ATLAS実験のトリガーシステムのアップグレードが必要となる。本研究ではRun-3で新たに導入される検出器New Small Wheel、RPC BIS 7/8の情報をを用いてトリガー判定を行うロジックを開発した。

ミュオントリガー判定に用いられているTGCと新たに導入されるNew Small Wheel、RPC BIS 7/8の情報を組み合わせたミュオントリガーをハードウェアで実装するために、新しいトリガー判定回路New Sector Logicが開発した。New Sector Logicには各検出器から大容量のデータを受け取るために、高速トランシーバーGTXが搭載されている。New Sector LogicではGTXでデータを受け取る、6.4 Gbpsと1.6 Gbpsの異なるデータ転送速度で各検出器から送られてくる情報を正しく、また一定のLatencyで受け取る必要がある。New Sector Logicで異なるデータ転送速度での通信試験を行い、エラーなくデータを受け取ることができることを確かめた。

ハードウェアの性能評価だけでなく、シミュレーションを用いて新検出器RPC BIS 7/8の情報をを用いた新しいトリガーロジックの開発を行った。RPC BIS 7/8の位置情報と角度情報を用いてトリガー判定を行うロジックを考案し、この性能評価を行った。また現在同じ位置に設置されている検出器のデータを用いてシミュレーションでは再現できないバックグラウンド事象によるトリガーの削減率を見積もった。考案したトリガーロジックを実装することで、RPC BIS 7/8とコインシデンスを要求する領域で約80%のトリガーを削減でき、エンドキャップミュオントリガー全体として約4.6%のトリガーを削減できることがわかった。NSWとのコインシデンスロジックと合わせて、Run-3で要求されるミュオントリガーレート15 kHzを達成した。

RPC BIS 7/8の情報をを用いた新トリガーロジックと、先行研究で考案されたNew Small Wheelの情報をを用いたトリガーロジックはNew Sector Logicに実装する必要がある。そこでこれらのトリガーロジックを実装するためにFirmwareのデザインを行った。トリガー判定に用いることができる処理時間は決まっており、またFixed Latencyシステムを実装するため、処理時間は常に一定でなければならない。これらの要求性能を満たすようなFirmwareのデザインを行い、性能評価を行った。その結果、処理時間の要求値より25 ns少ない時間で要求性能を満たせることを確かめた。また、今までシミュレーションで考えられているだけだったRun-3でのLevel-1エンドキャップミュオントリガー判定ロジックを、実際にトリガー判定を行うNew Sector Logicに実装し、正しく動作していることを確認した。

本研究でNew Sector Logicに実装するFirmwareのデザインは完了した。しかし考案したデザインは各検出器のフロントエンド回路の性能が未だ分かっていない場合にいろいろパターンに対応できるようなロジックである。そのためデザインの最適化の余地は残っている。例えば考案したBW-NSW

Coincidence ロジックではコインシデンスをとり得る可能性がある 16トラックを処理できるよう実装している。しかしこのロジックは狭い範囲に大量のミュオントラックが再構成されるという極めて稀なパターンに対応するためにデザインされているので、実際のフロントエンド回路でこのようなパターンでトラックを再構成できないのであれば、コインシデンスをとるべき最大トラック数が減る。その場合、この高周波数のクロックと大量の BRAM を用いて実装しているロジックから、低い周波数のクロックを用いるように変更するか、使用する BRAM の数を減らすことも可能となる。

各フロントエンド回路の設計が終わり次第、それらの性能に合わせてロジックを最適化していくことが今後の研究課題となる。

謝辞

本研究では、多くの方々にお世話になりました。

日々の研究のアドバイスや論文の執筆などにあって助言をくださった隅田土詞助教に心から感謝致します。

Phase-1 Upgrade チームの方々にも大変お世話になりました。佐々木修教授には検出器のことやエレキのことなどについて詳しく教えていただき、感謝いたします。前田順平講師には Firmware や Software についてご指導していただき、感謝いたします。石野雅也教授には CERN で研究するにあたり旅費の支給や研究内容について質問していただき、より良い研究生活を送ることができました。感謝いたします。

赤塚駿一氏には、New Sector Logic の Firmware デザインについて基礎の基礎から細かい設定などについて詳しく教えていただき、心から感謝いたします。野口陽平氏にはシミュレーションやソフトウェアについて教えていただき、大変感謝しています。救仁郷拓人氏にはコーヒーの淹れ方からエレキの基礎を教えていただき、大変感謝しています。田代拓也氏には毎週のミーティングなどでの質問やコメントにより、多くのことを学びました。大変感謝しています。水上淳氏には CERN での充実した生活を送るために大変お世話になりました。

To be updated.

参考文献

- [1] The ATLAS Collaboration, Combined measurements of Higgs boson production and decay in the $H \rightarrow ZZ^* \rightarrow 4l$ and $H \rightarrow \gamma\gamma$ channels using $\sqrt{s} = 13$ TeV pp collision data collected with the ATLAS experiment, ATLAS-CONF-2017-047, 2017 [Web](#)
- [2] The ATLAS Collaboration, Measurements of the Higgs boson production and decay rates and coupling strengths using pp collision data at $\sqrt{s} = 7$ and 8 TeV in the ATLAS experiment, arXiv:1507.04548v3, 2016 [Web](#)
- [3] ATLAS Collaboration, The ATLAS Experiment at the CERN Large Hadron Collider, JINST 3 S08003, 2008 [Web](#)
- [4] ATLAS Collaboration, ATLAS Insertable B-Layer Technical Design Report, ATLAS TDR 019, 2010 [Web](#)
- [5] Joerg Wotschack, ATLAS Muon Chamber Construction Parameters for CSC, MDT, and RPC chambers, ATL-MUON-PUB-2008-006, 2008 [Web](#)
- [6] ATLAS Collaboration, Performance of the ATLAS Trigger System in 2015, arXiv:1611.09661, 2017 [Web](#)
- [7] Konstantinos A. Ntekas, Performance characterization of the Micromegas detector for the New Small Wheel upgrade and Development and improvement of the Muon Spectrometer Detector Control System in the ATLAS experiment, CERN-THESIS-2016-019, 2016 [Web](#)
- [8] ATLAS Collaboration, New Small Wheel Technical Design Report, ATLAS-TDR-020, 2013 [Web](#)
- [9] The ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer, ATLAS-TDR-026, 2017 [Web](#)
- [10] ATLAS Collaboration, The ATLAS BIS78 Project, ATL-MUON-INT-2016-002, 2016 [Web](#)
- [11] ATLAS Collaboration, ATLAS level-1 trigger : Technical Design Report, ATLAS-TDR-12, 1998 [Web](#)
- [12] 救仁郷 拓人, LHC-ATLAS 実験 Run-2 に向けた Level-1 ミューオントリガーアルゴリズムとデータ収集システムの改良, 修士論文, 2015 [Web](#)

- [13] 赤塚 駿一, LHC-ATLAS 実験 Run-3 に向けた ミューオントリガーの改良, 修士論文, 2017 [Web](#)
- [14] 田代 拓也, ATLAS 実験における 新しいミューオントリガー回路の開発と実装, 修士論文, 2013 [Web](#)
- [15] 木戸 将吾, ATLAS 実験 Run2 におけるレベル 1 ミューオントリガーの性能評価及び最適化の研究, 修士論文. 2016 [Web](#)
- [16] ATLAS Collaboration, Letter of Intent for the Phase-II Upgrade of the ATLAS Experiment, CERN-LHCC-2012-022, 2012 [Web](#)
- [17] ATLAS Collaboration, Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System, ATLAS-TDR-023, 2013 [Web](#)
- [18] XILINX, Spartan-6 FPGA GTP Transceivers User Guide, 2010 [Web](#)
- [19] XILINX, 7 Series FPGAs Data Sheet: Overview, 2017 [Web](#)
- [20] XILINX, 7 Series FPGAs GTX/GTH Transceivers User Guide, 2016 [Web](#)
- [21] 一宮 亮, ATLAS 実験前後方ミューオントリガシステム用 Sector Logic の開発, 修士論文. 2001 [Web](#)
- [22] XILINX, Integrated Bit Error Ratio Tester 7 Series GTX Transceivers v3.0, 2016 [Web](#)
- [23] 徳永孝之, LHC-ATLAS 実験 RUN3 に向けた新しいミューオントリガー装置の FPGA 読み出し開発とその性能評価, 修士論文. [Web](#)

付 録 A リードアウト機能

3.2.4 節で説明したように、New SL はトリガー判定を行うだけでなく、受信データとトリガー判定結果の読み出しも行っている。

A.1 読み出し Firmware の概要

New SL の読み出し Firmware の概念図を図 A.1 に示す。読み出し Firmware は L1 Buffer、Derandomizer、Zero Suppress、SiTCP で構成される。

L1 Buffer は L1A 信号を受け取るまで入力データを保存する Level-1 Buffer と Trigger Buffer、ID 情報を読み出すための ID Counter で構成される。コインシデンスロジックの都合により、TGC BW と磁場の内側の検出器の情報は Delaty モジュールからわざと 2 BC 分ずらすため、Level-1 Buffer は 2 つに分けられる。Trigger Buffer は New SL のトリガー判定結果を保存しており、ID Counter は L1A や BC の ID 情報などを読み出す。

L1A 信号を受信すると、L1 Buffer から 2048 bit (1 BC 分の情報) ごとに読み出す。しかし、Zero Suppress のロジックの都合により 2048 bit の情報を 16 bit ずつに分解しなければならない。そのために Derandomizer を用いる。New SL は L1A 信号を受信すると 4 BC 分の情報を読み出し、また L1A 信号はランダムに受信するため、データをロスすることなく Zero Suppress に 16 bit ずつデータを送る機能が必要である。そのために Derandomizer は FIFO で構成する。ただし FIFO の最小出力 bit 数は入力 bit 数の 8 分の 1 であり、入力の 2048 bit から出力の 16 bit に分解するには最低 3 つの FIFO で構成しなければならない。またデータ読み出しを高速で行い、データ読み出しによるデッドタイムを減らすため 160 MHz のクロックを用いてデータ処理を行う。

A.1.1 Derandomizer

Derandomizer を構成するために用いる FIFO は、使用するリソースの量を最小にし、デッドタイムを出さないように十分な深さを持つ必要がある。はじめにリソースの最適化に関して説明する。FIFO は BRAM で実装され、リソース使用量は入出力 bit 数や深さによって決まる。今回は入力 bit 数が出力 bit 数より大きいため、入力 bit 数がリソース使用量の見積もりに重要となり、また最大入力 bit 数は最大 1024 bit である。これらの制限により、初段の FIFO は最低 2 つの FIFO を並列に並べる必要がある。入力 bit 幅が 72 bit ごとに 36 kBRAM を 1 個使用するため、入力 bit 数が 1024 bit の FIFO を使用する場合、36 kBRAM を 14.5 個使用し、合計で 29 個使用する。この場合、BRAM の使用数をこれ以上増

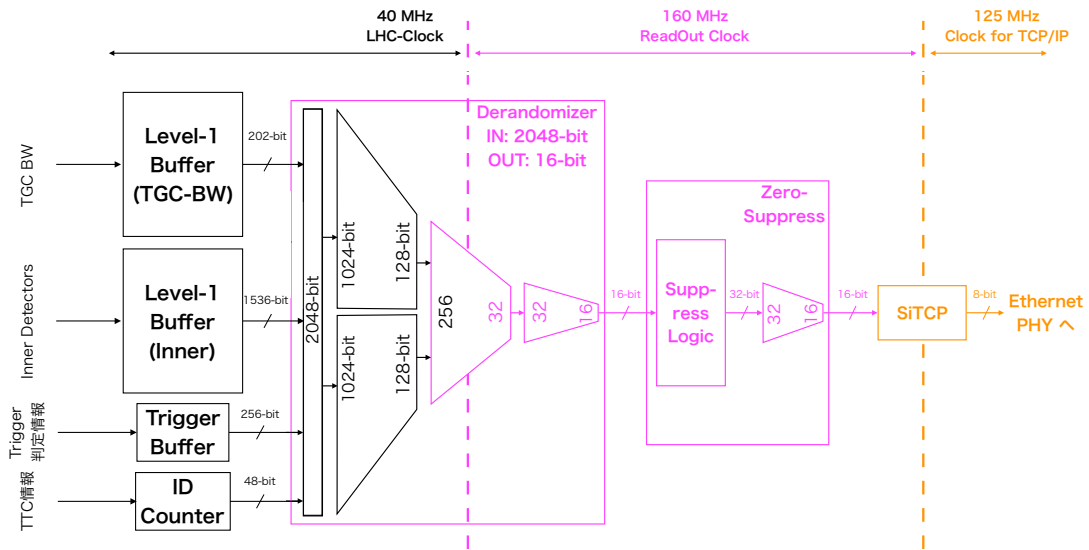


図 A.1 読み出し Firmware の概念図。L1A 信号を受け取ると、対応したイベントのデータを読み出し、圧縮後、SROD へと送信する。

やさずに設定できる最大の深さは 512 である。1024 bit の入力で深さが 512 の FIFO では、出力 bit 数によらず BRAM の使用量は同じである。そのため、2 段目の FIFO での入力 bit 数を減らして、BRAM 使用量を減らすため出力 bit 数は 128 bit にする。

2 段目の FIFO としては入力が 256 bit の FIFO を考える。この FIFO では初段と同様に、深さが 512 以下であれば、出力 bit 数によらず BRAM 使用量は変わらない。また 3 段目の FIFO での BRAM 使用量を減らすため、出力 bit 数は 32 bit にする。3 段目の FIFO は、入力 bit 数が 32 bit、出力 bit 数が 16 bit で決まっており、深さは 512 以下であれば BRAM の使用量は変化しない。

今までは、BRAM の使用量に注目して各 FIFO の深さを 512 にしたが、この深さが十分であるか確認するために Queueing 理論を用いる。入力の平均レート λ 、出力の平均レート μ 、深さ N の FIFO の場合に、FIFO が全てデータで満たされる確率 τ を求めるために用いる。入力がランダムに行われると仮定すると、深さ N のうち n が埋まっている確率 P_n は、

$$P_n = \frac{(1 - \rho)\rho^n}{(1 - \rho^{N+1})}$$

と表される。ここで用いられる ρ は、 $\rho = \frac{\lambda}{\mu}$ である。 τ の定義は $n = N$ となる確率であるので、

$$\tau = P_N = \frac{(1 - \rho)\rho^N}{(1 - \rho^{N+1})}$$

となる。

この FIFO では設定の都合上深さ 512 を設定できるが、FIFO がオーバーフローしないために初段の FIFO の深さ 400 までデータで満たされるとデッドタイムを作る Busy 信号を出力するようにする。こ

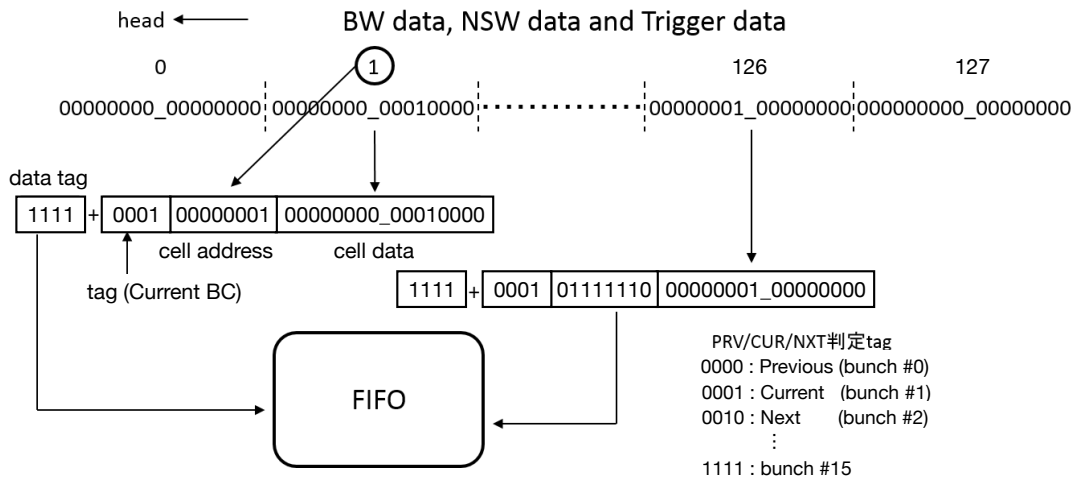


図 A.2 Zero Suppress ロジックの概念図 [23]。16 bit ごとにデータの圧縮を行う。

これは Busy 信号を出力してからデータ取得が止まるまでの時間を考慮して余裕をもたせて深さを設定した。3段の FIFO はカスケード接続し、1つの FIFO であると考えることができる。この場合、入力 bit 数が 2048 bit、出力 bit 数が 16 bit、深さが $400 + 512 \div 8 + 512 \div 8 \div 8 = 472$ の FIFO とみなせる。この FIFO では、入力のレートは L1A レート 100 kHz、1回の L1A で 4 イベント分読みだすので 400 kHz となる。1 イベントあたり 2048 bit 入力されるので、FIFO に入力される情報は 819.2 Mbps である。出力のレートは Derandomizer の入力レートと同じであると考えて、160 MHz で 16 bit ずつ読みだすため、2560 Mbps である。従って、 $\rho = 0.32$ となる。これを用いて計算すると、 τ は $N = 472$ では約 1.8×10^{-234} となる。この結果から、Derandomizer の FIFO には十分な深さが用意されていることがわかる。また BRAM の使用量は FIFO の深さではなく入力 bit 幅から決まっており、最適化されている。

A.1.2 Zero Suppress

Zero Suppress はデータを圧縮するためのロジックである。特にデータの中で 0 の割合が多い場合にデータの圧縮率が高くなるロジックであり、基本的には 0 でないデータのみを送信するようにしてデータ転送量を減らす。図 A.2 に Zero Suppress の Suppress Logic の概念図を示す。

Suppress Logic は 16 bit ずつのデータ (1 cell 分) を Derandomizer から読み出し、その 16 bit の中に 1 があるかどうか確かめる。1 がなければ、その 16 bit のデータは捨てられる。1 があれば、その 16 bit が 1 イベントのデータの何 cell 目であることを識別するための 16 bit の cell 情報を付け加えて、32 bit のデータへと変換する。0 を多く含むデータの場合、追加でつけかわえられる 16 bit の cell 情報の数の方が捨てられる 16 bit のデータよりも少ないためデータ送信量を減らすことができる。

図 A.3 に Suppress Logic 後のデータフォーマットを示す。前述の通り、16 bit のデータに 16 bit の cell 情報を付け加えて 32 bit へと変換する。16 bit の cell 情報は、SROD で 16 bit のデータが何の情報を表すか識別するための 4 bit の Data tag、L1A 信号によって読み出されたデータがどのバンチ (Previous、

	Data Tag	Bunch Tag	cell address	cell data
bit 幅	4-bit	4-bit	8-bit	16-bit

図 A.3 Zero Suppress 後のデータフォーマット [13]。16 bit の cell data に 16 bit の cell 情報を付け加えて 32 bit で 1 つのデータへと変換する。

Words (16-bit)	Data Tag	Bunch Tag	Bunch Tag
Word 0	Header (0xB0D0)		
Word 1	0000	L1ID (12-bit)	
Word 2	0000	BCID (12-bit)	
Word 3	0000	SLID(12-bit)	
Word 4	Zero-Suppressed data Every 32-bit word starts with "1111"		
Word (2N-2)			
Word (2N-1)	0x0000		
Word 2N	Footer (0xE0D0)		

図 A.4 SROD へと送信するデータフォーマット [13]。

Current、Next) であるかを表す 4 bit の Bunch tag、何 cell 目のデータであるかを表す 8 bit の cell address で構成されている。図 A.4 に示すように、ID 情報につけられる Data tag は 4 bit の 0000 に、データにつける場合には 4 bit の 1111 にすることで SROD 側で誤ってイベントの開始・終わりを検知しないようにしている。

Suppress Logic で圧縮や整形された 32 bit のデータは、SiTCP 通信を行うために 16 bit ずつに分解する必要がある。32 bit ごとに FIFO に保存し、後で 16 bit ずつ読み出すことにしてデータの分割を行う。FIFO を利用することで Busy 信号を出しにくく、データロスなく読み出しを行うことができる。A.1.1 節で述べたように FIFO を実装するにあたって重要なことは、使用する BRAM の量とデッドタイムを作らない十分な深さである。Suppress Logic を挟んで Derandomizer の FIFO と Zero Suppress の FIFO をうまくカスケード接続することにより 1 つの大きな FIFO とみなすことができる。これにより Zero Suppress の FIFO の深さを考慮するために Busy 信号を出す確率は、Derandomizer の Busy 信号を出す確率 ($\rho = 0.32$ の場合、 10^{-234}) \times Zero Suppress の FIFO が全てデータで満たされる確率で表される。そのため Derandomizer 自体が Busy 信号を出す確率が十分に低いため、Zero Suppress の FIFO の深さはあまり気にしなくて良い。また、使用する BRAM の量は深さを考慮しなければ入力 bit 数によって決まるため、入力 bit 数 32 bit の深さ 512 の最適化された FIFO を実装する。

付 録 B MuCTPi との接続テスト

MuCTPi は Muon-to-CTP interface の略であり、New SL はトリガー判定結果を MuCTPi ボードへ送信する。New SL は 1 トリガーセクターにつき最大 4 つのミュオンのトラック情報を 1 BC ごとに送信する。MuCTPi へ送信するデータフォーマットを図 B.1 に示す。MuCTPi へのデータ送信には GTX 通信を用いる。

2017 年 11 月 22 日、23 日に CERN で New SL と MuCTPi ボードの接続テストを行った。ここではテストの内容とその結果について簡単に説明する。

図 B.2 に MuCTPi との接続テストのセットアップを示す。New SL と MuCTPi ボードは TTC system から 40 MHz のクロックを受けとる。TTC とは Timing Trigger Control の略であり、クロックや L1A 信号の分配などを行っている。New SL と MuCTPi ボードは TTC system から受けとったクロックをもとに GTX 通信でデータの送受信を行う。

B.1 Bit Error Ratio 測定

New SL と MuCTPi ボードの間でのデータ送受信に失敗する頻度の測定を行った。Bit Error Ratio (BER) とは送信したデータと受信したデータが一致しないような事象 (ビットエラー) の割合を表し、(ビットエラー)/(送信されたビット数) で表される。BER の測定のために、vivado の IBERT ^[22] (Integrated Bit Error Ratio Tester) IP Core を利用した。IP Core は、ある機能の部分回路のブロックを表し、ソフトウェアで自動で設定されるため細かいデザインをする必要がない。IBERT は Xilinx 社が提供している IP Core で、GTX での BER 測定や Eye Pattern テストなどを GUI を用いて行える。IBERT では送信用のデータのランダムパターンを生成し、GTX TX を用いて出力する。受信側ではパターンチェッカーを用いて受信データにエラーがないか確かめる。

今回は IBERT による BER 測定で GTX 12 チャンネル分を用いて 15 時間行った。データ転送レートは実際のデータ取得で用いる予定の 6.4 Gbps で行った。BER 測定の結果、ビットエラーは一度も検出されず、転送したビット数から BER の上限値 2.82×10^{-15} が得られた。

次に、IBERT を用いて Eye Pattern の検証を行った。Eye Pattern は図 B.3 の左側のようなシリアル通信で受信される波形を重ねて書いたものである。Eye Pattern の描画では縦軸に電圧を、横軸には時間をとる。横軸の時間の範囲としては 1 bit データを転送するために要する時間 (1 UI) をとる。図 B.3 の左図に示すように電圧の高低の差が大きく、信号の立ち上がりが早いほど線で囲まれた面積が大きくなる。データ転送レートが高いほど立ち上がりの時間は Serial Clock の 1 CLK に比べて長くなるため、線で囲まれる面積は (c) のように小さくなる。この形を Eye Pattern と呼び、この「目」のような形が

Data format from Sector Logic to MuCTPi

Words(16 bit)	first byte								second byte							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	Muon Candidate 1															
Word-1	Muon Candidate 2															
Word-2	Muon Candidate 3															
Word-3	Muon Candidate 4															
Word-4	Global flags								BCID							
Word-5	CRC								comma (0xfd)							
Word-6	0xc5								comma (0xbc)							
Word-7	0xc5								0xc5							

8b/10b encoding × 8 bytes = 6.4 Gbps

Muon Candidate															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
charge		flag				pT				Rol					

図 B.1 MuCTPiへ送信するデータフォーマット。4つのミュオントラック情報とBCIDを送る。

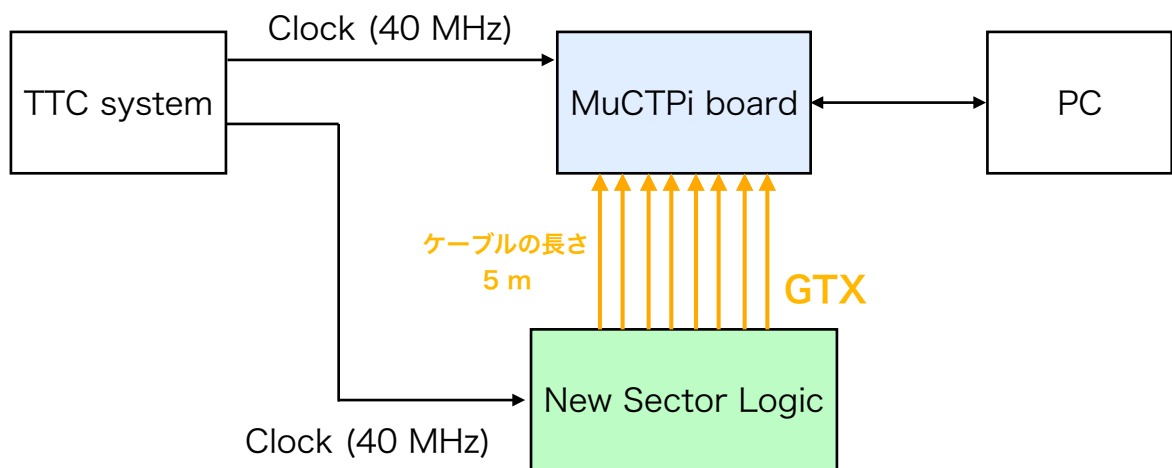


図 B.2 New SLとMuCTPiの接続テストのセットアップ。共通のクロックはTTC systemから受けとる。

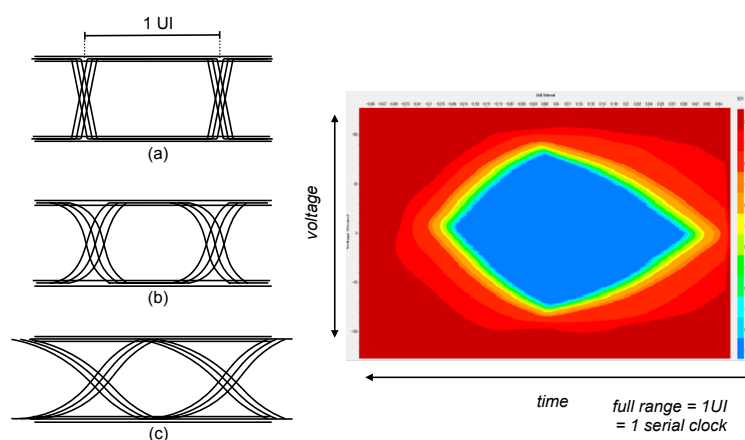


図 B.3 (左) Eye Pattern の概念図。(右) IBERT を用いて得られた Eye Pattern の例。 [13]
左の図では (a) (b) (c) の順で転送速度が高い。

大きく開いているほど、安定した通信であることを表す指標として用いる。

図 B.4 に New SL から送信したテストデータを用いて MuCTPi ボードで作成した Eye Pattern を示す。チャンネル間で大きな差異はなく、Eye Pattern は十分大きく、安定してデータ送受信ができた。

B.2 Latency 測定

New SL から MuCTPi へトリガー判定結果を送信する際には、New SL のデータ送信から MuCTPi のデータ受信までに要する時間が常に一定である必要がある。そのため Latency の測定、および一定の Latency でデータの送受信を行えているか確認した。

セットアップの概念図を図 B.5 に示す。New SL は BCID = 0 の情報を送信するときに、40 MHz のクロックに同期した NIM 信号をオシロスコープに送信する。また、MuCTPi は BCID = 0 の情報を受信したときに、40 MHz のクロックに同期した NIM 信号をオシロスコープに送信する。2 つのボードから受け取った NIM 信号の立ち上がりの時間差によって Latency を測定した。

オシロスコープで得られた波形を図 B.6 に示す。各ボードからオシロスコープまでのケーブル長は同じ長さのものを用いている。2 つの信号の時間差は Latency を表しており、今回得られた Latency は 142 ns であった。そのうち、New SL - MuCTPi 間で用いたケーブルによる Latency は $5 \text{ m} \times 5 \text{ ns/m} = 25 \text{ ns}$ と考えることにした。また、各ボードのリセットによる Latency のふらつきは確認できず、一定の Latency でデータ送受信ができることを確かめた。

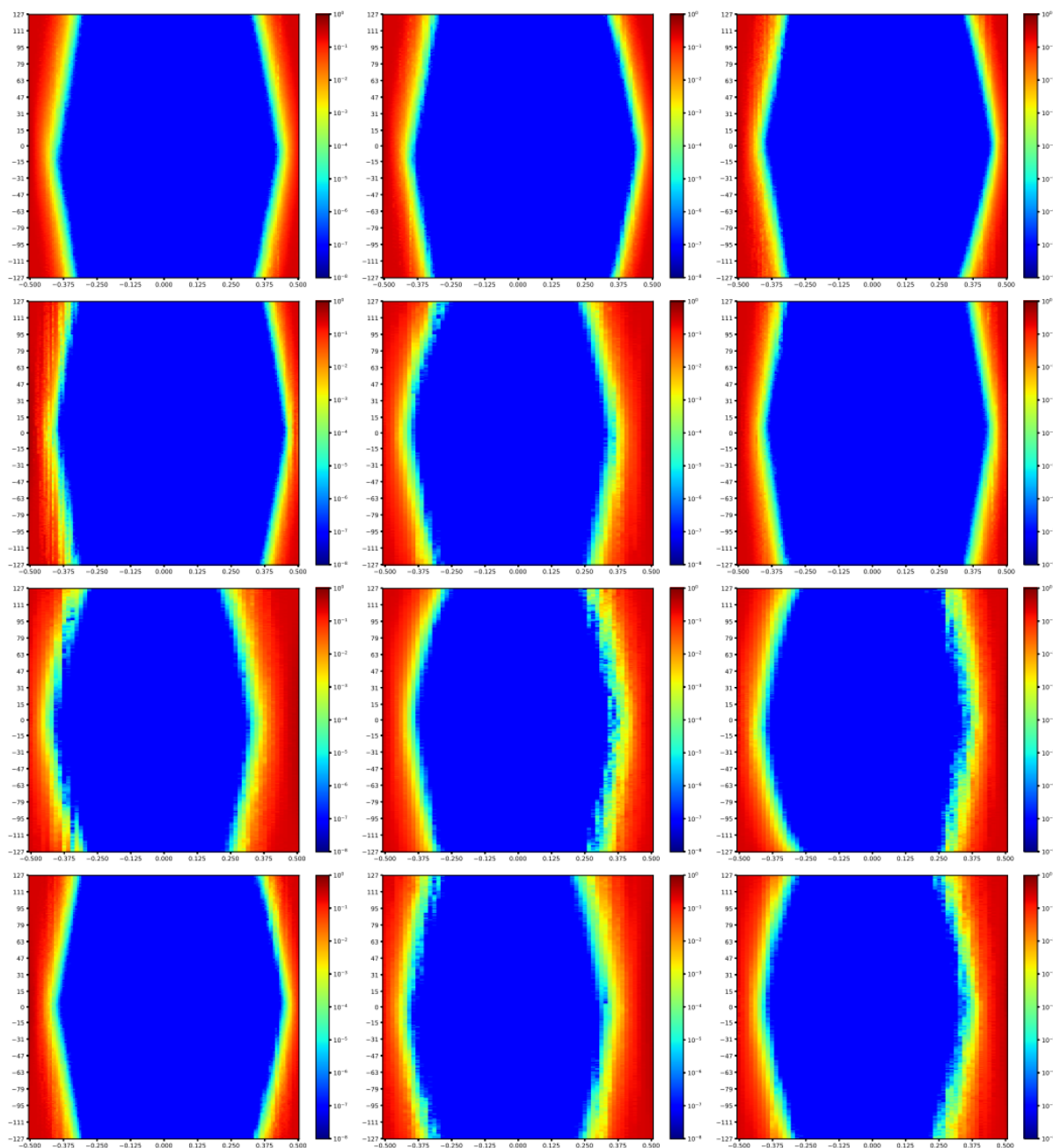


図 B.4 New SL から送ったテストパターンを用いて MuCTPi ボードで得られた Eye Pattern(全 12 チャンネル分)。

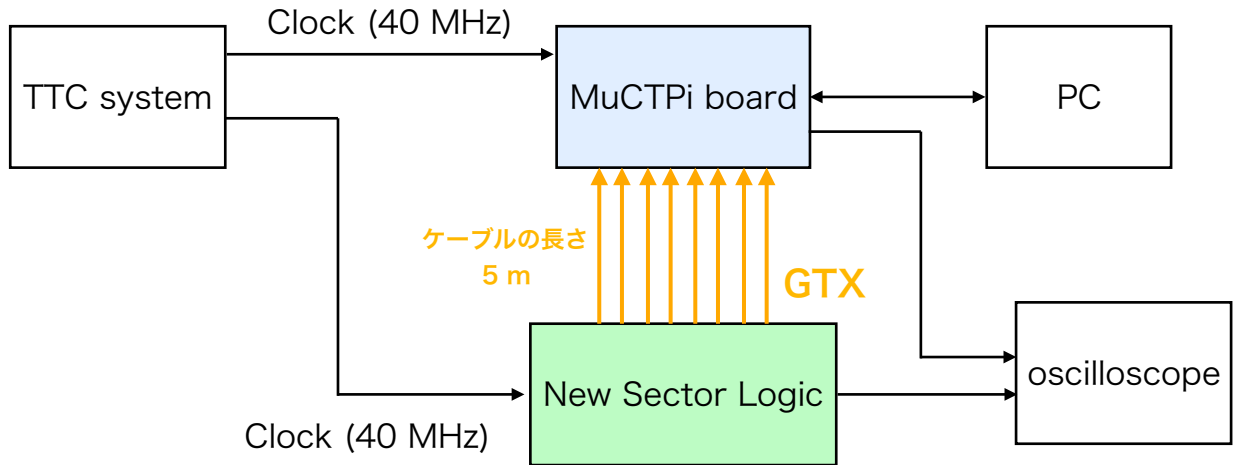


図 B.5 New SL と MuCTPi の Latency 測定のセットアップ。New SL は BCID = 0 の情報を送信するときに、MuCTPi は BCID = 0 の情報を受信したときに 25 ns の NIM 信号を出力する。オシロスコープでそれらの信号の時間差を見る。

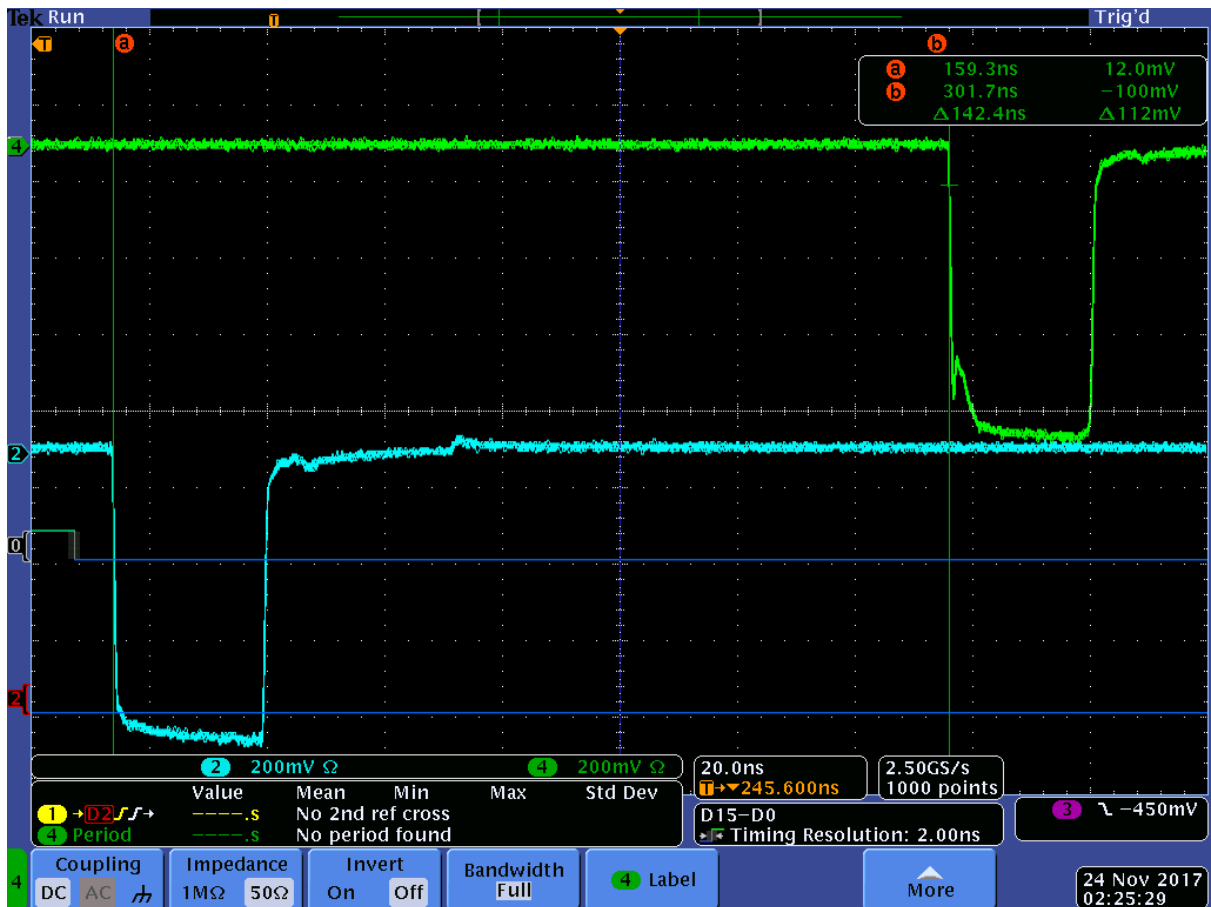


図 B.6 オシロスコープで得られた波形。上が MuCTPi が BCID = 0 の情報を受信したタイミング。下は New SL が BCID = 0 の情報を送信したタイミング。