

修士論文

ATLAS 実験における
新しいミュオントリガー回路の開発と実装

京都大学大学院 理学研究科 物理学宇宙物理学専攻
物理学第二教室 高エネルギー物理学研究室 修士課程二回生
田代 拓也

2013 年 10 月 23 日

目次

第 1 章	序論	2
第 2 章	ATLAS 実験	4
2.1	LHC	4
2.2	ATLAS 実験の目指す物理	5
2.3	ATLAS 検出器	8
2.4	ATLAS 検出器の構成	9
2.5	ATLAS トリガーシステム	22
第 3 章	Thin Gap Chamber(TGC)	25
3.1	TGC の構造	25
3.2	レベル 1 ミューオントリガー	28
3.3	エレクトロニクス	31
第 4 章	TGC によるトリガーの現状と展望	39
4.1	トリガーレート	39
4.2	LHC アップグレード後 (2015 年以降) のトリガー	40
4.3	EI/FI を用いたトリガー	41
第 5 章	Sector Logic(SL)	44
5.1	Sector Logic の概要	44
5.2	Sector Logic ボード	45
5.3	Sector Logic への入力信号	47
5.4	Sector Logic 内の信号処理	49
第 6 章	新しいトリガー回路の開発, 実装とその性能評価	53
6.1	内部チェンバー (EI/FI) を用いた新しいトリガー回路の開発	53
6.2	新しいトリガー回路の実装	55
6.3	トリガー効率	64
6.4	トリガー削減	67
第 7 章	結論	68
付録 A	ATLAS における tag and probe 法	69

参考文献

71

目次

2.1	LHC パイルアップ分布	4
2.2	LHC の積分ルミノシティ	4
2.3	ヒッグス粒子の生成ダイアグラム	5
2.4	ヒッグス粒子の崩壊ダイアグラム	6
2.5	2γ から組んだ不変質量分布	6
2.6	4つのレプトンから組んだ不変質量分布	6
2.7	ヒッグス粒子生成断面積の質量依存性	7
2.8	ヒッグス粒子の崩壊分岐比の質量依存性	7
2.9	ATLAS 検出器模式図	8
2.10	ATLAS マグネット模式図	9
2.11	内部飛跡検出器の全体図	11
2.12	内部飛跡検出器の断面図	11
2.13	Pixel で用いられているモジュール	12
2.14	SCT で用いられているモジュール	13
2.15	TRT の模式図	13
2.16	内部飛跡検出器の運動量分解能の η 分布	14
2.17	カロリメータの断面図	14
2.18	電磁カロリメータの模式電磁カロリメータの模式図	15
2.19	電磁カロリメータのエネルギー分解能の入射粒子エネルギー依存性	16
2.20	Tile 模式図	17
2.21	Tile のエネルギー分解能の入射粒子エネルギー依存性	17
2.22	HEC のエネルギー分解能の入射粒子エネルギー依存性	18
2.23	FCal の配置図	18
2.24	ミューオン検出器の断面図	19
2.25	ミューオン検出器の p_T 分解能の η 依存性	20
2.26	ミューオン検出器の p_T 分解能の ϕ 依存性	20
2.27	MDT チューブ模式図	21
2.28	MDT チェンバー模式図	21
2.29	CSC チェンバー模式図	21
2.30	トリガーの流れの模式図	22
2.31	LVL1 トリガースキームの模式図	23

3.1	TGC チェンバーの模式図	26
3.2	TGC BW	27
3.3	TGC EI/FI	27
3.4	TGC Triplet, Doublet 構造の模式図	27
3.5	TGC の r-z 断面図	28
3.6	TGC による sagitta 検出	29
3.7	CW の例	29
3.8	TGC エレクトロニクスによる信号処理	30
3.9	TGC のトリガー単位模式図	31
3.10	ASD ボード	33
3.11	PP ASIC ブロック図	34
3.12	SLB ASIC のブロック図	35
3.13	HPT ASIC のブロック図	36
3.14	HPT ボード	36
3.15	SSW	36
3.16	SSW ボード上での信号処理	38
4.1	レベル 1 ミューオントリガー発行数とミューオン飛来数の比較	39
4.2	バックグラウンド模式図	40
4.3	トラックの β 分布	41
4.4	各 ROI での EI/FI ヒット効率	42
4.5	トリガー削減の η 依存性	43
4.6	トリガー削減の ϕ 依存性	43
5.1	SL ボード	45
5.2	SL ボード模式図	45
5.3	USA15	46
5.4	SL FPGA ブロック図	49
6.1	SL FPGA ブロック図	54
6.2	Suppressing mode での回路シミュレーション	57
6.3	Monitoring mode での回路シミュレーション	57
6.4	テストベンチシステムの模式図	58
6.5	テストベンチで使用した CW	59
6.6	テストベンチの出力 p_T	59
6.7	テストベンチの出力 veto bit	59
6.8	SL と各セクターの位置関係	60
6.9	実データの解析結果	64
6.10	新しい SL でのトリガー効率の p_T 分布	65
6.11	新しい SL でのトリガー効率の η 分布	65
6.12	新しい SL でのトリガー効率の ϕ 分布	65
6.13	$1.3 < \eta < 1.9$ のトラックの η 分布	66

6.14	$1.3 < \eta < 1.8$ での	66
6.15	トリガー削減の見積もり	67
A.1	tag and probe の模式図	69

表目次

2.1	ミューオン検出器性能	19
4.1	現在のトリガーレートと LHC アップグレード後に予想されるトリガーレート . . .	43
5.1	Endcap FPGA リソース	46
5.2	Forward FPGA リソース	46
5.3	HPT ボードが送る信号フォーマット	47
5.4	EI/FI PS ボードが SL に送る信号フォーマット	49
5.5	SL の出力トリガーフォーマット	51
6.1	新しい SL の出力トリガーフォーマット	55
6.2	テストパルスで得られた EI/FI Delay 値	61
6.3	MuCTPI Pipeline Delay	62
6.4	データ取得に用いた EI/FI Delay 値	63

第1章

序論

Large Hadron Collider(LHC)は欧州原子核研究機構(CERN)に建設された、世界最高エネルギーの陽子陽子衝突型加速器である。LHCは2012年現在、バンチ衝突頻度20 MHz, 重心系エネルギー8 TeV, 瞬間ルミノシティ $0.7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ での衝突を達成している。LHCは2013年から2015年まで、アップグレードのため長期シャットダウンが予定されている。アップグレード後はバンチ衝突頻度20 MHz, 重心系エネルギー13 TeV, 瞬間ルミノシティ $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転が再開され、その後バンチ衝突周波数を40 MHzまで上げ、バンチカレントを増やして瞬間ルミノシティを上げていく。瞬間ルミノシティは最大で $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ まで上がる可能性がある。

ATLAS検出器はLHCの衝突点の1つに設置されており、高エネルギー領域での物理事象を精密に測定することを目的としている。ATLAS実験の主な物理ターゲットは超対称性粒子(SUSY)等の重い粒子の探索, Higgs粒子の性質の解明, 及び高エネルギー領域での素粒子標準模型の精密検証等である。

LHCで発生する膨大なデータの中から物理解析に有用なデータを効率的に選び出すため、ATLAS実験では多段トリガーシステムを用いている。ATLASのトリガーはレベル1, レベル2, イベントフィルター(EF)の3段階で構成されている。私は特にエンドキャップ部分のレベル1ミュオントリガーを改良した。レベル1トリガーはハードウェアでトリガー判定が行われ、2.5 μsec のレイテンシーが許されている。レベル1トリガーは全体で60 kHzまでレートを落としている。

エンドキャップミュオントリガーにはTGC(Thin Gap Chamber)という検出器のヒット情報が利用される。TGCはMWPCチェンバーをホイール状に配置し、多層並べた構造をとっている。レベル1エンドキャップミュオントリガーシステムはまず各層でのミュオンのヒット位置を算出し、ミュオンのトラックを再構成する。次にそのトラックがトロイド磁場によりどの程度曲がったかでミュオンの横運動量(p_T)を概算し、算出された p_T が設定された閾値を超えたらトリガーを発行する。レベル1エンドキャップミュオントリガーでは6段階の p_T 閾値を設定することが可能で、現在は4, 6, 10, 15, 20 GeVの5つの閾値を設定して運用している。

2012年現在、レベル1エンドキャップミュオントリガーのトリガーレートは約4.5kHzだが、これは実際に衝突点から飛来するミュオンのレートに比べて2-3倍程度高い。これはTGCのトリガーに衝突点以外から飛来する荷電粒子によるバックグラウンドが含まれているためである。LHCのアップグレードによるルミノシティ・衝突エネルギーの上昇に伴って、トリガーレートも上昇する。TGCが発行するトリガーに関しては、ルミノシティ $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ では約

12.8 kHz, ルミノシティ $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ では約 25.6 kHz のトリガーレートが予想される。現在のままのトリガー回路では他のレベル 1 トリガーを圧迫してしまい、LHC のアップグレードによってルミノシティが増加しても、効果的に物理データを取得することが出来なくなる。この問題を解決するため、バックグラウンドによって発行されるトリガーの削減が必要である。

私は、トロイド磁石より内側に配置されたチェンバー (TGC EI/FI) の信号をトリガー判定に加え、バックグラウンドの除去に効果的な新しいトリガーロジックを開発した。新しい回路の開発にあたり、TGC でトリガー判定の最終段に使用される Sector Logic ボード (SL) の FPGA (field-programmable gate array) に記述するファームウェアを新たに作り、動作テストと実装を行った。また SL の新しい動作モードとして、Monitoring mode を追加した。このモードでは既存のトリガースキームを変えないまま回路の改良に必要な情報を得ることが出来る。2012 年 11 月より、ATLAS では私の開発した SL が採用され、Monitoring mode で走っている。

この論文では、第 2 章で ATLAS 検出器全体のデザインと運転状況を述べ、第 3 章で TGC の動作原理と用いられているエレクトロニクスについて説明し、第 4 章でレベル 1 エンドキャップ ミューオントリガーの現状と問題点について解説し、第 5 章で SL の仕様と新しい回路の開発・実装について述べ、第 6 章で新しい回路の性能評価、及び LHC アップグレード後に予想されるトリガーレートを評価する。

第 2 章

ATLAS 実験

ATLAS 実験はスイスの CERN 研究所にある LHC 加速器を用いた実験である。本章では LHC 加速器, 加速器の衝突点に設置された ATLAS 検出器, およびその研究対象となる物理について説明する。

2.1 LHC

LHC(Large Hadron Collider) は、CERN 研究所の地下に設置された、大型陽子陽子衝突型加速器である。LHC は 2008 年に完成し、2010 年より重心系エネルギー 7 TeV で本格稼働を開始した。2012 年現在、LHC は重心系エネルギー 8 TeV、ルミノシティ $0.7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ 、バンチ間隔 50 nsec で運転中である。1 バンチには約 1.1×10^{11} 個の陽子が含まれ、衝突点におけるバンチの z 軸方向の広がり約 7.5 cm, x-y 平面上の広がり約 $16 \mu\text{m}$ である [1]。2011 年, 2012 年のパイルアップ (1 度のバンチ衝突で同時に起きる相互作用の数) 分布を図 2.1 に示し、2010 年, 2011 年, 2012 年に ATLAS に供給された陽子陽子衝突の積算ルミノシティを図 2.2 に示す。図 2.1 に見られるように、2012 年の run では 2011 年に比べパイルアップが多く、平均約 20 のパイルアップが観測された。パイルアップが増えるとカロリメータのエネルギー分解能やトラックの再構成の精度が悪くなり、測定が困難になるため、対策が必要である。

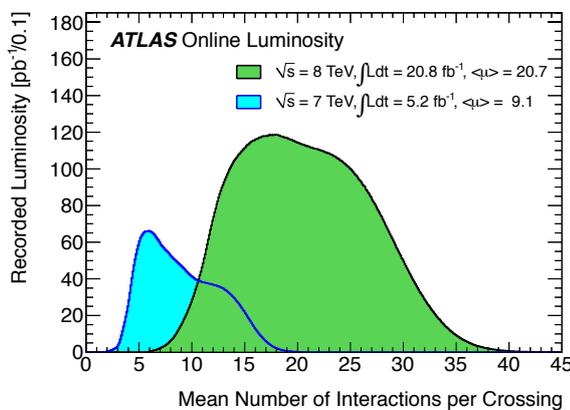


図 2.1 2011 年 (青), 2012 年 (緑) で得られたパイルアップ分布。2011 年は平均 9.1, 2012 年は平均 20.7 のパイルアップが観測された [2]。

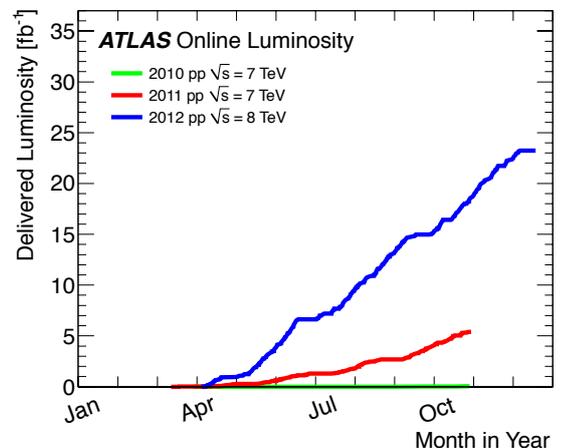


図 2.2 2010 年, 2011 年, 2012 年に ATLAS に供給された陽子陽子衝突の積算ルミノシティ [2]。

LHC は 2013 年より約 2 年間運転を停止し、重心系エネルギーを 13 TeV, ルミノシティを $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ までアップグレードし、2015 年にバンチ間隔 50 nsec で運転を再開する予定である。その後、2017 年までにバンチ間隔は 25 nsec となり、瞬間ルミノシティは最大で 2×10^{34} まで到達する可能性がある。

2.2 ATLAS 実験の目指す物理

ATLAS 実験の主な目標は、Higgs 粒子 [3]、SUSY 粒子 [4] の発見である。2012 年 7 月、Higgs 粒子と思われる粒子が発見され [5]、そのスピン、パリティの決定、フェルミオンやゲージボソンとの結合定数等の測定に研究の重心が移っている。

2.2.1 Higgs 粒子

Higgs 粒子はゲージボソンやフェルミオンに質量を与える粒子である。Higgs 粒子は素粒子の標準模型で記述される粒子のうち最後の未発見粒子であったが、2012 年 ATLAS と CMS によりヒッグス粒子と思われる粒子が発見された。

LHC では、以下の生成過程を経て Higgs 粒子が生成される。
標準模型 Higgs 粒子生成のダイアグラムを図 2.3 に示す。

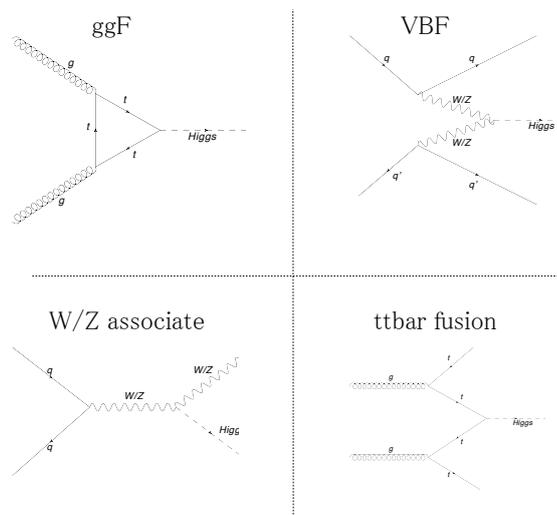


図 2.3 4つのモードに対する、Higgs 粒子の生成ダイアグラム。

- $gg \rightarrow H$ (gluon gluon fusion, ggF)
- $qq \rightarrow qqH$ (vector boson fusion, VBF)
- $qq \rightarrow (W/Z)H$ (W/Z associate production)
- $qq/gg \rightarrow ttH$ (ttbar fusion)

標準模型 Higgs 粒子の崩壊チャンネルとして、主に以下のような過程が研究されている。標準模型 Higgs 粒子の崩壊過程のダイアグラムを図 2.4 に示す。

- $H \rightarrow \gamma\gamma$

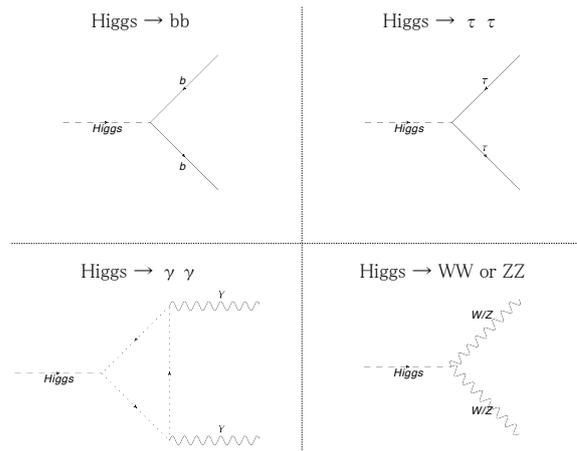


図 2.4 ヒッグス粒子の崩壊ダイアグラム

- $H \rightarrow ZZ$
- $H \rightarrow bb$
- $H \rightarrow \tau\tau$
- $H \rightarrow WW$

$H \rightarrow \gamma\gamma$, $H \rightarrow ZZ$ のモードの研究はヒッグス粒子の探索に貢献した。これら 2 つのモードに対し、ATLAS で得られた不変質量分布を図 2.5, 図 2.6 に示す。

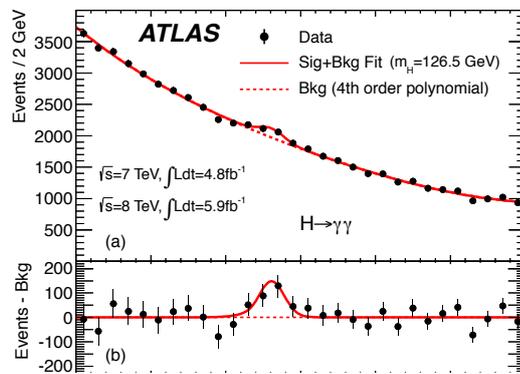


図 2.5 2 つの光子から組んだ不変質量分布。125 GeV 付近に excess が見られる [5]。

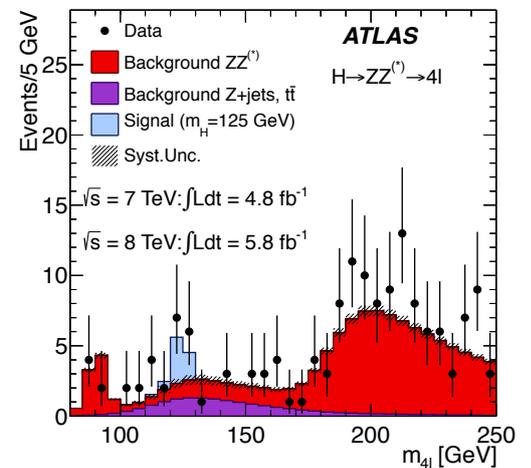


図 2.6 $ZZ \rightarrow 4\text{leptons}$ から組んだ不変質量分布。125 GeV 付近に excess が見られる [5]。

また、 $H \rightarrow bb$, $H \rightarrow \tau\tau$, $H \rightarrow WW$ の崩壊過程を通じて各粒子とヒッグス粒子との結合定数が測定されている。粒子の質量と結合定数の関係を調べることで、質量の起源としてのヒッグス粒子の性質が調べられている。

各生成過程の断面積や崩壊分岐比はヒッグス粒子の質量の関数として計算されており、図 2.7, 図 2.8 のようになる。標準模型ヒッグス粒子の質量を 125 GeV とすると、生成過程では ggF の断面積が最も大きく、重心系エネルギー 8 TeV の衝突では 19.5 pb 程度である。

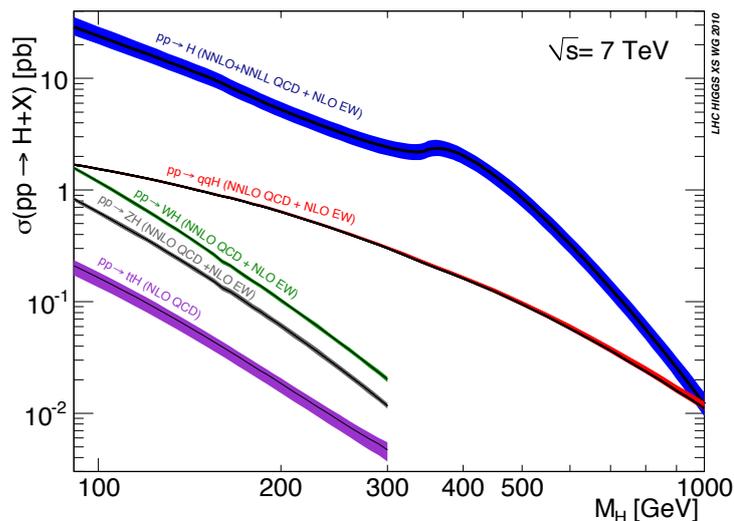


図 2.7 重心系エネルギー 7 TeV で LHC を運転した場合の、各過程のヒッグス粒子生成断面積のヒッグス粒子質量依存性 [6]。

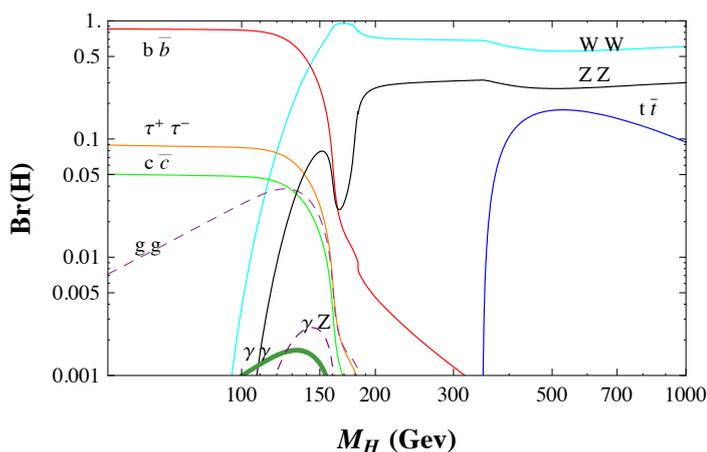


図 2.8 Higgs 粒子の崩壊分岐比のヒッグス粒子質量依存性 [6]。

2.2.2 超対称性粒子 (SUSY)

階層性問題等、標準模型におけるいくつかの問題を解決するものとして現在有力な素粒子理論の仮説の 1 つに、超対称性理論がある。超対称性理論では、素粒子標準理論で記述される各素粒子に対し、超対称性パートナーが存在するとされている。もとの粒子と超対称性パートナーの粒子ではスピンの $1/2$ だけ異なる。

超対称性理論が正しければ、LHC でクォークの超対称性パートナーであるスクォークやグルーオンの超対称性パートナーであるグルイーノが大量に生成され、ATLAS で検出されることが期待される。

2.3 ATLAS 検出器

ATLAS 検出器は LHC のビーム衝突点の 1 つに置かれた巨大な汎用検出器である。ATLAS 検出器は長さが約 44 m, 高さが約 22 m の円筒形検出器で、総重量は約 7000 t である。検出器の全体像を図 2.9 に示す。

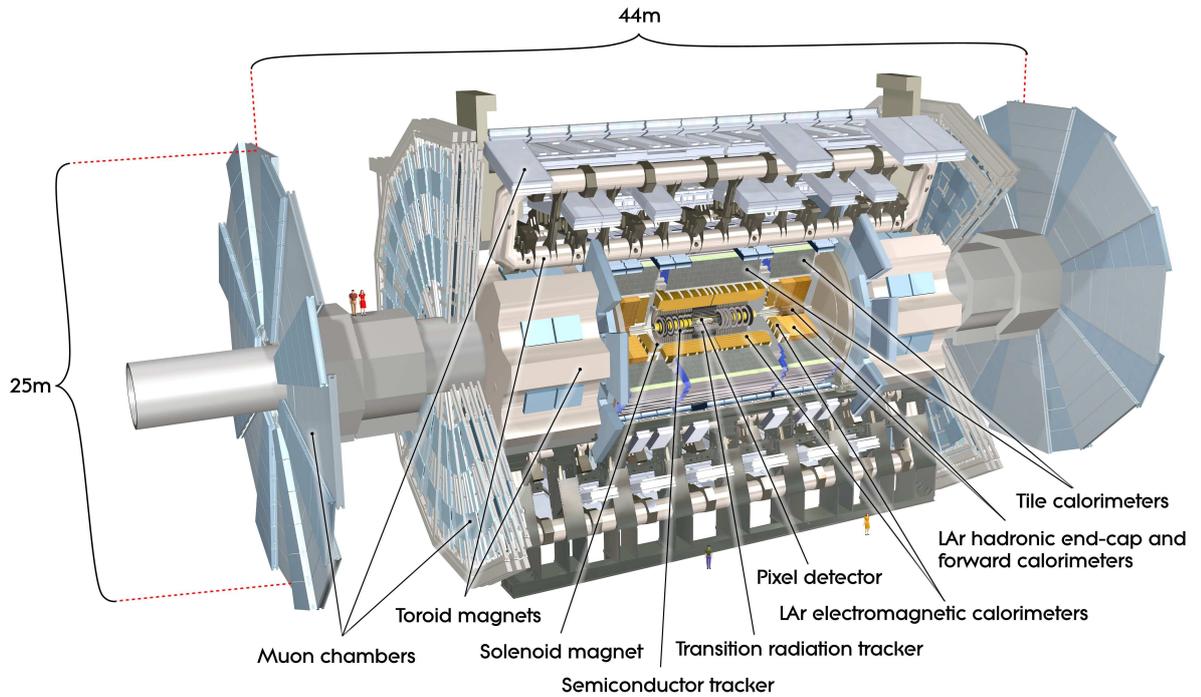


図 2.9 ATLAS 検出器の模式図。中心の衝突点を原点として、LHC リング中心に向かう x 軸、鉛直上向きに向かう y 軸、ビーム軸を z 軸、とした右手系座標系が用いられる。ATLAS 検出器は x - y 平面に対して対称に配置され、 $z > 0$ の部分は A-side、 $z < 0$ の部分は C-side と呼ばれる [7]。

ATLAS 検出器で用いられる座標系

ATLAS 検出器で用いられる座標系の原点は衝突点に取られる。座標系は右手系を用いており、LHC のリング中心に向かって x 軸、天頂方向に向かって y 軸がとられ、LHC のビーム軸方向に z 軸がとられる。検出器のうち $z > 0$ の側を A-side、 $z < 0$ の側を C-side と呼ぶ。

ATLAS 検出器はビーム軸 (z 軸) を囲む円筒のような構造となっており、検出器上の位置は天頂角 θ 、方位角 ϕ を用いた円筒極座標で指定できる。ATLAS では θ 方向のパラメータとして擬ラピディティ η を用いている。 η は、 θ を用いて $\eta = -\ln \tan(\frac{\theta}{2})$ と表される。擬ラピディティは、エネルギー E 、運動量 P の粒子のラピディティ $y = \frac{1}{2} \ln(\frac{E+P \cos \theta}{E-P \cos \theta})$ の高エネルギー極限と一致する。また検出器上の 2 点の間の距離として、 ΔD というパラメータが用いられる。 η 方向に $\Delta\eta$ 、 ϕ 方向に $\Delta\phi$ だけ離れた 2 点の間の距離は $\Delta D = \sqrt{(\Delta\eta)^2 + (\Delta\phi)^2}$ となる。

2.4 ATLAS 検出器の構成

ATLAS 検出器は内部飛跡検出器、カロリメータ、ミューオン検出器で構成され、荷電粒子の運動量を測定するため、磁場中に置かれている。ATLAS 検出器は LHC の高いルミノシティ ($1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$) においても光子、電子、ミューオン、ジェット、横方向消失エネルギー (E_T^{miss}) 等を精度よく測定しなければならない。そのため、以下のような要求を満たすように設計されている。

- 広範囲の擬ラピディティ η と完全な方位角 ϕ のカバー
- 電磁カロリメータによる電子と光子のエネルギーと位置の測定
- ハドロンカロリメータによるジェットと横方向消失エネルギー E_T^{miss} の測定
- ミューオン検出器によるミューオン運動量測定
- 内部飛跡検出器による荷電粒子の運動量測定とバーテックスの位置測定

2.4.1 マグネットシステム

ATLAS は 3 つの超伝導磁石で磁場を発生させ、運動量測定に用いている。マグネットシステム全体の構成を図 2.10 に示す。マグネットシステムでは超伝導ソレノイド磁石、バレル部超伝導トロイド磁石、エンドキャップ部超伝導トロイド磁石の 3 種類の磁石を使用している。

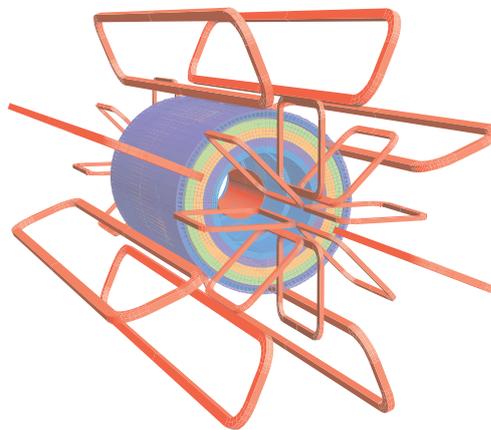


図 2.10 ATLAS マグネットシステム。中央にソレノイド、その周りに 8 回対称のバレルトロイド、エンドキャップ部両端に 8 回対称のエンドキャップトロイドが配置されている [7]。

超伝導ソレノイド磁石

超伝導ソレノイド磁石 (以下、ソレノイド磁石) はビーム軸に沿ったソレノイド磁場を内部飛跡検出器内に発生させる。ソレノイド磁石は内部飛跡検出器とバレル部電磁カロリメータの間に置かれ、磁束密度 2 T の磁場を作る。ソレノイド磁石はビーム軸方向に沿った長さが約 5.3 m, 直径が約 2.4 m, 径方向の厚さが約 45 mm の円筒型構造をしている。電磁カロリメータへの影響を

小さくするため、物質量を抑えた設計となっており、ソレノイド磁石で用いられるコイルの厚さ、支え等は合計で約 0.66 放射長 (X_0) である。

バレル部超伝導トロイド磁石

バレル部超伝導トロイド磁石 (以下、バレル部トロイド磁石) は方位角 (ϕ) 方向のトロイド磁場をバレル部ミュオン検出器の領域に発生させる。バレル部トロイド磁石はハドロンカロリメータ及びエンドキャップ部トロイド磁石を囲むように設置されている。ビーム軸方向の長さは 25.3 m である。ビーム軸方向から 5–10 m 離れた範囲にトロイド磁場を作る。バレル部トロイド磁石は ϕ 方向に 8 回対称となるように設置されており、作られる磁場も ϕ 方向に 8 回対称となる。

エンドキャップ部超伝導トロイド磁石

エンドキャップ部超伝導トロイド磁石 (以下、エンドキャップ部トロイド磁石) は ϕ 方向のトロイド磁場を A-side, C-side それぞれに作る。エンドキャップ部トロイド磁石は最も内側のエンドキャップミュオン検出器の外側に設置されている。ビーム軸方向の長さは約 5.0 m である。エンドキャップ部トロイド磁石はバレル部トロイド磁石と同じく ϕ 方向に 8 回対称に設置され、 ϕ 方向に 8 回対称の磁場を作る。作られる磁場の大きさは約 1.0 T である。

2.4.2 内部飛跡検出器

内部飛跡検出器はソレノイド磁石の内側に設置されており、ピクセル半導体検出器 (Pixel), シリコンストリップ検出器 (Semi Conductor Tracker, SCT), 遷移輻射飛跡検出器 (Transition Radiation Tracker, TRT) の 3 つの検出器で構成されている。内部飛跡検出器の主な役割は、磁場中での粒子の軌跡を再構成して粒子の電荷と p_T を算出すること、及び粒子の軌跡から vertex を再構成することである。内部飛跡検出器の全体図を図 2.11 に、断面図を図 2.12 に示す。

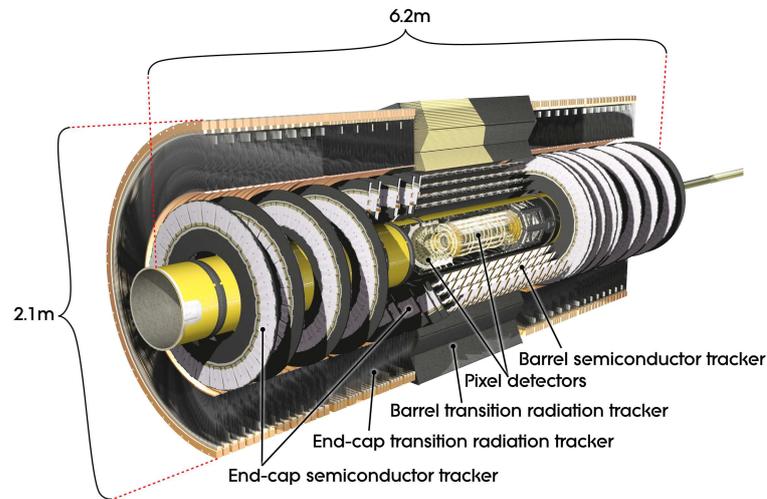


図 2.11 ATLAS 内部飛跡検出器の全体図。内部飛跡検出器は Pixel, Barrel SCT, Forward SCT, TRT から構成される [7]。

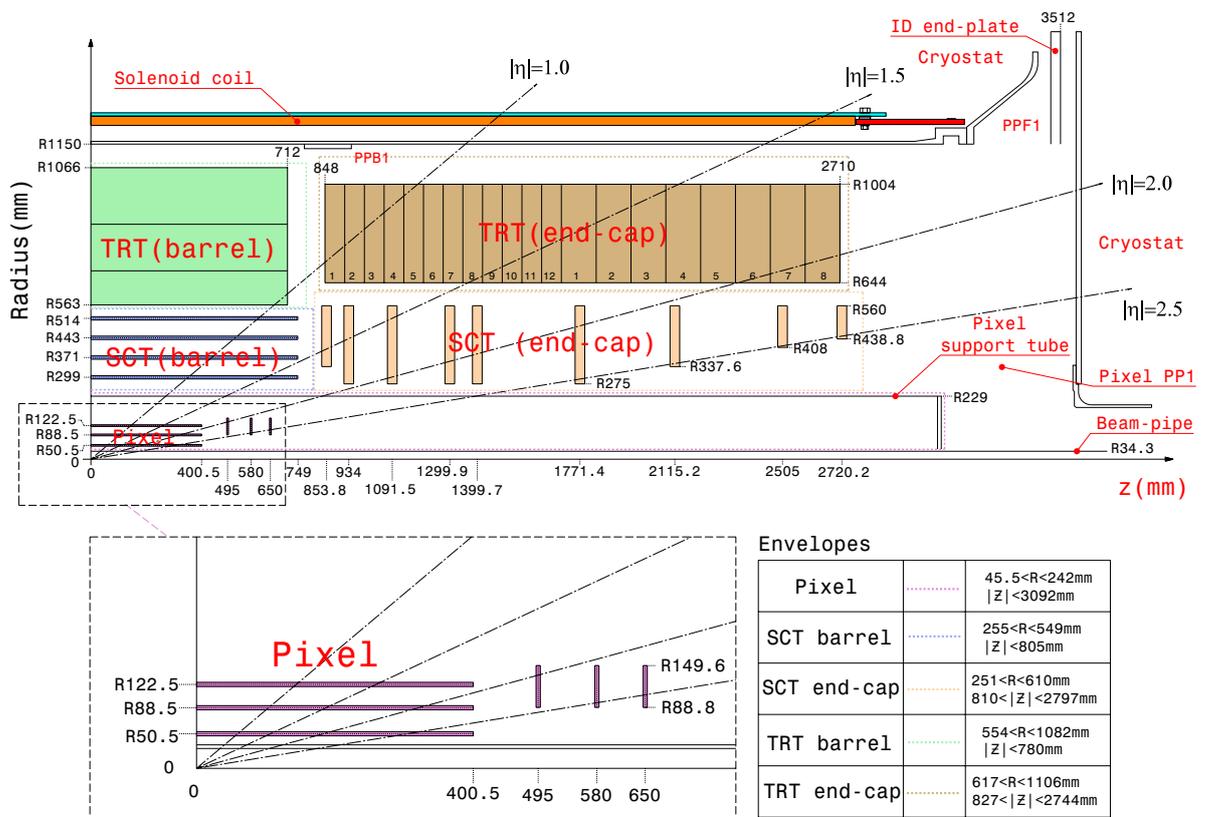


図 2.12 ATLAS 内部飛跡検出器の断面図。各検出器の位置を示す [7]。

Pixel

図 2.11 に示されている通り、Pixel は衝突点からもっとも近い領域に設置される検出器である。半径 50.5 mm, 80.5 mm, 122.5 mm の位置に 3 層設置されている。50 μm \times 400 μm または、50 μm \times 600 μm を 1 つのピクセルとし、47,232 個のピクセルで 1 つのモジュールをなす。モジュールにはピクセルセンサーの他に Module Control チップ (MCC), Front-End チップが搭載されており、全システムで合計 1744 モジュールが用いられる。図 2.13 にピクセルモジュールの構成と写真を示す。Pixel はバレル部 3 層, 前後方部が両サイド 3 層ずつで構成され、位置分解能は r - ϕ 方向で 10 μm , z 方向で 115 μm である。

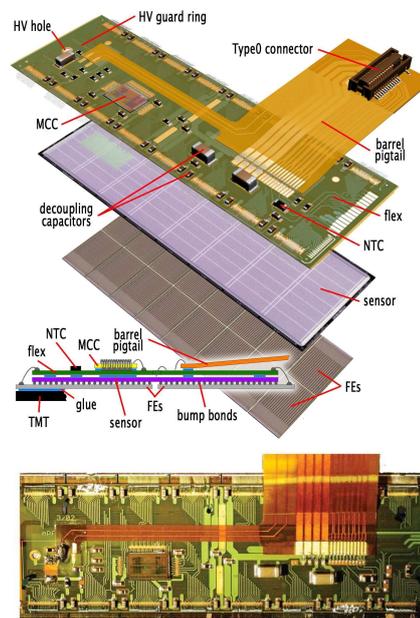


図 2.13 Pixel 検出器で用いられるモジュール。上に模式図。下に写真を示す [7]。

SCT

1 つの SCT モジュールは長方形シリコンウエハー 2 枚からなる。各ウエハーには 60 mm 長の読み出しストリップが 80 μm ピッチで敷き詰められており、1 枚あたり 768 本のストリップがある。1 つのモジュール内で 2 枚のウエハーを約 20 mrad だけ角度をずらして設置することで 2 次元の位置測定を可能としている。SCT はバレル部と前後方部に分けて配置され、バレル部には 2,112 モジュール, 前後方部には 1,976 モジュールを使用している。バレル部ではモジュールを円筒形の筒面上に 4 層 (半径 299 mm, 371 mm, 443 mm, 514 mm) 並べ、前後方部では円盤状に 9 層ずつ両サイドに設置されている。モジュールの総数は 4,088 であり、読み出しチャンネルは全部で約 6,000,000 である。位置分解能は r - ϕ 方向で 17 μm , z 方向で 580 μm である。モジュールの図を図 2.14 に示す。

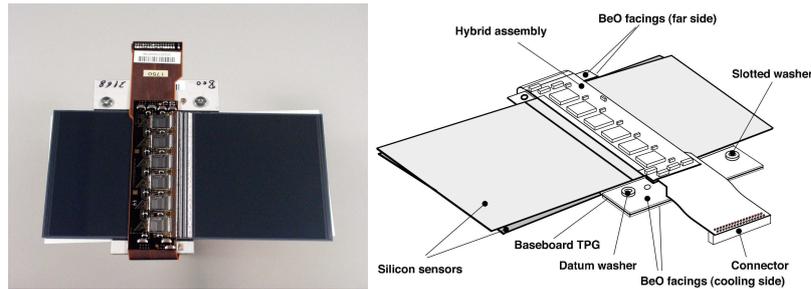


図 2.14 SCT で用いられているモジュール。左に写真を、右に模式図を示す。2 枚のウェハーをずらして配置することで 2 次元読み出しを可能にしている [7]。

TRT(Transition Radiation Tracker)

TRT は $|\eta| < 2.0$ の領域を覆っており、SCT の外の領域のトラッキングを行っている。TRT はストローチューブ検出器を重ね、その隙間をポリプロピレンファイバーで埋めた構造をしている。ストローチューブは直径 4 mm、長さ 40–150 cm の筒の中に 30 μm の金メッキタンングステンワイヤーを張り、Xe 70 %、CO₂ 27 %、O₂ 3 % の混合ガス 5–10 mbar で封入した構造になっている。筒は陰極として約 1,530 V の電圧が付加されており、ガス増幅率は約 2.5×10^4 である。

TRT はトラッキングの他にも、TRT は γ -factor が 1,000 を超える荷電粒子が通過した際に放射される X 線を Xe で検出し、電子の同定を行う役割も担っている。TRT のエンドキャップ部の模式図を図 2.15 に示す。

バレル部にはビーム軸に平行なストローチューブ 52,544 本が 73 層に、前後方部では A-side, C-side それぞれで動径方向に並行な 122,880 本が 160 層に並べられている。位置分解能は 130 μm だが、多層構造を用いることによりトラッキングに用いる点が平均 35 点得られるため精度良く飛跡を測定することができる。

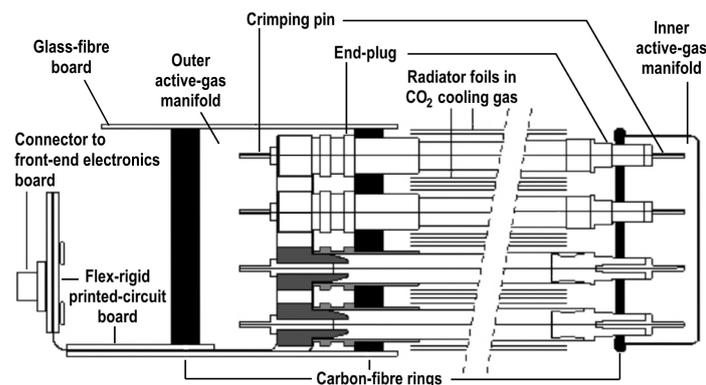


図 2.15 エンドキャップ TRT の模式図。プラスチック製のエンドプラグで位置が固定されている。信号の読み出し、HV の供給にはプリント基板を使用している [7]。

内部飛跡検出器の p_T 分解能はミュオンを用いて測定された。その結果を図 2.16 に示す。この結果から、 $|\eta|$ が増加するにつれて分解能が悪化していく傾向にあることが分かる。これは $|\eta|$

の増加によって粒子の軌跡とソレノイド磁場とのなす角が小さくなり、粒子が磁場の影響を受けにくくなるためである。また TRT が $|\eta| < 2.0$ の領域しか覆っていないため、 $|\eta| > 2$ で分解能が急激に悪化する。

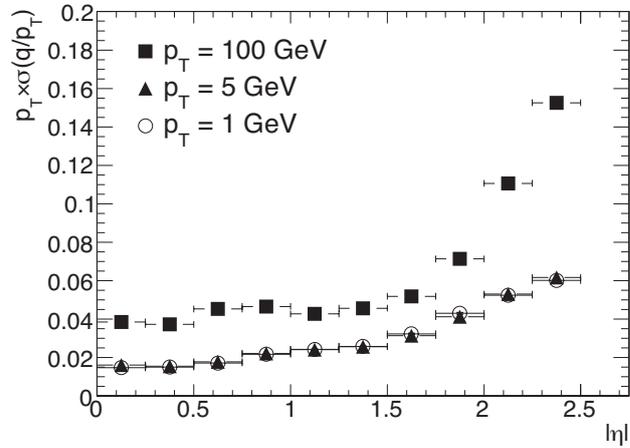


図 2.16 1 GeV, 5 GeV, 100 GeV のミュオンに対する運動量分解能の η 依存性。 $|\eta|$ が大きくなるにつれ、粒子が磁場の影響を受けにくくなり分解能が悪化している。 $|\eta| > 2$ では TRT が無く、測定点が減るため分解能が悪くなっている [7]。

2.4.3 カロリメータ

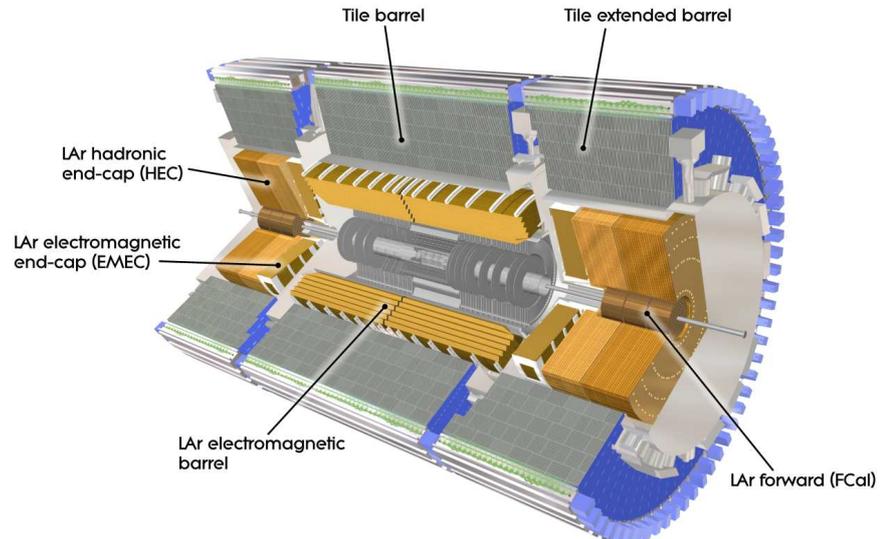


図 2.17 カロリメータの断面図。内部飛跡検出器の周りを電磁カロリメータで覆い、それを更にハドロンカロリメータで覆う構造になっている [7]。

カロリメータは電子、光子、ジェット等のエネルギーと位置を測定する検出器である。カロリメータには電磁カロリメータとハドロンカロリメータの2種類がある。電磁カロリメータは電子と光子を検出し、ハドロンカロリメータはジェットを検出する。

ATLAS 検出器のカロリメータは LAr 電磁カロリメータ (EM), バレル部タイルハドロンカロリメータ (Tile), エンドキャップ部 LAr ハドロンカロリメータ (HEC), フォワード部 LAr ハドロンカロリメータ (FCal) の 4 種類で構成される。カロリメータの全体図を図 2.17 に示す。以下、各カロリメータについて述べる。

LAr 電磁カロリメータ (EM)

EM は、電子及び光子のエネルギーと位置を測定するカロリメータであり、内部飛跡検出器のすぐ外側に設置されている。EM は $|\eta| < 1.5$ を担当するバレル部, $1.4 < |\eta| < 3.2$ を担当するエンドキャップ部に分かれている。EM は鉛板を吸収体, 液体アルゴン (LAr) を active material としたサンプリング・カロリメータで、鉛板の厚さはバレルの $|\eta| < 0.8$ で 1.53 mm, $|\eta| > 0.8$ で 1.13 mm, エンドキャップの $|\eta| < 2.5$ で 1.7 mm, $|\eta| > 2.5$ で 2.2 mm である。EM のスケッチを図 2.18 に示す。 $3.1 < |\eta| < 4.9$ のフォワード領域を担当する FCal カロリメータ 1 段目も電磁カロリメータであるが、これについては後に詳しく述べる。図 2.18 に見られるように、EM はア

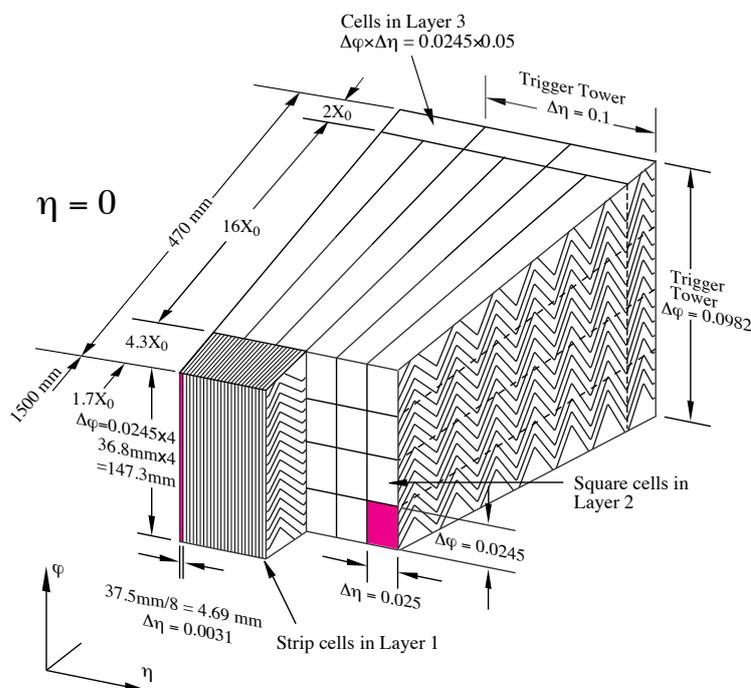


図 2.18 電磁カロリメータの模式図。3 層のアコーディオン構造になっている [7]。

コーディオン型の構造をとっている。このアコーディオン構造により、配線を等しく短くすることが可能となり、キャパシタンスを小さくして早い応答が実現できる。

バレル部 EM は $z = 0$ 付近で 2 つのバレルに分かれており、 $|\eta| < 1.475$ の領域を覆っている。各バレルは 1024 枚の吸収体からなり、ビーム軸方向に長さ 3.2 m, 外径 4 m, 内径 2.8 m の円筒構造をとっており、各バレルは 22 放射長 (X_0) から 33 X_0 の厚みをもつ。またバレル部 EM は図 2.18 に見られるように 3 層構造をなしており、これにより入射した粒子の位置と角度を同時に測定することが可能になっている。

エンドキャップ部 EM は A-side と C-side の 2 つのホイールに分かれている。各ホイールは厚さ 630 mm, 内径 330 mm, 外径 2098 mm で、 $|\eta| = 2.5$ の領域で 2 つのホイールに分けられてい

る。 $|\eta| < 2.5$ のホイールは 768 枚の吸収体からなり、 $|\eta| > 2.5$ のホイールは 256 枚の吸収体からなる。 $|\eta| < 2.5$ のホイールは $26 X_0$ から $36 X_0$ の厚みを持ち、 $|\eta| > 2.5$ のホイールは $24 X_0$ から $38 X_0$ の厚みをもつ。

EM のエネルギー分解能は電子ビームを用いて測定され、式 2.1 に従うことが分かっている。

$$\frac{\sigma(E)}{E} = \frac{10.1\%}{\sqrt{E(\text{GeV})}} \oplus 0.17\% \quad (2.1)$$

測定された分解能のエネルギー依存性を図 2.19 に示す。

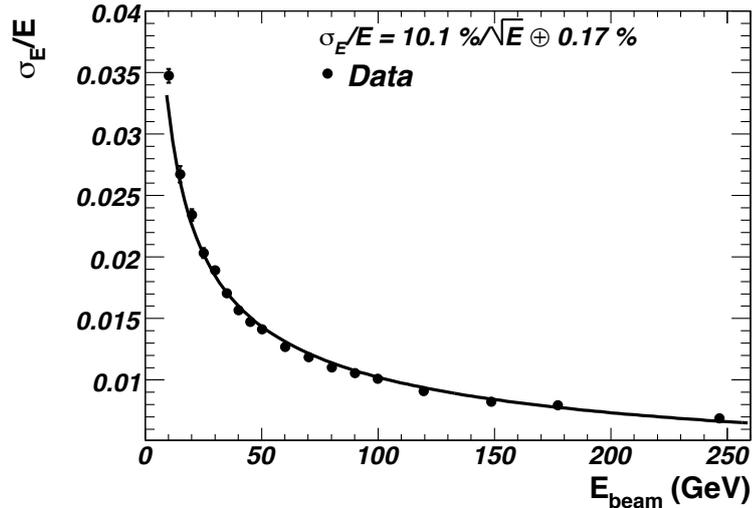


図 2.19 $|\eta| = 0.687$ で測定された、電磁カロリメータのエネルギー分解能の入射粒子エネルギー依存性 [7]。

Tile

Tile は $|\eta| < 1.7$ のバレル部を担当するハドロンカロリメータであり、厚さ 3 mm の鉄と厚さ 5 mm のタイル状のシンチレータを交互に重ね合わせた構造をとっている。Tile の模式図を図 2.20 に示す。Tile は動径方向に約 7.4 相互作用長 (λ_0) の厚みをもつ。シンチレータの発光はファイバーを通じて光電子増倍管 (PMT) で読み出される。Tile はバレルを ϕ 方向に 64 分割したものを 1 つのモジュールとしている。各モジュールは ϕ 方向に約 5.6° を担当する。

Tile のエネルギー分解能はハドロンビームを用いて測定された。 ϕ 方向に 3 つの Tile モジュールに対して 20–350 GeV の荷電 π 中間子 (π^\pm) ビームを入射し、応答を調べた。エネルギー分解能はビームのエネルギー、 η の値に依存する。 $|\eta| = 0.35$ で測られた π^\pm ビームに対するエネルギー分解能を入射粒子のエネルギーの関数として示したものが図 2.21 である。この測定から、 $|\eta| = 0.35$ でのエネルギー分解能は式 2.2 に従うことが分かった。また、複数の η での測定から、 $|\eta|$ の値の増加に伴ってエネルギー分解能が向上することが分かった。これは $|\eta|$ の上昇と共に Tile の実効的な厚みが増し、エネルギーの後方への漏れが減るためである。

$$\frac{\sigma(E)}{E} = \frac{56.4 \pm 0.4\%}{\sqrt{E(\text{GeV})}} \oplus (5.5 \pm 0.1)\% \quad (2.2)$$

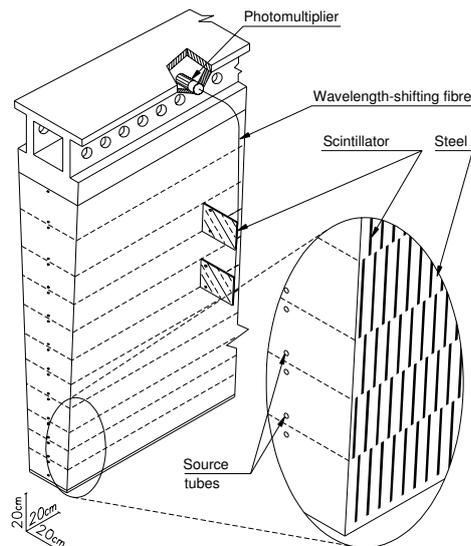


図 2.20 Tile 模式図。吸収体の鉄とシンチレータがサンドイッチ状に積み重なっている。信号は外側に取り付けられた PMT で読み出される [7]。

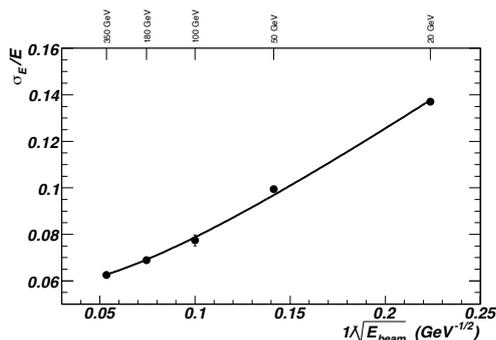


図 2.21 $|\eta| = 0.35$ での Tile のエネルギー分解能を入射粒子のエネルギーの関数として表したもの [7]。

HEC

HEC は $1.5 < |\eta| < 3.2$ のエンドキャップ部分を担当するハドロンカロリメータである。HEC は銅を吸収体, LAr を active material としたサンプリングカロリメータで、A-side と C-side の 2 つの部分に分かれており、それぞれ更に前方ホイール (HEC1) と後方ホイール (HEC2) に分かっている。HEC1 は厚さ 25 mm の銅板 24 枚, 厚さ 12.5 mm の銅板 1 枚を重ね合わせた構造となっており、HEC2 は厚さ 50 mm の銅板 16 枚, 厚さ 25 mm の銅板 1 枚を重ね合わせた構造となっている。

HEC のエネルギー分解能は π^\pm ビームを用いて測定され、式 2.3 に従うことが分かった。

$$\begin{aligned} \pi^+ &: \frac{(81.7 \pm 0.4)\%}{\sqrt{E(\text{GeV})}} \oplus 0\% \\ \pi^- &: \frac{(84.6 \pm 0.3)\%}{\sqrt{E(\text{GeV})}} \oplus 0\% \end{aligned} \quad (2.3)$$

測定された分解能のエネルギー依存性を図 2.22 に示す。

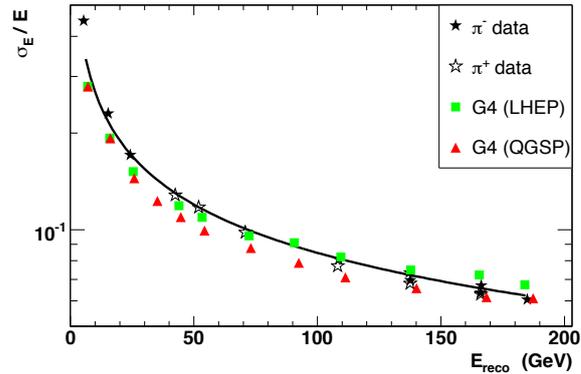


図 2.22 HEC のエネルギー分解能の入射粒子エネルギー依存性。 π^+ のビームで得られたデータ点に対するフィットを実線で示している [7]。

FCal

FCal は $3.1 < |\eta| < 4.9$ のフォワード領域を担当するカロリメータである。FCal の配置図を図 2.23 に示す。FCal はビーム軸方向に 3 層に分かれている。第 1 層 (FCal1) は電磁カロリメータで、吸収体として銅を用いており、厚さは $27.6 X_0$ である。第 2 層 (FCal2), 第 3 層 (FCal3) はハドロンカロリメータで、吸収体としてタングステンを使用している。FCal2 の厚さは $3.68 \lambda_0$, FCal3 の厚さは $3.60 \lambda_0$ である。FCal の全層で active material には LAr を使用している。FCal の設置される領域は $|\eta|$ が大きく、放射線強度が高い。これに対応するため、FCal の LAr ギャップは小さく作られており、FCal1 で 0.27 mm, FCal2 で 0.38 mm, FCal3 で 0.51 mm である。吸収体の金属はロッド状に加工され銅板に開けられた穴の中を通される。第 3 層の後方には銅合金のシールドが設置されている。このシールドは FCal 後方のミュオン検出器のバックグラウンドを減らす役割を担っている。

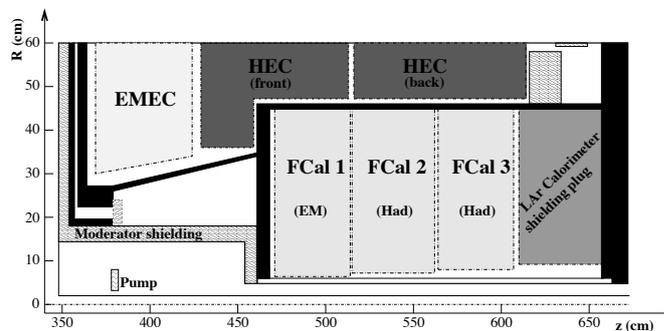


図 2.23 FCal 配置図。電磁カロリメータの FCal1, ハドロンカロリメータの FCal2, FCal3 の順に並べられ、FCal3 の後方には銅合金のシールドが設置されている [7]。

2.4.4 ミューオン検出器

ミューオン検出器は ATLAS 検出器の最も外側に設置され、ミューオンを検出する。ATLAS で使用するミューオン検出器は Monitored Drift Tube(MDT), Resistive Plate Chamber(RPC), Thin Gap Chamber(TGC), Cathode Strip Chamber(CSC) の 4 種類である。このうち MDT と CSC はミューオンの運動量測定を行い、TGC と RPC はイベントトリガーの発行を行う。ミューオン検出器の全体像を図 2.24 に示す。

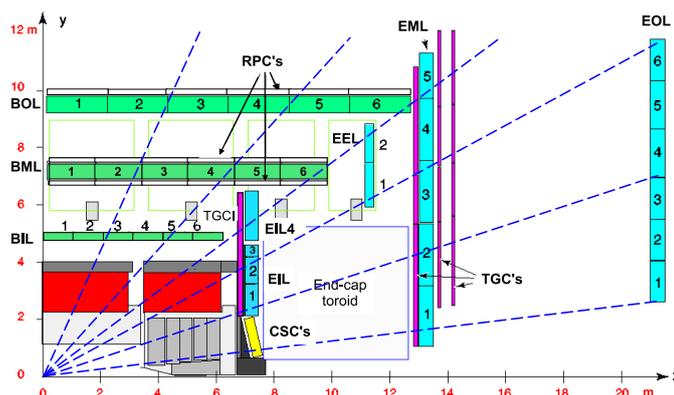


図 2.24 ミューオン検出器の断面図。MDT, CSC, RPC, TGC の配置を示す [7]。

ミューオン検出器はミューオンの軌跡からミューオンの運動量を算出する。ミューオンはトロイド磁石により作られたトロイド磁場領域を通してミューオン検出器に飛来するので、磁場によって軌跡が曲げられている。運動量が小さいほど軌跡は大きく曲がるので、軌跡の曲がり具合 (sagitta) からミューオンの運動量を算出することが出来る。

ミューオン検出器の p_T 分解能はシングル・ミューオンを用いて測定された。 $p_T = 100\text{GeV}$ のミューオンを用いた p_T 分解能測定結果を図 2.25、2.26 に示す。

各検出器の性能を表 2.1 に示す。TGC, RPC はそれぞれ 3 層の検出器を用いて sagitta を測定

表 2.1 各検出器の性能。位置分解能、時間分解能、チェンバー数、チャンネル数を示す。

type	coverage	分解能			チェンバー数	チャンネル数
		z/R	ϕ	時間		
MDT	$ \eta < 2.7$	$35 \mu\text{m}(z)$	-	-	1088	300,000
CSC	$2 < \eta < 2.7$	$40 \mu\text{m}(R)$	5 mm	7 nsec	32	30,000
RPC	$ \eta < 1.05$	10 mm(z)	10 mm	1.5 nsec	544	30,000
TGC	$1.05 < \eta < 2.4$	2-6 mm(R)	3-7 mm	4 nsec	3588	300,000

し、6 段階の p_T 閾値に基づいて p_T を算出し、 p_T 閾値を超えるトラックを検出したらレベル 1 トリガーを発行する。レベル 1 トリガー発行の際、トラックの p_T 情報、ヒット位置情報、バンチ情報をエンコードして MuCTPI というモジュールに送る。

以下、各検出器に関する説明を行う。ただし、TGC に関しては第 3 章で再度詳細を述べる。

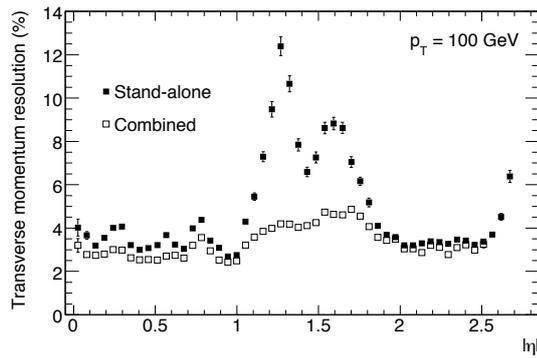


図 2.25 ミューオン検出器 p_T 分解能の ϕ 依存性。Stand-alone はミューオン検出器の情報だけを用いた p_T 測定の分解能を示し、Combined はミューオン検出器と内部飛跡検出器の情報を併せた p_T 測定の分解能を示す。1.1 < $|\eta|$ < 1.7 はバレルとエンドキャップの境界部分で、この分解能測定がなされた時点でこの境界領域を覆うミューオンチェンバーが 1 層少なかったため、分解能が悪くなっている [7]。

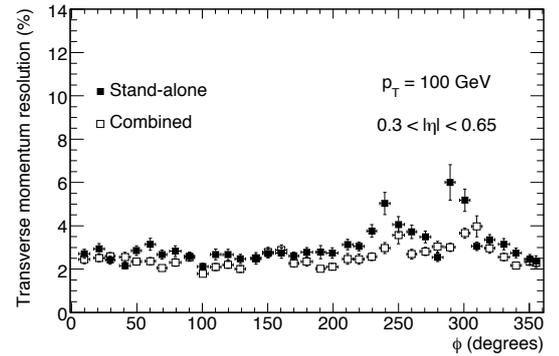


図 2.26 ミューオン検出器 p_T 分解能の ϕ 依存性。Stand-alone はミューオン検出器の情報だけを用いた p_T 測定の分解能。Combined はミューオン検出器と内部飛跡検出器の情報を併せた p_T 測定の分解能。240° < ϕ < 300° は支えの部品があり、物質が多いため分解能が悪くなっている [7]。

MDT

MDT はバレル部、エンドキャップ部のうち、 $|\eta| < 2.7$ の領域をカバーし、ミューオンの位置を精度 100 μm 以下で測定する。MDT はドリフトチューブを並べた構造をとっている。1 本のドリフトチューブは直径約 30 mm のカソードチューブと直径 50 μm のアノードワイヤーからなる。カソードチューブには Ar 97 %, CO₂ 3 % の混合気体が 3 気圧で詰められる。アノードワイヤーには 3 kV の HV がかけられ、 2×10^4 の増幅率が得られる。位置分解能はチューブ径方向に約 50 μm で、カウントレートの上限は 150 Hz/cm² である。信号はチューブ毎に読み出され、総読み出しチャンネルは約 300,000 である。MDT のドリフトチューブの模式図を図 2.27 に、チェンバーの模式図を図 2.28 に示す。

CSC

Endcap MDT は 3 層あるが、このうち最も衝突点に近い層 (Inner Station) では高い η の領域 ($|\eta| > 2.0$) でカウントレートが MDT の上限 (150 Hz/cm²) を超えてしまう。そのため、Inner Station のうち $2.0 < |\eta| < 2.7$ 部分では MDT は使用せず、代わりに CSC を用いている。

CSC は 16 枚の MWPC チェンバーをホイール状に並べた構造をしており、各チェンバーはアノードワイヤーとカソードストリップからなる。CSC チェンバーの構造を図 2.29 に示す。アノードワイヤーは動径方向に張られる。カソードストリップは 2 層あり、1 層のストリップはワイヤーに垂直に配置され、もう 1 層のストリップはワイヤーに平行に配置される。この 2 層のストリップを読み出すことで、2 次元読み出しを行っている。総読み出しチャンネルは約 30,000 である。ワイヤー間隔は 2.5 mm、ストリップ間隔は 5.3 mm と 5.6 mm で、アノードワイヤーには

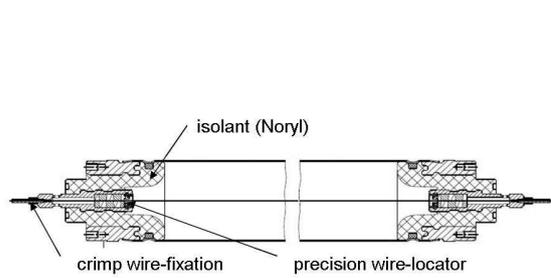


図 2.27 1 本の MDT チューブの模式図。荷電粒子が通るとチューブ中のガスがイオン化され、生じた電子がアノードワイヤーから読み出される [7]。

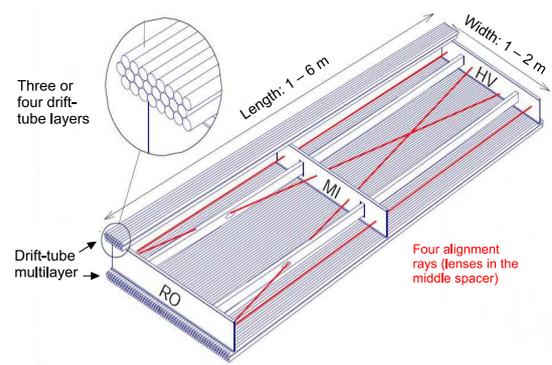


図 2.28 MDT チェンバーの模式図。図 2.27 のチューブが並べられてチェンバーが構成されている。赤線はチェンバーの変形をモニターするためのレーザーアラインメントシステムを表している [7]。

1,900 V の HV がかけられる。ドリフトガスには Ar 80 %, CO₂ 20 % の混合気体がいられ、 6×10^4 の増幅率が得られている。位置分解能は $45 \mu\text{m}$ で、カウントレートの上限は 1 kHz/cm^2 である。

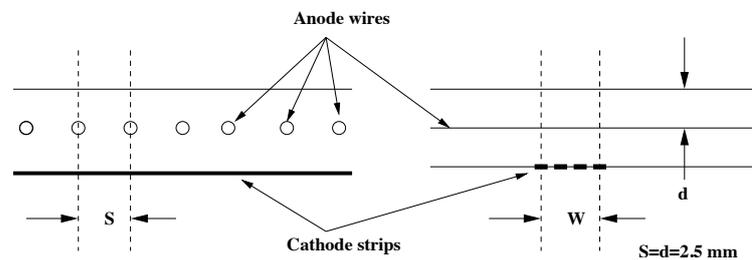


図 2.29 CSC チェンバーの模式図。動径方向に張られたアノードワイヤーと 2 層のカソードストリップが使用される。図にはワイヤーと垂直方向のストリップのみが示されている [7]。

RPC

RPC は $|\eta| < 1.05$ のバレル部のイベントトリガーを主な目的としている。位置情報は直交したストリップによって ϕ - z 方向の 2 次元に読み出される。総読み出しチャンネル数は約 300,000 チャンネルである。RPC は計 3 ステーションから構成されている。高抵抗ベークライトの平行ストリップ間のガスギャップ (2.0 mm) に 9,800 V の HV をかけている。ガスには C₂H₂F₄ (94.7 %), Iso-C₄H₁₀ (5 %), SF₆ (0.3 %) の混合ガスがいられ、 10^7 の増幅率が得られている。

TGC

TGC は $1 < |\eta| < 2.4$ の前後方部イベントトリガーを主な目的としている。位置情報は R- ϕ 方向の 2 次元読み出しがされ、R 情報はアノードワイヤーから読み出され、 ϕ 情報はカソードスト

リップから読み出される。総読み出しチャンネル数は約 300,000 である。アノードワイヤーには約 2,800 V の HV がかけられており、ガスには CO₂ 55 % と n-C₅H₁₂ 45 % の混合気体を使用され、 3×10^5 の増幅率が得られている。TGC の反応時間は入射角度に依存するが、全ての入射角度で 20 nsec 以下である。

TGC はトロイド磁場より外側に配置された 3 ステーション (Big Wheel, BW) とトロイド磁場の内側の 1 ステーション (EI/FI) がある。現在のトリガー生成には EI/FI の情報は使われておらず、BW の 3 層のヒット情報のみが使われている。

2.5 ATLAS トリガーシステム

ATLAS では 3 段階のトリガーシステムを用いている。このトリガーシステムにより、約 40MHz のバンチ衝突の中から物理的に重要なイベントを効率よく選別し、記録することができる。

3 段階のトリガーを順にレベル 1 トリガー (LVL1), レベル 2 トリガー (LVL2), イベントフィルター (EF) と呼ぶ。3 段階のトリガーの流れを図 2.30 に示す。

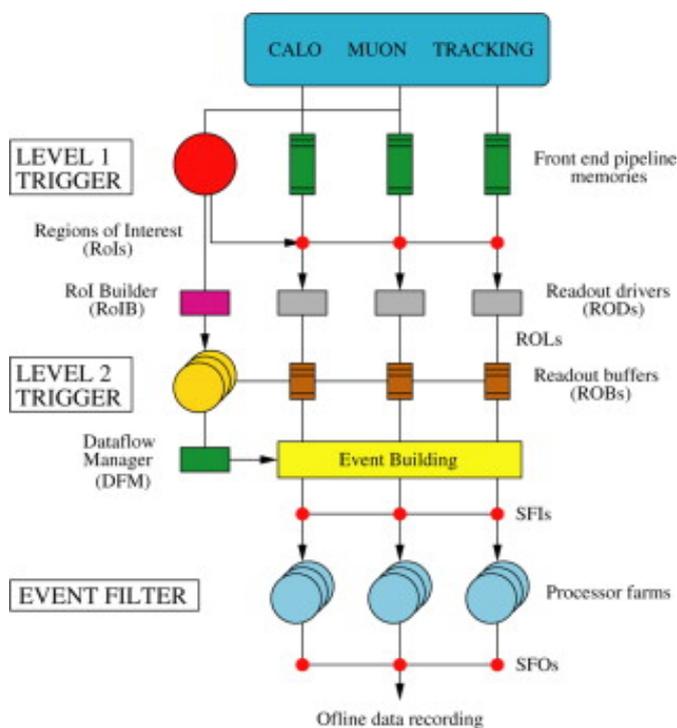


図 2.30 トリガーの流れの模式図。2012 年度の環境 (重心系エネルギー 8 TeV, ルミノシティ $7 \times 10^{33} \text{cm}^{-2}\text{s}^{-1}$) の下、バンチ衝突 (20 MHz) → LVL1(60 kHz) → LVL2(5 kHz) → EF(400 Hz) とレートを落とし、イベントを記録した [7]。

2.5.1 レベル 1 トリガー (LVL1)

LVL1 トリガースキームの模式図を図 2.31 に示す。LVL1 トリガーはレートを 60 kHz まで落とす。LVL1 トリガーはカロリメータ, ミューオン検出器 (TGC, RPC), Muon Trigger to CTP Interface (MuCTPI), Central Trigger Processor (CTP), Timing Trigger and Control distribution

system(TTC) で構成され、ミュオン検出器の情報を用いた L1 ミュオントリガーと、カロリメータの情報を用いた L1 カロリメータトリガー (L1 Calo) がある。

ミュオン検出器は衝突点から飛来したミュオントラックの p_T を測定する。TGC, RPC にそれぞれ 6 段階の p_T 閾値が設けられ、閾値を超える p_T のミュオントラックが検出されたらそのトラック情報が MuCTPI に送られる。LVL1 判定は各 p_T 閾値で検出されたトラック数に基づいて行われる。

カロリメータは横方向エネルギー (E_T) とイベントの横方向消失エネルギー (E_T^{miss}) を測定する。 E_T 測定の対象は τ レプトンの崩壊によって発生したハドロン, 電子, 光子, ジェット等で、各対象に対し 4–8 段階の E_T 閾値が設けられており、 E_T^{miss} については 8 段階の閾値が設けられている。 E_T 閾値または E_T^{miss} 閾値を超えたイベントのトリガー情報は CTP に送られる。L1 Calo の LVL1 判定は各閾値で検出されたイベント数に基づいて行われる。

CTP で LVL1 判定が通ると Level1 Accept(L1A) 信号が発行される。L1A は TTC を通して、衝突から 2.5 μsec 以内に各検出器に送られる。

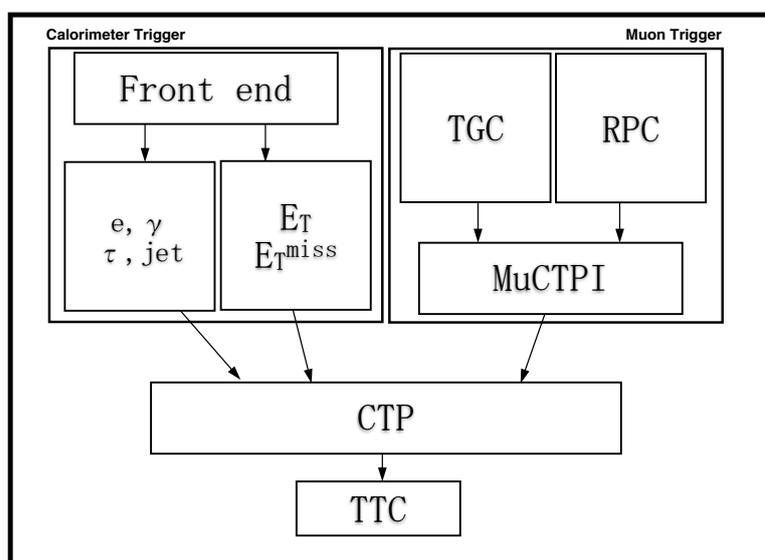


図 2.31 LVL1 トリガースキームの模式図。LVL1 トリガーは LVL1 ミュオントリガーと L1 Calo に分けられる。LVL1 ミュオントリガーでは TGC と RPC のトリガー判定が MuCTPI を通じて CTP に送られ、L1 Calo では E_T , E_T^{miss} に基づいたトリガー判定が CTP に送られる [10]。

2.5.2 レベル 2 トリガー (LVL2)

LVL2 トリガー はイベントレートを 60 kHz から 5 kHz 程度に落としている。カロリメータ, MDT からの情報, 内部飛跡検出器からの完全な位置情報に基づいて、より精度を上げて処理を行うが、効率を良くするために LVL1 の情報により選定された Region of Interest(ROI) と呼ばれる領域のみの情報を用いてトリガー判定が行われる。ROI とは LVL1 トリガーが発行された領域である。LVL2 で 1 イベントにかけられる処理時間は 40 msec 以下である。

2.5.3 イベントフィルター (EF)

EF はイベントレートを 400 Hz まで落としている。EF は全検出器の情報を用いて完全なイベント再構成をする。EF は複数の PC で並列処理を行っており、現在は 1 イベントに約 1 秒の時間をかけている。

第 3 章

Thin Gap Chamber(TGC)

TGC はエンドキャップ部のミュオンレベル 1 トリガーを担当する検出器である。本章では TGC の概要, TGC の発行するトリガーについて説明した後、そのトリガー回路, 読み出し回路について詳しく解説する。

3.1 TGC の構造

3.1.1 TGC チェンバーの構造

TGC は MWPC(Multi Wire Proportional Chamber) の 1 種である。図 3.1 に示すように各チェンバーの形状は台形であり、上辺、下辺と平行に (ϕ 方向に) アノードワイヤーが張られ、ワイヤーに対して垂直にカソードストリップが配置される。アノードワイヤーには直径 $50 \mu\text{m}$ の金メッキタングステンワイヤーを使用し、 2.8 kV の電圧が印加してある。カソード面には表面抵抗が約 $1 \text{ M}\Omega/\square$ のカーボンが塗布してある。TGC では $\text{CO}_2/\text{n-pentane}$ を 55:45 の比で混合したガスが用いられる。

荷電粒子がガス中を通ると、ガス分子が電離されて電子と陽イオンが生じる。発生した電子はガス中の電場に従ってワイヤー側に移動する。ワイヤー近傍では電場が大きいため、移動してきた電子の運動エネルギーは十分に大きくなる。この高エネルギー電子によりガス中の他の分子も電離され、電子雪崩が発生する。発生した電子群がアノードワイヤーによって読み出され、誘起された電荷がカソードストリップから読み出される。

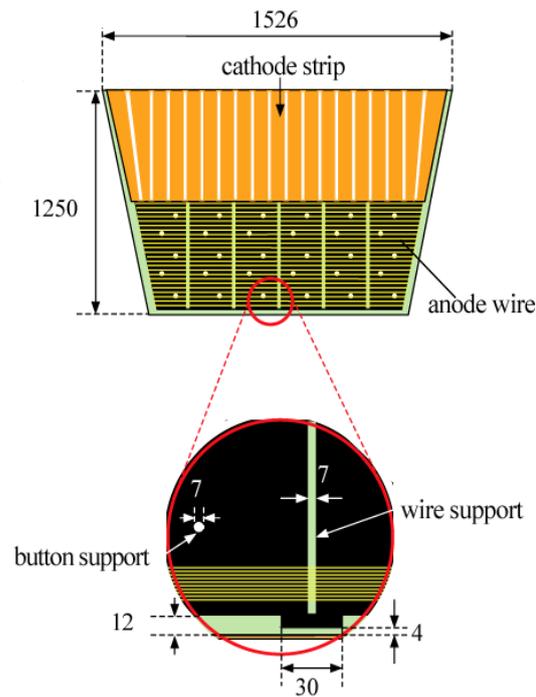


図 3.1 TGC チェンバーの模式図。アノードワイヤとカソードストリップが直行して配置されている。wire support, button support はガスギャップの距離を一定に保つため volume 内に配置されており、局所的な不感領域を作っている。

3.1.2 TGC ホイールの構造

TGC は台形のチェンバーを組み合わせるホイール構造をとる。TGC ホイールの写真を図 3.2, 図 3.3 に示す。

TGC ホイールは $|z| = 7.0\text{m}, 7.4\text{m}$ に配置されるミュオン内部ステーション (EI/FI), $|z| = 13.4\text{m}, 14.7\text{m}, 15.2\text{m}$ に配置される Big Wheel(BW) に分けられる。BW は $1.0 < |\eta| < 2.7$ の領域をカバーしている。BW のうち特に $|\eta| < 1.9$ の領域をエンドキャップ, $|\eta| > 1.9$ の部分をフォワードと呼ぶ。TGC では後述のトリガーセクターという単位で領域を分けるが、この $|\eta| = 1.9$ はトリガーセクターの境界となっている。

図 3.4 に示すように、TGC は 2 層 (Doublet) または 3 層 (Triplet) を組み合わせることによって強い構造を獲得している。図 3.5 に TGC の r - z 断面図を示す。3.5 に見られるように、TGC BW は 3 つのステーションからなり、EI/FI は 1 つのステーションからなる。BW の 3 つのステーションを、衝突点から近い順に M1, M2, M3 と呼ぶ。M1 は Triplet 構造, M2 と M3 は Doublet 構造であるが、M1 の 2 層目のチェンバーにはストリップがない。また、EI/FI は Doublet 構造である。

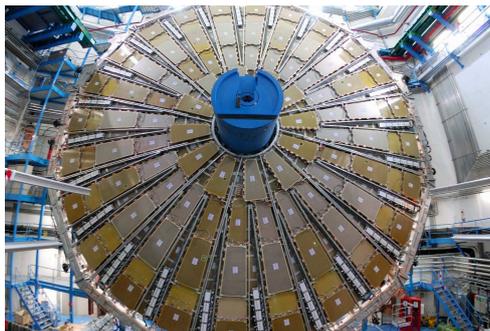


図 3.2 TGC ホイールの写真 (BW)。チェンバーがホイール状に配置してある [8]。

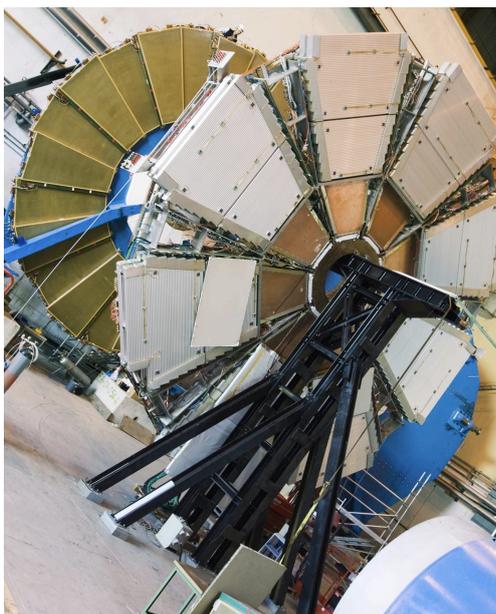


図 3.3 奥に見えるホイールが TGC EI/FI である。手前に見えるホイールは MDT で、両者は合わせてインストールされた [8]。

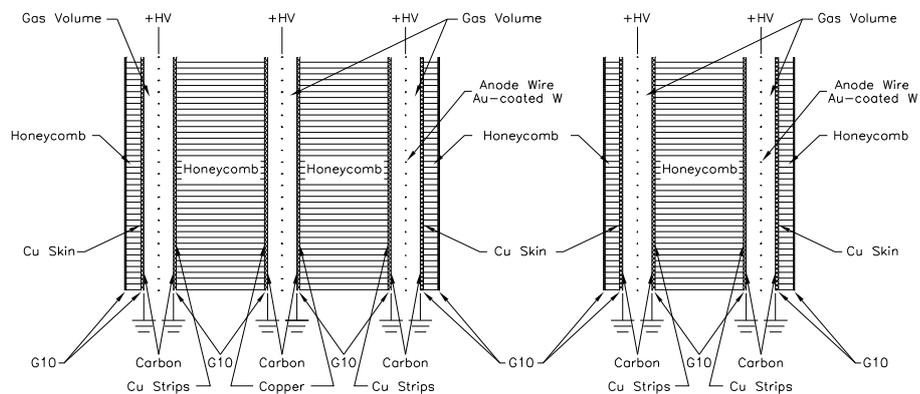


図 3.4 左:Triplet 構造の模式図 右:Doublet 構造の模式図。Triplet 構造は 3 組, Doublet は 2 組のワイヤー, ストリップからなり、各層の間にはハニカム構造のスペーサーが入られている [7]。

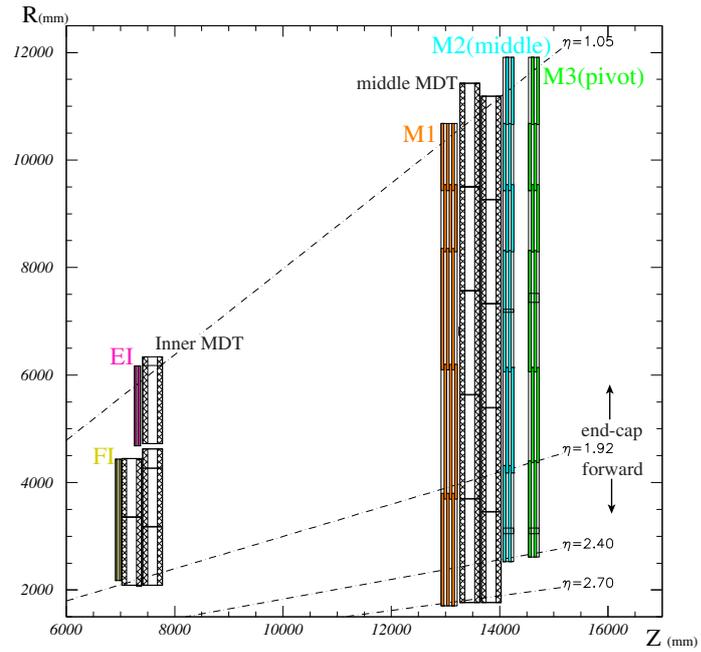


図 3.5 TGC の r-z 断面図。BW は 3 つのステーション (M1, M2, M3) で構成され、EI/FI は 1 つのステーションで構成される。BW のうち $|\eta| < 1.92$ の領域を Endcap, $|\eta| > 1.92$ の領域を Forward と呼ぶ [9]。

3.2 レベル 1 ミューオントリガー

本節では TGC がレベル 1 ミューオントリガーを発行する手順について述べる。現行の TGC トリガーではミューオン内部ステーション (EI/FI) は使用されておらず、M1, M2, M3 のヒット情報のみを使用している。図 3.6 に示すように、TGC はトロイド磁場でミューオンの軌跡が曲げられることで生じる、ヒット位置のずれ (sagitta) を検出する。sagitta のうち、動径方向 (R 方向) 成分を ΔR 、 ϕ 方向成分を $\Delta\phi$ として、検出した $(\Delta R, \Delta\phi)$ の組から p_T を算出する。 p_T の算出には、図 3.7 のような、 $(\Delta R, \Delta\phi)$ の組と p_T の対応表 (Coincidence Window, CW) を用いている。

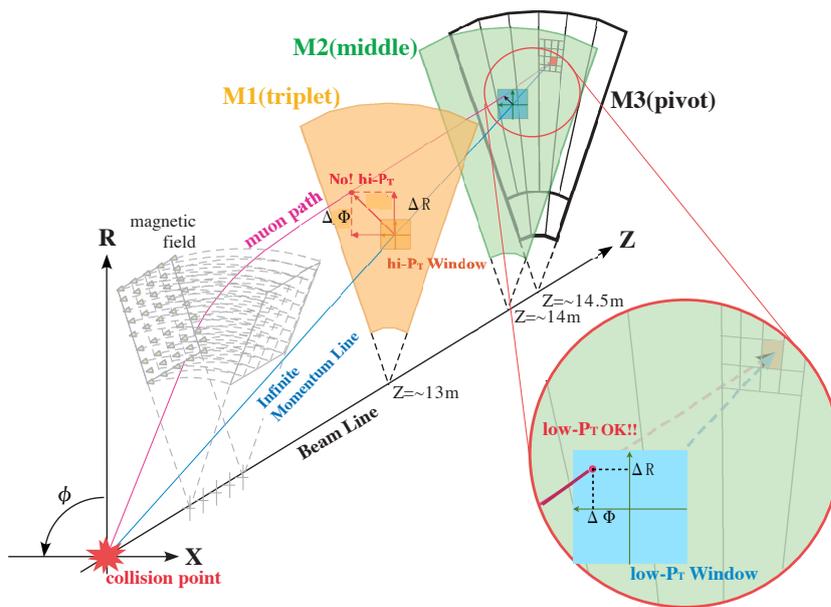


図 3.6 TGC による sagitta 検出の模式図 [9]。

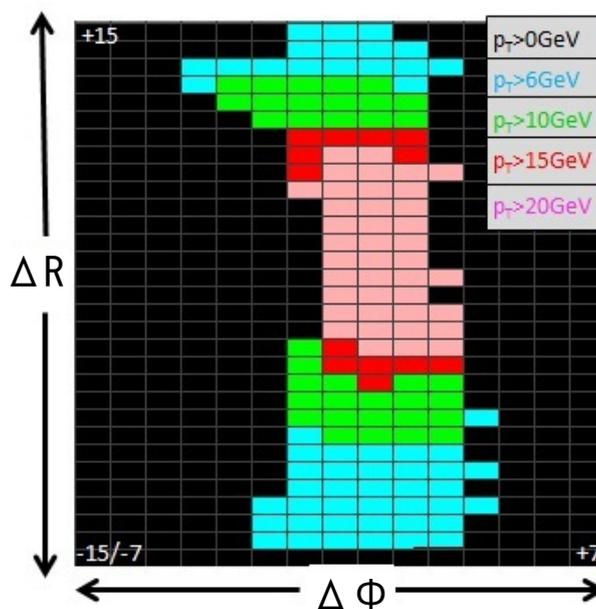


図 3.7 CW の例 [hayaD]。各 $(\Delta R, \Delta\phi)$ の組に対して p_T 閾値の値が定められている。 p_T 閾値は 6 つまで設定できるが、ここでは 5 つしか使われていない。

3.2.1 信号処理

TGC の信号処理を図 3.8 に示す。TGC を通過したミュオンはワイヤー、ストリップに信号を残す。各層の信号は増幅・デジタル化され、ワイヤー、ストリップで独立にコインシデンス処理される。

TGC のトリガーでは Low-Pt コインシデンス, High-Pt コインシデンスという 2 段階のコイ

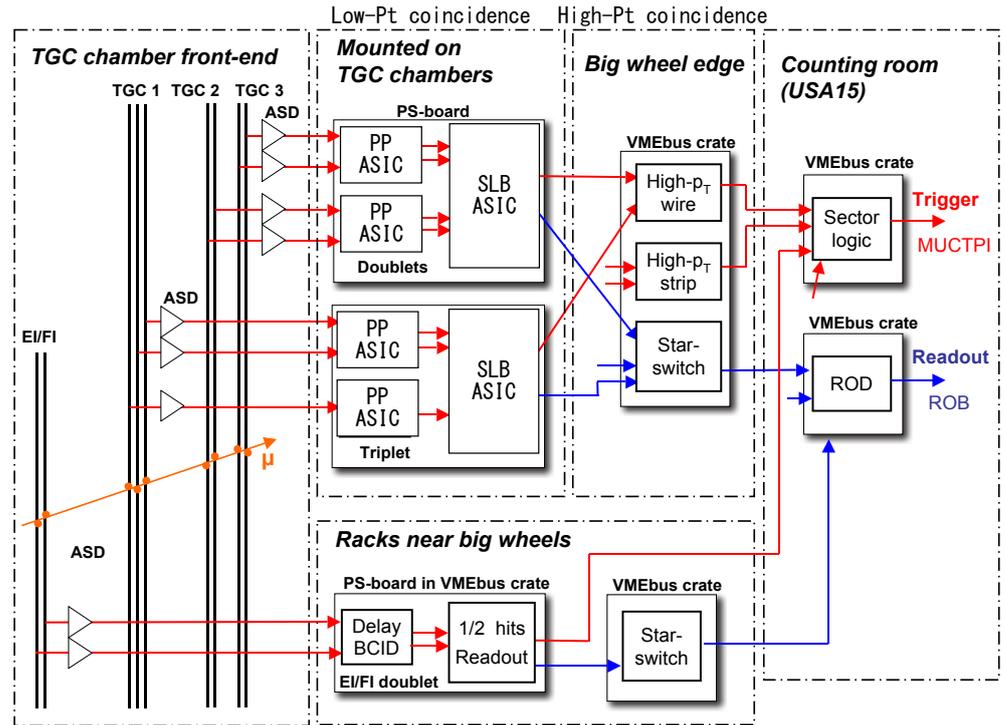


図 3.8 TGC ヒット情報の流れ。赤線はトリガー系の信号処理を、青線はリードアウト系の信号処理を表す。PP ASIC と SLB ASIC の処理は”PS-board”にまとめて示されている [7]。

ンシデンス処理を用いることでバックグラウンドを抑えている。Low-Pt コインシデンスは M2, M3 の 4 層のチェンバーを用いたコインシデンス処理 (3 out of 4 コインシデンス) と M1 のワイヤーチェンバー 3 層を用いたコインシデンス処理 (2 out of 3 コインシデンス), M1 のストリップチェンバー 2 層を用いたコインシデンス処理 (1 out of 2 コインシデンス) を行う。3 out of 4 コインシデンスでは 4 層のチェンバーのうち 3 層以上のチェンバーにヒットがあるかどうかでコインシデンス判定を行い、2 out of 3 コインシデンスでは 3 層のチェンバーのうち 2 層以上のチェンバーにヒットがあるかどうか、1 out of 2 コインシデンスでは 2 層のチェンバーのうち 1 層以上のチェンバーにヒットがあるかどうかでコインシデンス判定を行う。

High-Pt コインシデンスは 2 つの Low-Pt コインシデンス判定の結果を合わせるコインシデンス処理である。ワイヤー信号については M2 と M3 を用いた 3 out of 4 コインシデンスと M1 を用いた 2 out of 3 コインシデンス両方にコインシデンスがあったかどうかで判定を行う。ストリップ信号については M2 と M3 を用いた 3 out of 4 コインシデンスと M1 を用いた 1 out of 2 コインシデンス両方にコインシデンスがあったかどうかで判定を行う。

コインシデンス処理はワイヤー、ストリップで独立に行われる。コインシデンスを経たワイヤー、ストリップ信号は統合され、以下の手順でトラックの p_T 算出に用いられる。まず M3 でのヒット位置とビーム衝突点を結ぶ直線 (Infinite Momentum Line と呼ぶ) を考える。この直線は、無限大運動量を持ったミュオンの軌跡に対応する。実際のミュオンはトロイド磁場により軌道が曲げられ、Infinite Momentum Line からずれた軌道で M3 に到達している。この軌道のずれは M1 のヒット位置と Infinite Momentum Line とのずれとして検出される。ヒット位置と Infinite Momentum Line とのずれのうち、R 成分を ΔR 、 ϕ 成分を $\Delta\phi$ とする。 ΔR は Triplet

のチャンネル幅の $1/3$, $\Delta\phi$ は Triplet のチャンネル幅の $1/2$ を単位としている。検出された ΔR , $\Delta\phi$ の値からミューオンの p_T を算出する。理想的なトロイド磁場では $\Delta\phi = 0$ となるが、実際には磁場は R 方向にも存在するため $\Delta\phi$ も測定する必要がある。 $|\Delta R|$, $|\Delta\phi|$ はそれぞれ上限値が設定してあり、 $|\Delta R| \leq 15$, $|\Delta\phi| \leq 7$ の範囲をとる。

3.2.2 トリガー単位

TGC のトリガー処理はトリガーセクターという単位で行われる。エンドキャップ領域 ($1.05 < |\eta| < 1.9$) ではホイールを ϕ 方向に 48 分割したものを 1 つのトリガーセクターとし、フォワード領域 ($1.9 < |\eta| < 2.4$) ではホイールを ϕ 方向に 24 分割したものを 1 つのトリガーセクターとしている。トリガーセクターの ϕ 方向の幅は TGC チェンバーの ϕ 方向の幅と一致する。

各トリガーセクターは更に ROI(Region of Interest) という単位に分割される。ROI はトリガーの最小単位で、1 つの ROI は $\Delta\eta \times \Delta\phi = 0.03 \times 0.03$ に相当する。エンドキャップ領域ではトリガーセクターを η 方向に 37 分割, ϕ 方向に 4 分割したものを ROI とし、フォワード領域ではトリガーセクターを η 方向に 16 分割, ϕ 方向に 4 分割したものを ROI としている。また、R 方向に 4 つ, ϕ 方向に 2 つの ROI をまとめて SSC(Sub Sector Cluster) と呼ぶ。1 つの SSC には $4 \times 2 = 8$ 個の ROI が含まれる。SSC は第 5 章で述べる SL 上での信号処理でのトラック位置の分類に用いられる。トリガーセクター, SSC, ROI を図 3.9 に示す。

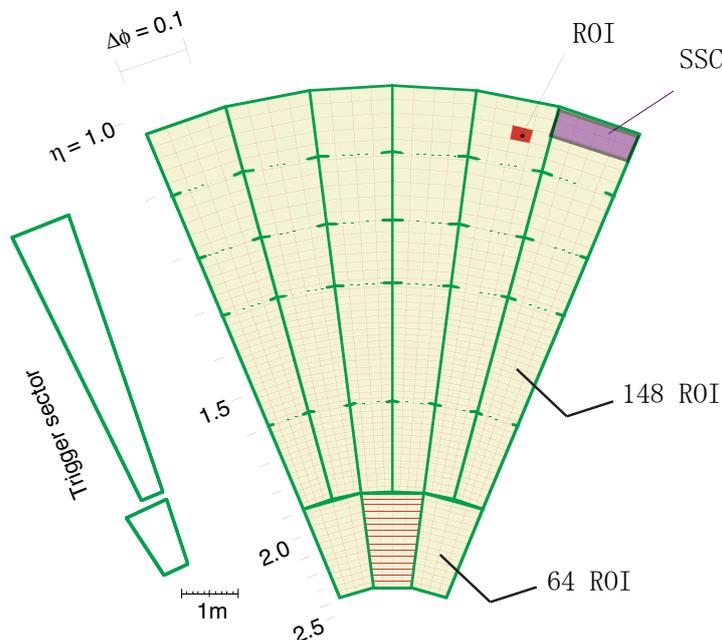


図 3.9 TGC のトリガー単位模式図 [7]。A-side, C-side それぞれで 72 トリガーセクターに分かれている。更に Endcap トリガーセクターは 148 ROI, Forward トリガーセクターは 64 ROI に分けられる。8 つの ROI をまとめて SSC と呼ぶ。

3.3 エレクトロニクス

本節では TGC のヒット情報を処理するハードウェアについて述べる。

3.3.1 システム全体

TGC のデータ処理には以下の2種類がある。

- (1) **トリガー系** LVL1 ミューオントリガー判定のための情報処理を行う。
- (2) **リードアウト系** TGC 各層のミューオンヒット情報の読み出しを行う。

TGC エレクトロニクスの全体像を図 3.8 に示す。

以下、各データ処理系について説明する。

トリガー系

トリガー系は TGC 各層のヒット情報を処理してトリガー判定を行う。トリガー系の信号処理は図 3.8 上では赤い線で表現されている。トリガー系に用いられるモジュールは ASD(Amplifier Shaper Discriminator), PP ASIC(Patch Panel ASIC), SLB ASIC(Slave Board ASIC), HPT(High-Pt), SL(Sector Logic) である。PP ASIC と SLB ASIC は PS ボードという共通のボードに搭載される。

トリガー系では信号は以下のように処理される。まず TGC チェンバーのアナログ信号が ASD ボードに送られる。ASD ボードは信号を増幅, 整形, デジタル化し, LVDS 信号 (Low Voltage Differential Signaling : 低電圧動信号) として PP ASIC に送る。PP ASIC は全てのチャンネルからの信号のタイミングを揃えて LHC clock に同期させ, SLB ASIC に送る。SLB ASIC は Low-Pt コインシデンス処理を行い, その結果を HPT に送る。HPT は SLB ASIC の信号から High-Pt コインシデンス処理を行い, その結果を SL に送る。SL はワイヤーとストリップのコインシデンス情報のコインシデンス処理を行い, p_T 判定, ROI の決定を行う。SL のコインシデンス処理の結果は MuCTPI(Muon CTP Interface) に送られ, 最終的な LVL1 ミューオントリガーの判定に用いられる。

リードアウト系

リードアウト系は TGC 各層のヒット情報と TGC のコインシデンス情報を読み出す。リードアウト系の信号処理は図 3.8 では青い線で表現されている。リードアウト系に用いられるモジュールは ASD, PP ASIC, SLB ASIC, SSW(Star Switch), ROD(Readout Driver) である。

TGC 各層のヒット情報の読み出しでは信号は以下のように処理される。ただし, PP ASIC までの信号処理はリードアウト系とトリガー系で共通なので説明は割愛する。PP ASIC の信号は SLB ASIC に送られる。SLB ASIC は受け取った信号をレベル 1 バッファに蓄える。この蓄えられたデータのうち, L1A(Level 1 Accept, 各検出器に配られるレベル 1 トリガー信号) を受け取ったものはデランダムマイザを通じて SSW(Star Switch) へと送られる。SSW は 8 つの SLB ASIC からデータを受け, 送られたデータを圧縮 (ゼロサプレッション) して ROD に送る。ROD は 10 個の SSW からの情報を受ける。ROD はデータを変換して ROB(Readout Buffer) に送る。

リードアウト系では SL で処理したコインシデンス情報の読み出しも行う。SL は HPT から受け取ったコインシデンス情報と SL 内で行ったコインシデンス処理の結果を SL ボード上の SLB ASIC に送る。SLB ASIC 以下の情報処理は TGC 各層のヒット情報読み出しと同じ手順で行わ

れる。

以下、各モジュールの説明を行う。

3.3.2 ASD ボード

ASD ボードの写真を図 3.10 に示す。ASD ボードは TGC チェンバーのアナログ信号を処理する。

チェンバーの信号は ASD ボード上に載った ASIC(ASD ASIC) で処理される。1 つの ASD ASIC は 4 チャンネル分の処理を行う。ASD ASIC は、TGC からのアナログ信号を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS レベルの信号で出力する。増幅は 2 段階で行われ、1 段階目には $0.8V/pC$ のプリアンプ、2 段階目には増幅率が 7 のオペアンプが用いられる。

ASD ボードは TGC の側面に設置される。1 枚の ASD ボードは 4 つの ASD ASIC を搭載し、16 チャンネルを処理する。ASD ボードは、後述する PS ボードとツイストケーブルで接続される。ASD ボードのアンプ電圧、閾値電圧は PS ボードから供給される。

ASD ボードは擬似的な TGC の信号 (Test Pulse) を出力する機能も持っている。この Test Pulse は ASD ボード以降のエレクトロニクスの診断や調整のために使用される。Test Pulse のトリガーも PS ボードから供給される。

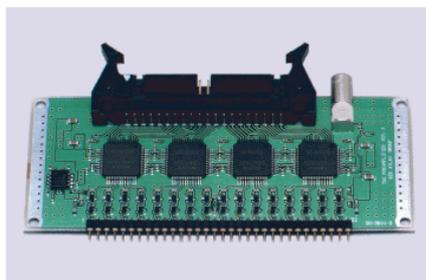


図 3.10 ASD ボードの写真。1 枚の ASD ボードに 4 つの ASD ASIC が載っている。

3.3.3 PP ASIC

図 3.11 に PP ASIC のブロック図を示す。PP ASIC は ASD ボードから受けた LVDS 信号を処理する。1 つの PP ASIC が処理するチャンネル数は 32 である。PP ASIC の役割は信号のタイミング調整とバンチ識別である。

TGC では各チャンネルの信号到達時間の間にずれがある。これは粒子が検出器まで到達するのにかかる時間である TOF(Time of flight) やケーブル遅延が各チャンネルで異なるからである。PP ASIC 以降の回路で信号のコインシデンスをとるため、PP ASIC でタイミング調整とバンチ識別を行う必要がある。

PP ASIC は以下のようにしてチャンネル間のタイミングを合わせる。PP ASIC はまず ASD からの LVDS 信号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、各チャンネルにそれぞれディレイをかけることによりタイミングの調整を行う。このディレイは 0.84 nsec が最小単位である。タイミング調整の後、信号を BCID(バンチクロッシ

ング ID) 回路に送り、TTC から供給される LHC clock との同期によりバンチ識別を行い、SLB ASIC に送る。

PP ASIC は ASD ボードに Test Pulse を出力させる命令を送る役割も持っている。Test Pulse の振幅、タイミングは可変である。これらのパラメータは JTAG プロトコルを介して制御される。

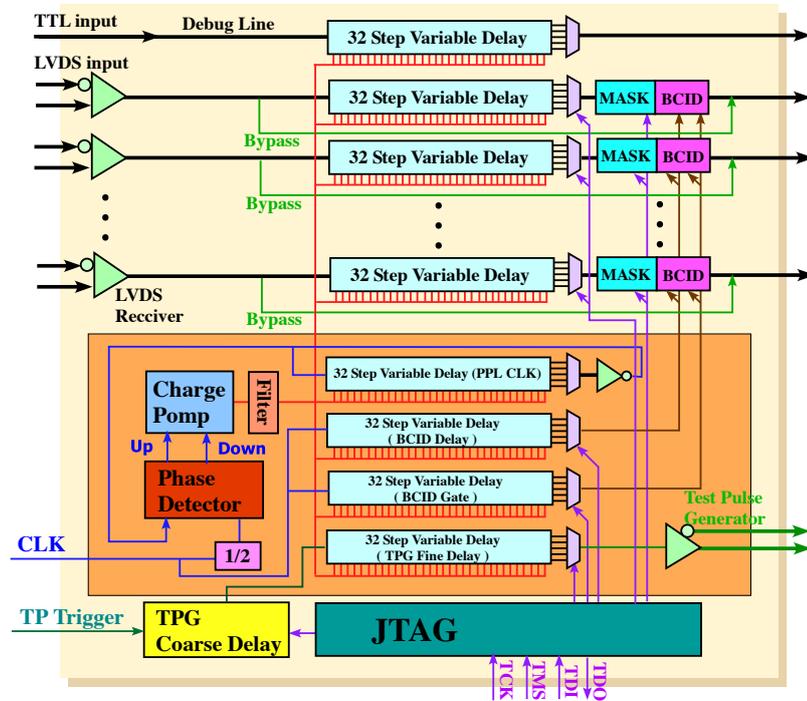


図 3.11 PP ASIC ブロック図。各入力に対して 32 段階の Delay をかけることでタイミング調整を行う。

3.3.4 SLB ASIC

SLB ASIC による信号処理のブロック図を図 3.12 に示す。SLB ASIC の信号処理にはトリガー系とリードアウト系の 2 つがある。

トリガー系の処理は SLB ASIC は信号のコインシデンス処理を行う。Doublet ではワイヤー、ストリップ共に M2, M3 の信号を使用して 3 out of 4 coincidence をとる。Triplet ではワイヤーとストリップで層の数が違う (ワイヤーが 3 層, ストリップが 2 層) ため、ワイヤーでは 2 out of 3 コインシデンス, ストリップでは 1 out of 2 コインシデンスをとる。これらのコインシデンス情報は Cat6 ケーブルで HPT に送られる。EI/FI ではワイヤー, ストリップ共 2 層のチェンバー情報を用いて 1 out of 2 coincidence をとる。

リードアウト系では、SLB ASIC は L1A を受けたデータを読み出す役割を持つ。SLB ASIC はまず PP ASIC から受けたデータをレベル 1 バッファというシフトレジスタに蓄える。レベル 1 バッファの幅は 212 bit で、これは入力データ 160 bit, トリガーパートの出力 40 bit, バンチカウンタ 12 bit からなる。レベル 1 バッファの深さは 128 段である。レベル 1 バッファ内のデータは L1A が与えられるまでの時間保持される。L1A が与えられると、該当するバンチとその前後 1 バンチずつの計 3 バンチのデータがデランダムマイザにコピーされる。この際、それぞれのバンチのデータには 4 bit のイベントカウンタ (L1ID) と 8 bit のバンチ識別番号 (BCID) が付加され

る。コピーされた3バンチ分のデータは別々にシリアル変換されSSWに送られる。

SLB ASICはTestPulseを出力する機能も持っている。これはSLB ASIC以降のエレクトロニクスの診断や調整に使用される。またSLB ASICにはPP ASICの信号にディレイをかける機能、各チャンネルにマスクをかける機能、連続したチャンネルにヒットがあった場合にそのうち1つのチャンネルの出力のみに変換する機能(グルーピング機能)を持っている。これらの機能はSSWを通してJTAGプロトコルで制御される。

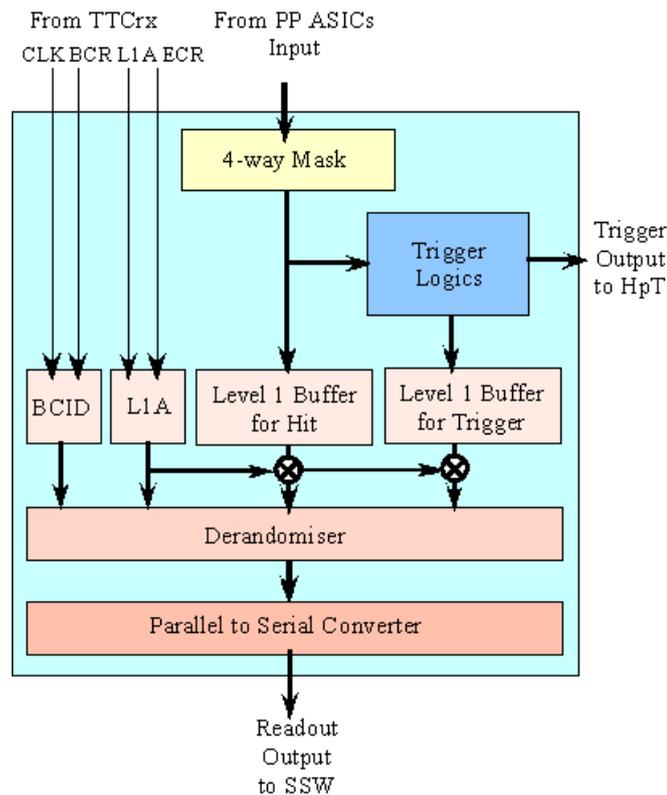


図 3.12 SLB ASIC 内信号処理のブロック図。PP ASIC から受けた信号は ASIC 内でトリガー系とリードアウト系に分けられ、それぞれ処理される。

3.3.5 HPT

HPTはSLB ASICの情報からHigh-Ptコインシデンス判定を行う。コインシデンス判定はボード上の4つのASIC(HPT ASIC)で行われる。HPT ASICのブロック図を図3.13に示す。HPTはまずSLB ASICから送られてきた情報からDoubletとTripletの情報の統合を行う。ワイヤとストリップは独立に処理され、ワイヤのHPTは ΔR とRを、ストリップのHPTは $\Delta\phi$ と ϕ を出力する。出力データはシリアルライズされ、光信号に変換されて16bitまたは17bitのG-Link信号としてSLに送信される。HPTボードは9UのVMEモジュールで、SSWと共通のVMEクレートに収められる。HPTボードの写真を図3.14に示す。

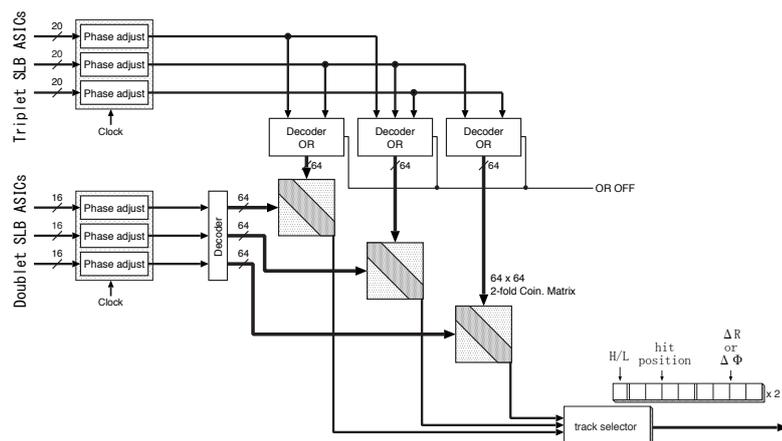


図 3.13 HPT ASIC 内の信号処理模式図 [11]。Doublet の SLB ASIC, Triplet の SLB ASIC から信号を受け、High-Pt コインシデンスを行っている。SLB ASIC からの入力情報からトラックの位置 (Hit Position), トラックの曲がり具合 (ΔR または $\Delta\phi$) を算出し、High-Pt コインシデンスの結果 (H/L) と合わせて SL に出力している。

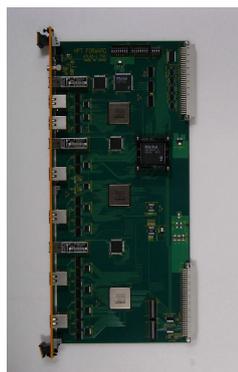


図 3.14 HPT ボードの写真。4つの ASIC が搭載されている。



図 3.15 SSW の写真。SSWrx, SSWtx が載っている。

3.3.6 Sector Logic(SL)

SL は HPT ボードから受け取った信号からワイヤーヒット情報とストリップヒット情報を統合させ、ミュオンへの p_T 算出とトリガー発行を行う。 p_T 算出, トリガー発行は SL ボード上の FPGA で行う。あらかじめ 6 段階の p_T 閾値を設定し、各 ROI に対して CW を作って FPGA 内の Look Up Table(LUT) に記録しておき、入力された (ΔR , $\Delta\phi$) を LUT に通すことで p_T 算出を高速に行うことが出来る。この LUT は書き換え可能なので、閾値の変更は LUT を書き換えることで簡単に行うことが出来る。

トリガーが発行されると、SL は p_T 情報, ROI 情報, バンチ ID を 32 bit にエンコードして MuCTPI に送る。また、SL ボード上には SLB ASIC が搭載されており、SL の出力するトリガー

情報と HPT ボードからの入力情報は FPGA からボード上の SLB ASIC に出力され、SSW を通じて読み出される。SL の詳しい仕様については 5 章で改めて解説する。

3.3.7 SSW

SSW は SLB ASIC のリードアウトから送られるデータを圧縮する。SSW のデータ圧縮により、ROD に送られるデータ量が減ってデータ読み出しを効率よく行うことができるようになる。データ圧縮では、データを cell と呼ばれる 8 bit ごとの塊に分け、各 cell にアドレスを付け、値がゼロでない cell だけをアドレスと共に送る。TGC の全チャンネルのうちヒット信号を発生するのはごく一部なので、これによりデータ量を大幅に減らすことができる。1 つの SSW で最大 23 個の SLB のデータを受け取ることができる。具体的な動作は次の通りである。まず SLB からの LVDS レベルのシリアライズされたデータを受け取り、それをパラレルのデータに変換する。そのデータはレシーバーである SSWrx に送られ、そこでデータの圧縮が行われる。その後データはトランスミッターである SSWtx に送られフォーマットされる。フォーマットされたデータは G-Link 信号に変換され約 100 m 離れたカウンティングルーム (USA15) にある ROD に送信される。

SSW は 9U の VME モジュールで、HPT ボードと共に検出器の側の VME クレートに収められる。1 枚の SSW には SLB ASIC からの受信信号を処理する FPGA(RX FPGA) が 6 つ、ROD に信号を送信する FPGA(TX FPGA) が 1 つ、モジュールコントロール用の FPGA(Control FPGA) が 1 つ搭載されている。SSW の写真を図 3.15 に、SSW ボード上での信号の流れを図 3.16 に示す。

3.3.8 ROD

ROD は TGC エレクトロニクスシステムの中でリードアウト系のデータが最終的に集まるモジュールである。ROD は複数の SSW からシリアライズされた圧縮データを光ファイバーを通して受け取り、光信号を電気信号に変換した後パラレル・データに戻し、FIFO メモリーに一時格納する。このデータを L1ID 情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、トレーラーをつける。まとめられたデータは S-link(Simple Link Interface) という光信号のリンクモジュールによって ROS(Read Out System) に送信される。イベントの同定やヘッダー、トレーラーをつけるためには TTC からのトリガー情報が必要となるため、ROD には TTCrx が載せられたメザニンボードが搭載され、これにより TTC からの信号を受け取ることができるようになっている。

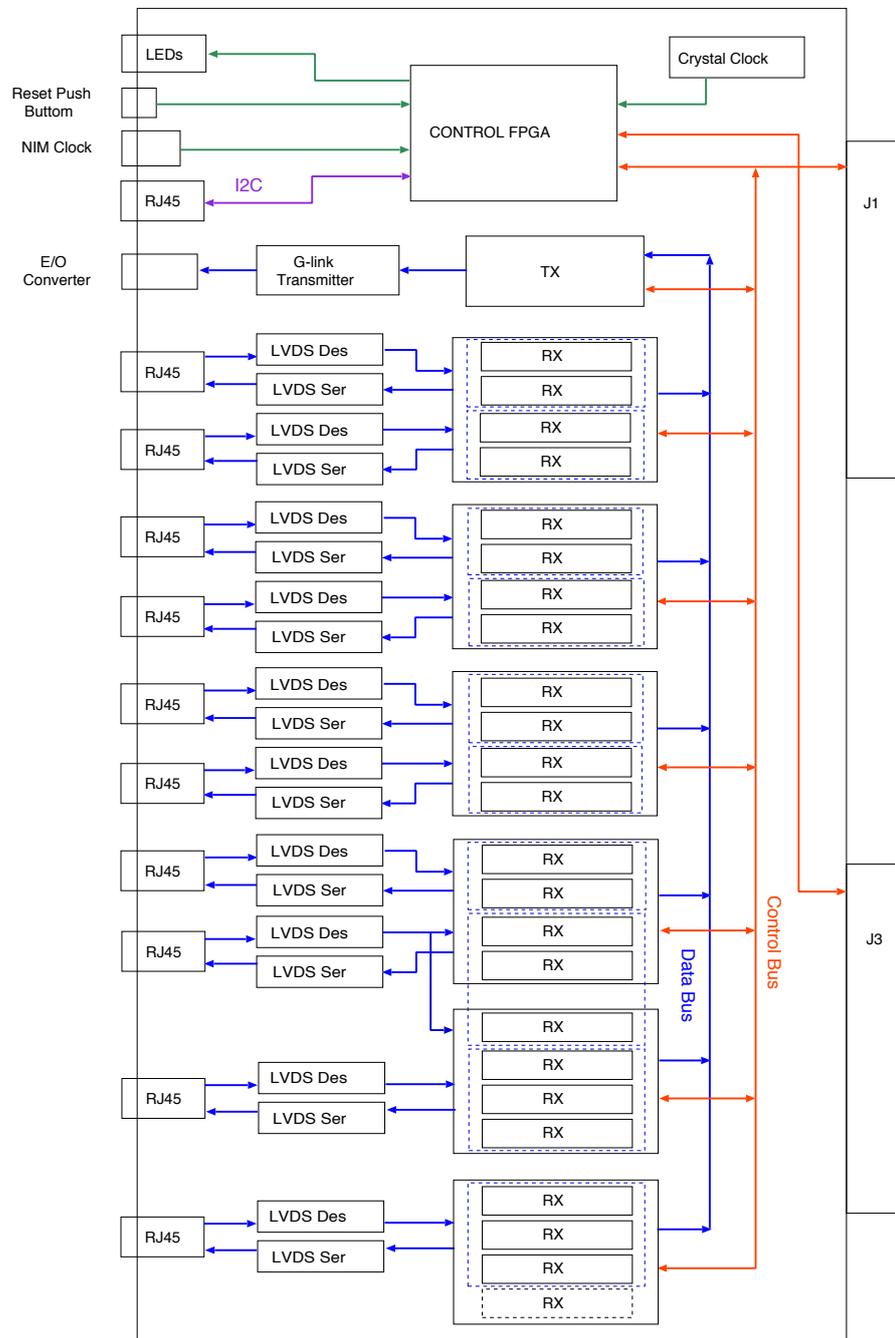


図 3.16 SSW ボード上での信号の流れの模式図。SLB ASIC から受けた入力はずまず RX で処理され、その後 TX に送られて G-Link 信号に変換されて ROD に送られる。

第 4 章

TGC によるトリガーの現状と展望

本章では 2012 年現在の TGC のトリガーの現状とその問題点を述べ、それに対する対策とその期待される効果を見積もる。

4.1 トリガーレート

現状の TGC トリガーは実際にミュオンが飛来するレートに対し、トリガーレートが高くなっている。これは低運動量の陽子によるバックグラウンドであると考えられている。

図 4.1 に、ある run で得られたレベル 1 ミュオントリガー数とオフラインで再構成されたミュオン数の η 分布を示す。

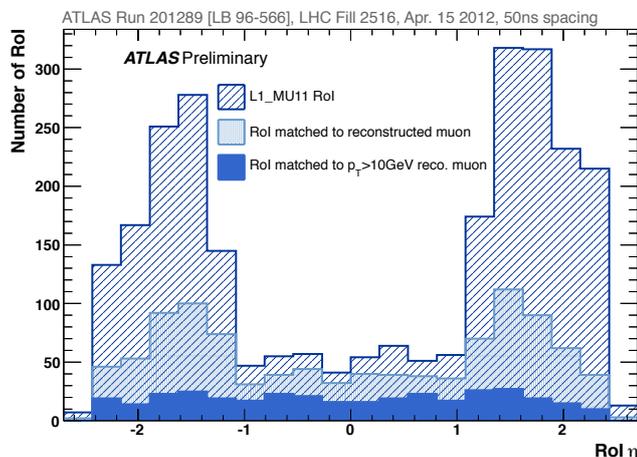


図 4.1 2012 年の run でのミュオンが飛来したイベント数とトリガー発行数との比較。実際のミュオンの飛来数に対してトリガー数が多くなっている [12]。

図 4.1 中には以下の 3 つの η 分布が示されている。

1. L1_MU11 : Endcap で 10GeV, Barrel で 11GeV の p_T 閾値でトリガーされたレベル 1 ミュオントリガーの数を表している。
2. RoI matched to reconstructed muon : 1. のうち衝突点由来のミュオンがオフライン解析で再構成されたものの数を表している。
3. "RoI matched to $p_T > 10\text{GeV}$ " : 2. のうち、オフラインで再構成されたミュオンの p_T

が10GeV以上であったものの数を表している。

図4.1から、 $1.0 < |\eta| < 2.4$ の領域では再構成されたミュオンの数に比べて発行されたトリガーの数が多く、再構成されたミュオンの数の約2-3倍のトリガーが発行されていることが分かる。

TGCのトリガーレートとミュオンの飛来レートの差はバックグラウンドに起因する。このバックグラウンド源は主に衝突点以外から飛来する荷電粒子であると考えられる。この荷電粒子がトロイド磁場で軌跡を曲げられ、TGCのBW3層にヒットする。このヒットが高い p_T のミュオンによるヒットと同じような信号を残すと、高い p_T のミュオンとしてトリガーされてバックグラウンドとなる。このバックグラウンドの模式図を図4.2に示す。

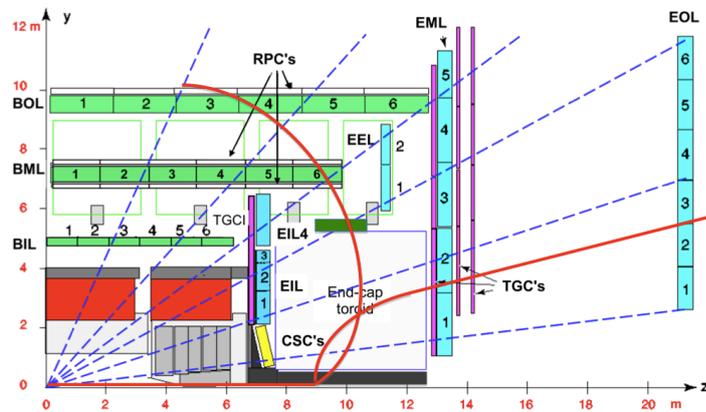


図4.2 バックグラウンド模式図 [13]。衝突点以外から飛来する荷電粒子(赤線)がTGC3層にヒットし、バックグラウンドとなる。

バックグラウンドのトリガーレートはビームのルミノシティに比例しており、ビーム衝突に起因したものである。また、トリガーが発行されたトラックのうち、内部飛跡検出器にヒットがあったトラックと内部飛跡検出器にヒットがなかったトラックに関して、粒子の速度が測定されている。その結果を図4.3に示す。

図4.3に示されるように、内部飛跡検出器にヒットのないトラックは低速である。また図4.1が示すようにその飛来数がA-side側に多いことから、正電荷の重い粒子である陽子がこのバックグラウンドを作っていると考えられる。

4.2 LHC アップグレード後 (2015 年以降) のトリガー

LHC アップグレード後は、ルミノシティが $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ 、重心系エネルギーが 13 TeV となり、その後ルミノシティが最大で $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ まで上げられる。この環境下では、現在のトリガーロジックの下、20 GeV の p_T 閾値でのレベル1トリガーレートは 12 – 25 kHz まで上がることが予想される。レベル1トリガーのトリガーレートは下流のトリガー(レベル2トリガー、イベントフィルター)のために約 15 kHz に制限されているが、アップグレード後のTGCのトリガーはこの制限を超えることが予想されるので、トリガーレートを抑える必要がある。

トリガースキームを変えずにトリガーレートを抑えるためには p_T 閾値を上げる必要があるが、 p_T 閾値を上げると物理解析に有用なデータを効率的に取得することが出来なくなる。例えば p_T

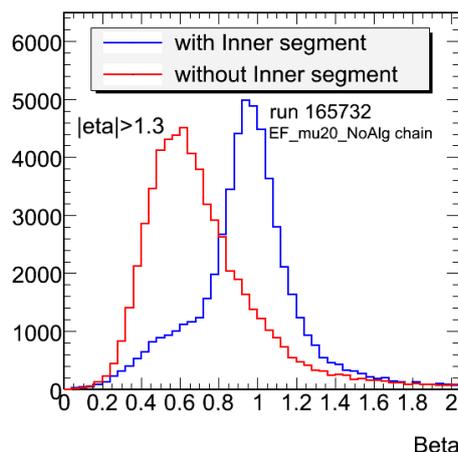


図 4.3 トリガーが発行されたトラックの $\beta (= \frac{v}{c})$ 分布。青は Inner Station ヒットを伴ったトラック、赤は内部飛跡検出器にヒットを伴わないトラックを表す。赤は速度が遅く ($\beta < 1$)、低運動量の重い粒子であると予想される [14]。

閾値を 40GeV に上げた場合、 $Higgs \rightarrow WW$ でミューオンを含む崩壊モードのデータ取得効率は半分以下となる。また $Higgs \rightarrow \tau\tau$ でミューオンを含む崩壊モードではミューオンの p_T 分布はよりソフトになるため、効率的にデータを取得するためには p_T 閾値を可能な限り低くすることが必須である。これらの理由から、LHC のアップグレード後もミューオンの p_T 閾値を 20 GeV に保つ必要があり、その対処として現在のトリガーイベントに含まれるバックグラウンドを取り除いてトリガーレートを下げるといった改良を加えることにした。

4.3 EI/FI を用いたトリガー

現在のバックグラウンドによるトリガーを除く手段として、EI/FI の情報をコインシデンスロジックに組み込むトリガーを考案した。TGC で発行されるトリガーのうち、EI/FI に覆われた領域で発行されたトリガーが衝突点から飛来するミューオンによるものならば、トラックが EI/FI を通過し、EI/FI に信号を残す。BW 信号に加えて EI/FI 信号を要求することで、衝突点以外から飛来する荷電粒子によるトリガーを削減することが可能である。

EI/FI を要求する条件

BW が覆っている領域は $1.0 < |\eta| < 2.4$ だが、図 4.4 に示すように、EI/FI が覆っている領域は $1.0 < |\eta| < 1.9$ だけであり、また $1.0 < |\eta| < 1.3$ の領域ではチェンバーが全方位角を覆っておらず、欠けがある。トリガー効率を高く保つためには、EI/FI に覆われた領域に飛来したトラックのみに対して EI/FI ヒットを要求する必要がある。

各 ROI に対し、トラックに EI/FI ヒットを要求した場合のトリガー効率の変化をモンテカルロ・シミュレーションで見積もった。 $p_T = 20$ GeV のミューオンが飛来した時、(20 GeV の p_T 閾値で発行されたトリガーのうち、EI/FI にヒットを残したものの数)/(20 GeV の p_T 閾値で発行されたトリガー数) をモンテカルロ・シミュレーションで見積もった結果を図 4.4 に示す。

図 4.4 が示すように EI/FI に覆われた領域の ROI ではトラックが EI/FI にヒットを残す割合が大きく ($> 95\%$)、このような領域では EI/FI にヒットを要求することによる、衝突点から飛来

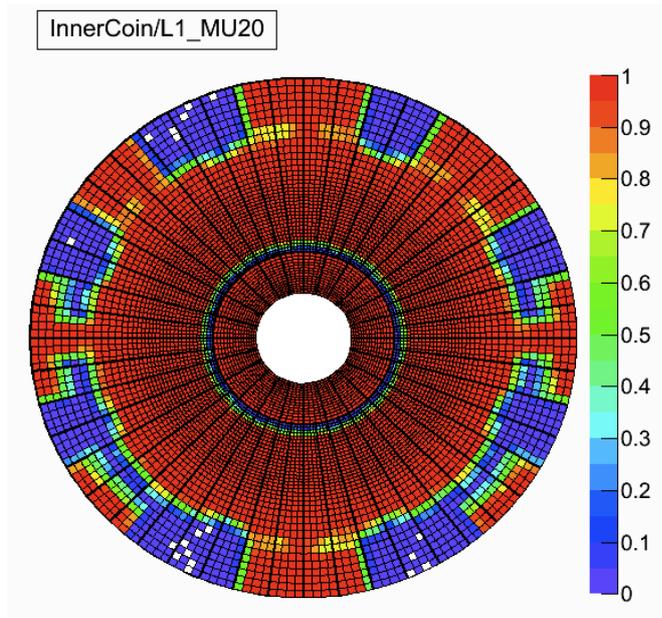


図 4.4 各 ROI に対する (20 GeV の p_T 閾値で発行されたトリガーのうち、EI/FI にヒットを残したものの数)/(20 GeV の p_T 閾値で発行されたトリガー数) を示している [15]。

するミューオンに対するトリガー効率への影響は 5 % 以下と小さい。

EI/FI を用いたトリガーによるトリガー削減

TGC で発行されるトリガーのうち、EI/FI にヒットを伴うものと伴わないものの割合をシミュレーションで算出し、図 4.5、図 4.6 のような結果を得た。このシミュレーションから、EI/FI に囲まれた領域で発行され、EI/FI ヒットを伴わないトリガーを 27% 程度削減できると見積もった。この結果から、EI/FI をトリガーロジックに追加することでバックグラウンドによるトリガーレートを効果的に削減できることが分かった。

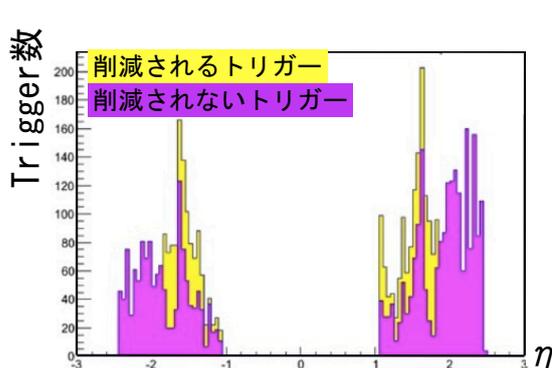


図 4.5 トリガー数の η 依存性。横軸は η 、縦軸はトリガー数である。赤 + 黄色は発行された全トリガー数を表し、黄色は EI/FI をトリガースキームに組み込むことで削減されるトリガー数を表す [16]。

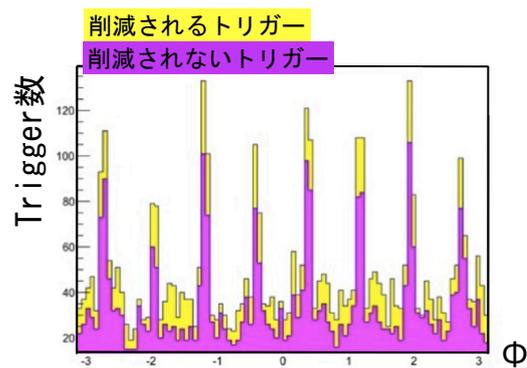


図 4.6 トリガー数の ϕ 依存性。横軸は ϕ 、縦軸はトリガー数である。赤 + 黄色は発行された全トリガー数を表し、黄色は EI/FI をトリガースキームに組み込むことで削減されるトリガー数を表す [16]。

2012 年現在のトリガーと LHC アップグレード後に予想されるトリガー (EI/FI を用いたトリガーを実装した場合と実装しなかった場合) のトリガーの比較を表 4.1 に示す。LVL1 ミューオントリガーレートは 15kHz まで許されている。EI/FI を用いたトリガーを実装することにより、LHC のルミノシティ増加後もトリガーレートに余裕を持たせることが出来る。

表 4.1 現在のトリガーレートと LHC アップグレード後の予想トリガーレートの比較。LHC アップグレード後の予想トリガーレートには EI/FI 情報を用いたトリガーを実装する場合としない場合の両方の予想を記した。

	ルミノシティ ($\times 10^{34} \text{cm}^{-2} \text{s}^{-1}$)	TGC によるトリガーレート (kHz)
2012	0.7	5
2015(EI/FI トリガーなし)	1	12.8
2015(EI/FI トリガーなし)	2	25.6
2015(EI/FI トリガーあり)	1	9.7
2015(EI/FI トリガーあり)	2	19.4

第5章

Sector Logic(SL)

本章では TGC で使用されている Sector Logic(以下、SL) について述べる。まず SL の概要、SL が受ける入力信号について述べ、その後 SL が p_T を算出してトリガー判定を行う手順について詳しく解説する。

5.1 Sector Logic の概要

SL は TGC のトリガー系回路の最終段を担当するモジュールである。SL の主な役割は、TGC のワイヤーヒット情報から得られた ΔR 、ストリップヒット情報から得られた $\Delta\phi$ をあわせてミュオントラックの p_T を算出すること、各トラックの ROI(2.5.2 節参照) を決定すること、各トリガーセクターで2つまでトラックを選別することである。トラックは p_T の高い順に最大2つまで選別される。

これまで SL は HPT ボードから受けた BW の High-Pt コインシデンス情報だけをトリガー判定に使用してきた。実際には SL は BW 情報の他に、EI/FI チェンバーからの信号も受け取っている。EI/FI の信号は PS ボードから受けており、HPT ボードは通っていない。EI/FI の SLB ASIC の信号は、8ch の OR を 1 bit として G-Link 信号に変換されて SL に送られる。新しく開発した回路では4章で説明したバックグラウンドを落とすため、この EI/FI の情報を用いる。この新しい回路については第6章で改めて述べる。

SL は以下の要求を満たすように設計されている。

1. LHC の衝突周波数 40.08MHz に同期し、デッドタイムレスに動作すること。
2. ミューオンの6段階の p_T 閾値が自由に変更可能であること。
3. HPT ボードからの入力情報と SL のトリガー情報が読み出し可能であること。

1の条件を満たすため、SLの動作クロックにはLHCのRFクロックを起源としたTTCクロックが用いられる。2の条件を満たすため、SL上のFPGAのブロックRAMという機能が使用されている。SLは ΔR と $\Delta\phi$ の組から p_T を算出する。TGCの各ROIに対し、この ΔR と $\Delta\phi$ の組と p_T との対応表(Coincidence Window, CW)を予め作っておく。CWの作成にはシミュレーションを用いる。各ROIについてこのCWの対応をブロックRAMに記憶させておくことで、 p_T の算出をボード上で行うことができる。また、ミュオンの p_T 閾値を変えるには、ブロックRAMに記憶させる値を変えるだけでよい。

3の条件を満たすため、SLのボード上にSLB ASIC(3.3.4節)が搭載されており、通常のTGC

ヒットデータと同様の処理で読み出される。

5.2 Sector Logic ボード

SL ボードには Endcap 用と Forward 用の 2 種類があり、どちらも 1 枚のボードで 2 トリガーセクターを担当する。SL の写真を図 5.1 に、SL の概略図を図 5.2 に示す。

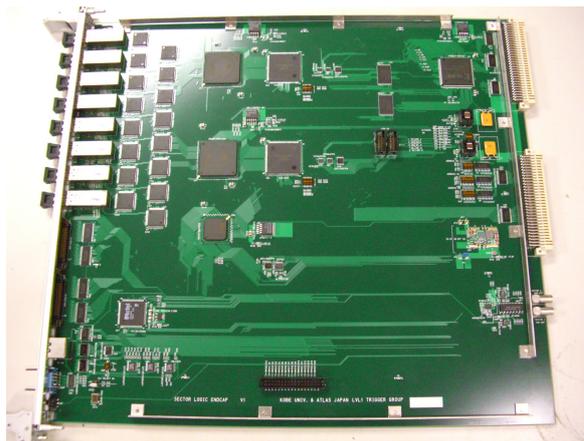


図 5.1 Endcap SL ボードの写真

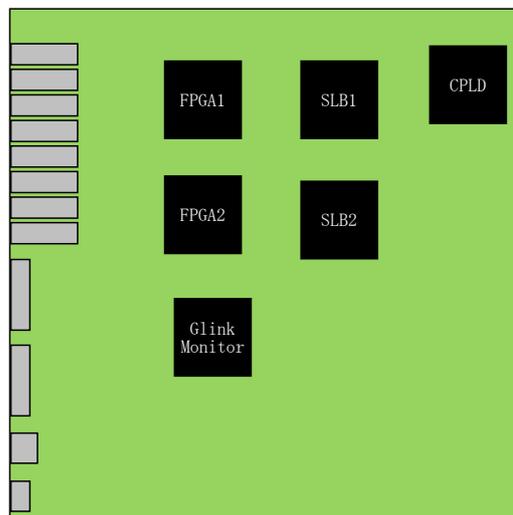


図 5.2 SL ボード模式図。ボード上の FPGA, CPLD, SLB の位置関係を示す

SL ボードには主要な IC として Sector Logic FPGA, G-Link Monitor FPGA, VME access CPLD, SLB ASIC が搭載されている。以下に各 IC の機能を解説する。

- Sector Logic FPGA

Sector Logic FPGA はトリガーのロジックを実装する FPGA である。1 つの FPGA で 1 つのトリガーセクターを処理する。SL ボード 1 枚に 2 つの Sector Logic FPGA が搭載されており、SL は 1 枚で 2 つのトリガーセクターを担当する。Sector Logic FPGA には Xilinx 社の Virtex2 シリーズを使用しており、Endcap には XC2V3000-BG728 を、Forward には XC2V1000-BG575 を採用している。各 FPGA のリソースとその使用率を表 5.1, 5.2 に示す。

- G-Link Monitor FPGA

HPT と SL 間のデータ通信は G-Link プロトコルを用いて行われる。G-Link Monitor FPGA は HPT ボードから入力される G-Link 信号の監視制御を行う。G-Link Monitor FPGA は信号受信用の IC を監視し、通信エラーを検知したら自動的に復旧させる。G-Link Monitor FPGA には Xilinx 社の Spartan-II シリーズを使用し、Endcap には XC2S150E-FG456 を、Forward には XC2S50E-PQ208 を採用している。

- VME Access CPLD

VME Access CPLD は VME を通じて SL ボード上の各 IC をコントロールする。VME Access CPLD の主な役割は、SL ボード上の各 FPGA の設定を行うこと、SLB ASIC のコントロールを行うことである。CPLD には Xilinx 社の XC2C256-6PQ208 を採用して

表 5.1 Endcap FPGA(C2V3000-BG728) の搭載リソースとその使用状況

Endcap	搭載リソース	使用量	使用率
メモリ	1728 kb	1656 kb	96%
Flip Flop Slice 数	28,672	6,476	22%
LUT 数	28,672	10,977	38%
Block RAM 数	96	86	89%

表 5.2 Forward FPGA(XC2V1000-BG575) の搭載リソースとその使用状況

Forward	搭載リソース	使用量	使用率
メモリ	720 kb	576 kb	80%
Flip Flop Slice 数	10,240	3,146	30%
LUT 数	10,240	5,327	52%
Block RAM 数	40	34	85%

いる。

- SLB ASIC SL ボード上の SLB ASIC には TGC のリードアウト系と同じものを用いており、SSW を通じて読み出しを行う。1 つの SLB ASIC は 1 つの Sector Logic FPGA の情報を読み出すため、1 枚のボード上に 2 つの SLB ASIC が搭載されている。

SL ボードは現在、検出器から離れたカウンティングルーム (USA15) に設置されている。USA15 内の写真を図 5.3 に示す。ATLAS では合計 72 枚の SL が用いられ、144 トリガーセクターを処理している。



図 5.3 USA15 内の写真。SL は図の左側に見える 4 つのラックに取められている。

5.3 Sector Logic への入力信号

本節では SL に入力される信号について解説する。SL には HPT ボードから BW High-Pt coincidence 情報が、PS ボードから EI/FI 情報が入力される。

HPT ボード、PS ボード SL との間の通信には G-Link と呼ばれる通信技術が用いられる。G-Link は信号を光信号としてシリアライズし、光ケーブルで送信する。1 本の光ケーブルは 16 bit または 17 bit を送信する。HPT ボード、PS ボードは TTC クロックに同期して約 40MHz で信号を送り、各ケーブルでの信号の伝送速度は $16(17) \times 40M = 640(680)Mbps$ となる。

BW 信号

Endcap SL は 1 つのトリガーセクターにつき 6 本の光ファイバーで HPT 出力を受け取る。4 本はワイヤー HPT 出力の送信に使用され、そのうち 3 本は 17 bit, 1 本は 16 bit を送信し、合計で $17 \times 3 + 16 = 67$ bit を送信する。

残りの 2 本はストリップ HPT 出力の送信に使用され、2 本とも 17 bit を送信し、合計で $17 \times 2 = 34$ bit を送信する。1 枚の SL ボードは 2 トリガーセクターを担当するので、 $(4 + 2) \times 2 = 12$ 本の光ファイバーで HPT 出力を受ける。

Forward SL は 1 つのトリガーセクターにつき 3 本の光ファイバーで HPT 出力を受け取る。そのうち 2 本はワイヤー HPT 出力の送信に使用され、合計で 34 bit を送信する。残りの 1 本はストリップ HPT 出力の送信に使用され、合計で 16 bit を送信する。1 枚の SL ボードは 2 トリガーセクターを担当するので、 $(2 + 1) \times 2 = 6$ 本の光ファイバーで BW 信号を受ける。

1 つのトラック情報はワイヤーからは 10 bit, ストリップからは 9 bit で入力され、その内訳は表 5.3 のようになる。

表 5.3 SL が HPT から受ける入力データフォーマット。ただし、ワイヤー HPT のうち 1 トラックだけは HITID の 3 bit がなく、7 bit で入力される。

Bit	Wire	Strip
0	$\Delta R[0]$	$\Delta \phi[0]$
1	$\Delta R[1]$	$\Delta \phi[1]$
2	$\Delta R[2]$	$\Delta \phi[2]$
3	$\Delta R[3]$	Sign
4	Sign	H/L
5	H/L	POS
6	POS	HITID[0]
7	HITID[0]	HITID[1]
8	HITID[1]	HITID[2]
9	HITID[2]	Not used

HPT 出力に含まれる各パラメータの定義は以下の通りである。

- HITID

ミューオンのヒット位置に関する情報である。ワイヤー、ストリップとも2つのROIをまとめた単位での位置情報を持っている。HITIDは3bitで、0-7の値をとる。

- POS

HITIDで指定される領域を更に絞る位置情報である。HPT ASIC番号, HITID, POSの3つの情報をあわせることでヒットのあったROIが特定される。POSは1bitで、0または1の値をとる。

- High/Low flag

High-Pt コインシデンスが取れたイベントであるかどうかを示す。High Low flagは1bitで、0または1の値をとる。

- Sign

トラックの曲がった方向を示す。これはミューオンの電荷に対応する。Signは1bitで、0または1の値をとる。

- ΔR

トラックのR方向の曲がり具合を示す。 ΔR はワイヤー HPT 出力のみに含まれ、4bitで0-15の値をとる。

- $\Delta\phi$

トラックの ϕ 方向の曲がり具合を示す。 $\Delta\phi$ はストリップ HPT 出力のみに含まれ、3bitで0-7の値をとる。

EI/FI 信号

EI/FI情報はEndcap領域のSLボードにのみ入力される。1枚のSLボードは4本の光ファイバーで64bitのEI/FI情報の入力を受ける。1枚のSLボードは2つのトリガーセクターを担当するが、64bitの入力は2つのトリガーセクター両方で使用されるため、入力信号はSLボード上で2つに分けられ、2つのFPGAに入力される。

EI/FIから1本のファイバーでSLに送られる信号のフォーマットは表5.4のようになる。EI/FI情報の1bitはEI/FIチェンバーのワイヤーまたはストリップの8チャンネルのORをとり、2層のチェンバーのORをとったもの(1 out of 2 coincidence)である。1つのEI Doubletのワイヤーは24チャンネル、ストリップは32チャンネルあり、1つのFI Doubletはワイヤー、ストリップ共に32チャンネルある。よって、1つのEI Doubletはワイヤー情報を3bit、ストリップ情報を4bitに載せてSLに送る。また1枚のFI Doubletはワイヤー情報、ストリップ情報とも各4bitにエンコードしてSLに送る。

尚、表5.4内の”EI”は、EI/FIのうち $|\eta| < 1.3$ の領域を覆うチェンバー、”FI”はEI/FIのうち $|\eta| > 1.9$ を覆うチェンバーを示している。

表 5.4 SL が EI/FI PS ボードから受ける入力データフォーマット。

Bit	Signal	Bit	Signal
0	EI strip ch24–31 OR	8	FI strip ch24–31 OR
1	EI strip ch16–23 OR	9	FI strip ch16–23 OR
2	EI strip ch8–15 OR	10	FI strip ch8–15 OR
3	EI strip ch0–7 OR	11	FI strip ch0–7 OR
4	EI wire ch16–23 OR	12	FI wire ch24–31 OR
5	EI wire ch8–15 OR	13	FI wire ch16–23 OR
6	EI wire 0–7 OR	14	FI wire ch8–15 OR
7	Not used	15	FI wire ch0–7 OR

5.4 Sector Logic 内の信号処理

本節では Sector Logic 内での信号処理について解説する。SL では FPGA 内で多数の機能ブロックを繋いでパイプライン処理している。SL FPGA 内のブロック図を図 5.4 に示す。

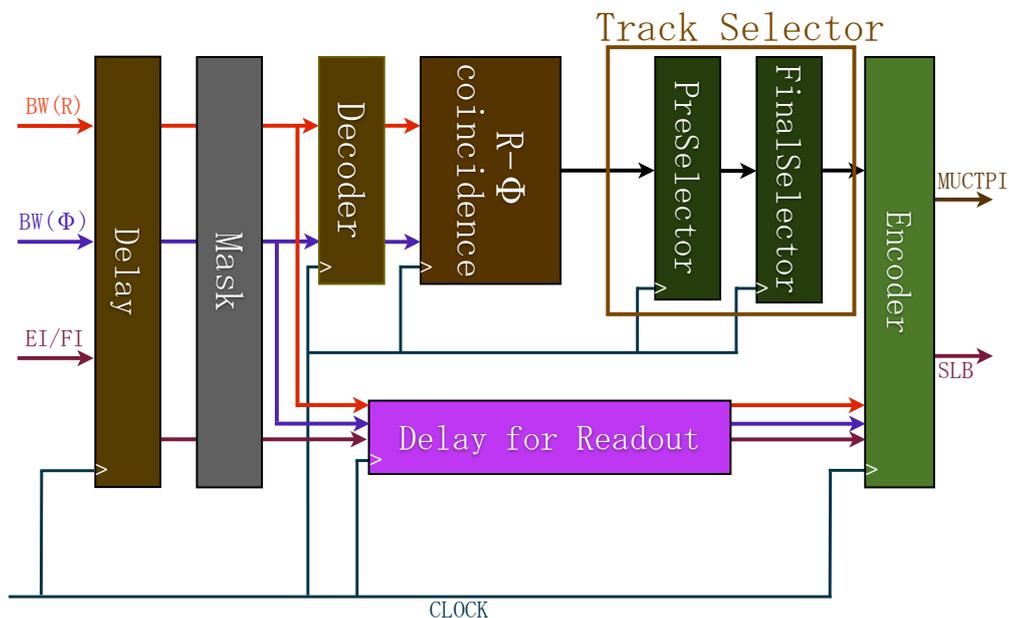


図 5.4 SL FPGA 内ブロック図

5.4.1 Delay

Delay は信号の入力時間を遅らせる機能である。フリップフロップ (FF) を連結したシフトレジスタを使用し、遅延時間は半 CLK 単位で設定することができる。また遅延時間の設定は SL のコントロールレジスタで行われ、最大 15.5 CLK の遅延をかけることができる。

5.4.2 MASK

MASK は信号にマスクをかけ、以降の処理に使用しないようにする機能である。SL で用いている mask 機能は 2 種類あり、1 つは H-L mask, もう 1 つは EI/FI mask である。H-L mask は High-Pt coincidence がとれなかったトラックをマスクする。EI/FI mask は EI/FI からの入力信号を EI/FI チェンバー単位でマスクする。MASK 機能を使うかどうかの設定はコントロールレジスタで行われる。

5.4.3 Decoder

Decoder は HPT 出力からミュオンヒット位置及び ΔR , $\Delta\phi$ の値を抽出する機能である。5.3 節で述べたように、HPT ボードから送られる BW 信号には HITID, POS, High/Low flag, Sign, ΔR , $\Delta\phi$ の情報が含まれる。このうち HITID, POS は後でヒット位置の算出に用いられ、High/Low flag, Sign, ΔR , $\Delta\phi$ は軌跡の曲がり具合の算出に用いられる。

Decoder でのヒット位置判定は SSC(Sub Sector Cluster) 単位で行われる。図 3.9 にあるように、SSC は 8 つの ROI の集まりであり、Endcap 領域では 19 個の SSC で 1 つのトリガーセクターが構成され、Forward 領域では 8 個の SSC で 1 つのトリガーセクターが構成される。(図 3.9 参照)

Decoder は HITID の値からトラックのあった SSC を特定し、またその SSC で p_T , ROI を算出するために必要なパラメータ (POS, High/Low flag, Sign, $\Delta R(\phi)$) を次の機能 (R- ϕ coincidence) に渡す。

5.4.4 R- ϕ coincidence

R- ϕ coincidence は Decoder で得た ΔR , $\Delta\phi$ 情報から LUT を参照して p_T を算出する処理機能である。

p_T の算出は SSC ごとに行われる。1 つの SSC に複数のトラックがあった場合、そのうち 1 つだけが選出される。SSC 内でのトラック選出の優先順位は

1. p_T の大きい順
2. R の大きい順
3. ϕ の小さい順

である。トラックのあった各 SSC はトラックの p_T , ROI の情報を下段の TrackSelector に送る。

5.4.5 TrackSelector

TrackSelector は SSC から受けた情報を元に最大で 2 つのトラックを選び出す機能である。トラックの選出には PreSelector と FinalSelector という 2 段階の処理を用いる。

PreSelector

PreSelector は全 SSC からトラック情報を受け、各 p_T 値のトラックの中から最大で 2 つのトラックを選び出す機能である。優先順位は R の大きい順である。6 段階の各 p_T 値から 2 つずつ、最大で計 12 のトラックが次段の FinalSelector に送られる。

FinalSelector

FinalSelector は Preselector で選ばれたトラックから最大 2 つのトラックを選び出す機能である。トラックは p_T の高い順に選ばれ、同じ p_T のトラックについては R の値の大きい順に選ばれる。

5.4.6 Encoder

Encoder の役割は LVL1 トリガーを MuCTPI に送ること、HPT ボードからの入力情報及びトリガー情報を SLB ASIC に送ることである。

Encoder が MuCTPI に送る信号は 32 bit である。この 32 bit には最大で 2 つのトラック分の p_T 値と ROI の情報、バンチ識別番号が含まれる。SL が MuCTPI に送る信号のデータフォーマットを表 5.5 に示す。

表 5.5 SL が MuCTPI に送るデータのフォーマット

Bit	Endcap	Forward	Bit	Endcap	Forward
0	0	0	16	ROI2[6]	1
1	ROI1[0]	ROI1[0]	17	ROI2[7]	1
2	ROI1[1]	ROI1[1]	18	0	1
3	ROI1[2]	ROI1[2]	19	$p_{T1}[0]$	$p_{T1}[0]$
4	ROI1[3]	ROI1[3]	20	$p_{T1}[1]$	$p_{T1}[1]$
5	ROI1[4]	ROI1[4]	21	$p_{T1}[2]$	$p_{T1}[2]$
6	ROI1[5]	ROI1[5]	22	$p_{T2}[0]$	$p_{T2}[0]$
7	ROI1[6]	1	23	$p_{T2}[1]$	$p_{T2}[1]$
8	ROI1[7]	1	24	$p_{T2}[2]$	$p_{T2}[2]$
9	0	1	25	1	1
10	ROI2[0]	ROI2[0]	26	1	1
11	ROI2[1]	ROI2[1]	27	BC[0]	BC[0]
12	ROI2[2]	ROI2[2]	28	BC[1]	BC[1]
13	ROI2[3]	ROI2[3]	29	BC[2]	BC[2]
14	ROI2[4]	ROI2[4]	30	Sign1	Sign1
15	ROI2[5]	ROI2[5]	31	Sign2	Sign2

表 5.5 中の ROI1, ROI2 は 2 つのトラックの ROI、 p_{T1} , p_{T2} は 2 つのトラックの p_T を示す。また、BC はバンチ識別番号、Sign1, Sign2 は 2 つのトラックが R 方向で曲がった方向を示す。

Sign は粒子の電荷の正負に対応する。

第 6 章

新しいトリガー回路の開発, 実装とその性能評価

私は第 4 章に述べたバックグラウンドによるトリガーを削減するため、内部チェンバー (EI/FI) を用いた新しいトリガー回路を開発し、Sector Logic(SL) のファームウェアとして実装した。本章では新しい回路の開発, 実装について説明し、回路の性能評価を述べる。

6.1 内部チェンバー (EI/FI) を用いた新しいトリガー回路の開発

本節では SL の信号処理に EI/FI を用いた新しいトリガー回路について説明する。新しい回路で SL は Inner Coincidence という機能で EI/FI チェンバーでのヒットの有無を調べ、バックグラウンドによるトリガーを落とす。

図 4.4 に示すように、EI/FI は BW の全領域を覆ってはいない。そのため Inner Coincidence は EI/FI に覆われた BW の ROI にヒットしたトラックに対してのみ EI/FI ヒットを要求する。この新しい処理により 4 章に述べたバックグラウンドを抑えることが出来る。また、トリガーは落とさず EI/FI ヒットの有無だけを調べるモード (Monitoring mode) も作成・実装した。この Monitoring mode では、出力されるトリガーはこれまで用いられてきたものを変えず、新しいロジックを採用した場合の結果を別途記録するため、ATLAS 全体に影響を与えずに新しい回路の性能評価を行うことが出来る。Monitoring mode に対し、EI/FI チェンバーのヒットの有無によってトリガーを落とすモードを Suppressing mode と呼ぶ。尚、これらの処理は EI/FI からの入力を用いるため、アクセプタンスの対応がとれる Endcap 領域の SL にしか実装しない。Inner Coincidence を含んだ SL の信号処理を図 6.1 に示す。

6.1.1 Inner Coincidence

Inner Coincidence では EI/FI チェンバーのトリガー情報をトリガー判定に組み込む。Inner Coincidence を使うにあたり、各トラックが EI/FI チェンバーにヒットを要求するかどうかを設定しておく必要がある。この設定はコントロールレジスタを用いて行い、 p_T , ROI 単位で設定することが可能である。Inner Coincidence は R- ϕ coincidence の次の機能ブロックとして以下のように働く。

1. まず BW の R- ϕ coincidence で選ばれた全てのトラックについてその p_T , ROI で EI/FI

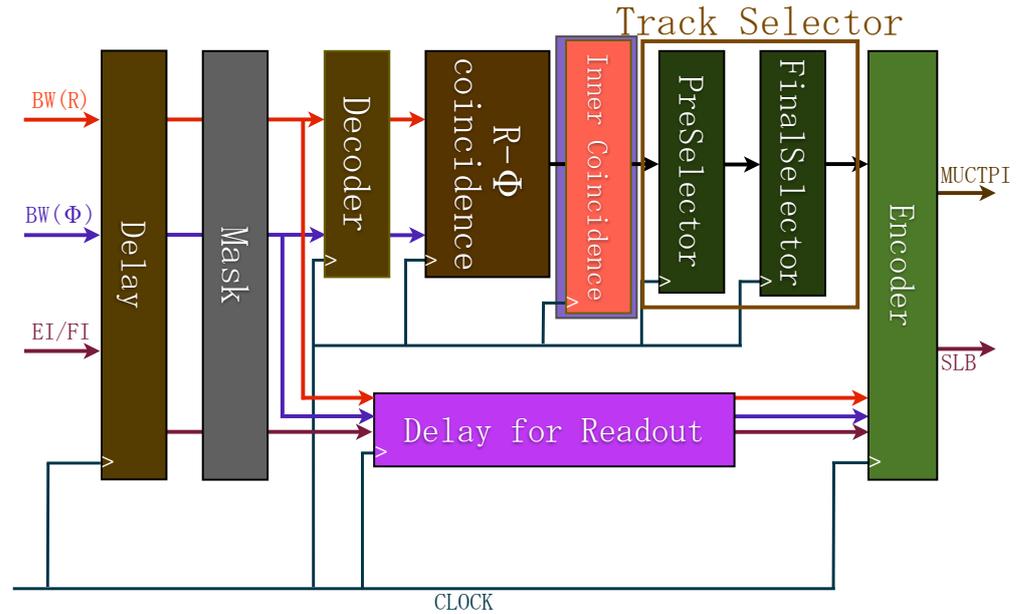


図 6.1 SL FPGA 内ブロック図。Inner Coincidence 処理が追加されている。

トリガーが要求されているかどうかを確認する。

2. EI/FI ヒットが要求されていないトラックに関しては R- ϕ coincidence から入力をそのまま下段の TrackSelector に渡す。
3. EI/FI ヒットが要求されているトラックに関しては、EI/FI にヒットがあったかどうかを確認する。EI/FI にヒットがあれば R- ϕ coincidence から入力された情報をそのまま下段の TrackSelector に渡す。EI/FI にヒットがなければそのトラックの情報は TrackSelector に渡さず、トリガー候補から外れる。

尚、EI/FI ヒットの定義は同一の EI/FI チェンバー Doublet 内でストリップ、ワイヤーの両方について Low-Pt coincidence がとれることである。各トリガーセクターは 8 つ (または 7 つ) の EI/FI Doublet から入力を受ける。これら 8(7) つの Doublet のうち、1 つでもストリップ、ワイヤーの両方で Low-Pt コインシデンスがとれたら EI/FI にヒットがあったとみなす。

6.1.2 Monitoring mode

Monitoring mode はトリガーを落とさずに EI/FI ヒットの有無だけを調べるために導入された。このモードでは ATLAS 全体に影響を与えることなくトリガー回路改良のためのデータを取得することが出来る。

Monitoring mode では、Inner Coincidence は R- ϕ coincidence から受けた信号に 1 bit の情報を加えて TrackSelector に渡す。この 1 bit を”veto bit”と呼ぶ。EI/FI にヒットが要求されているトラックが EI/FI ヒットを伴っていない場合、この veto bit の値を 1 とし、それ以外の場合は veto bit を 0 とする。veto bit の値はトリガー判定には反映されないが、SL はトリガーにトラックの veto bit の情報を加えて出力する。veto bit の情報は記録されるデータに残るので、新しいトリガーの評価に用いることが出来る。veto bit 情報を含んだトリガーのフォーマットを表

表 6.1 veto bit 情報を含んだトリガーのフォーマット

Bit	Endcap	Forward	Bit	Endcap	Forward
0	0	0	16	ROI2[6]	1
1	ROI1[0]	ROI1[0]	17	ROI2[7]	1
2	ROI1[1]	ROI1[1]	18	veto bit2	1
3	ROI1[2]	ROI1[2]	19	p _T 1[0]	p _T 1[0]
4	ROI1[3]	ROI1[3]	20	p _T 1[1]	p _T 1[1]
5	ROI1[4]	ROI1[4]	21	p _T 1[2]	p _T 1[2]
6	ROI1[5]	ROI1[5]	22	p _T 2[0]	p _T 2[0]
7	ROI1[6]	1	23	p _T 2[1]	p _T 2[1]
8	ROI1[7]	1	24	p _T 2[2]	p _T 2[2]
9	veto bit1	1	25	1	1
10	ROI2[0]	ROI2[0]	26	1	1
11	ROI2[1]	ROI2[1]	27	BC[0]	BC[0]
12	ROI2[2]	ROI2[2]	28	BC[1]	BC[1]
13	ROI2[3]	ROI2[3]	29	BC[2]	BC[2]
14	ROI2[4]	ROI2[4]	30	Sign1	Sign1
15	ROI2[5]	ROI2[5]	31	Sign2	Sign2

6.1 に示す。veto bit は出力トリガーの 9 bit 目と 18 bit 目に対応する。

Monitoring mode で用いるトリガー判定条件はこれまで使われてきたものと変わらない。そのため Monitoring mode では ATLAS 全体にこれまで通りのトリガーを供給しながら、トリガー回路改良のためのデータを取得することができる。

6.2 新しいトリガー回路の実装

本節では 6.1 節で述べた新しいトリガー回路の実装にあたって行ったことを述べる。

6.2.1 消費 CLK 数増加への対応

Inner Coincidence は R- ϕ coincidence の信号を受けてから TrackSelector に出力するまでに 1 CLK を消費する。その影響により、SL が HPT ボードの信号を受けてから MuCTPI にトリガーを出力するまでにかかるレイテンシーは 1 CLK(25 nsec) 分だけ増加する。回路実装前は SL のレイテンシーは 7 CLK であったが、回路の実装によってこれが 8 CLK となった。新しいトリガー回路の実装にあたり、レイテンシー増加への対処を行った。

まずトリガー全体のレイテンシーを今までと同一の値にするため、MuCTPI の入力ディレイ値を 1 つ減らした。MuCTPI には、各セクターからの入力に対してディレイをかける機能がある。これはケーブル長の違い等によるセクターごとのトリガー出力タイミングのばらつきを解消するためである。レイテンシーが 1 CLK 分増えることにより、MuCTPI が SL からトリガーを受けるタイミングは 1 CLK 分遅れる。この遅れを解消するため、TGC の全セクターに対して

MuCTPI の入力ディレイ値を 1 CLK 分減らした。

また、SL ボード上 SLB ASIC の読み出し FIFO の深さを変更した。SL のレイテンシー増加により、HPT からの入力情報とトリガー情報が SLB ASIC に入るタイミングも 1 CLK 分だけ遅れる。この遅れは SLB ASIC の読み出し FIFO の深さを 1 だけ減らすことで対応した。

また、BCR delay というパラメータの値を 1 つ減らした。BCR(Bunch counter reset) は、バンチ番号を 0 に戻す命令信号である。BCR は CTP から全検出器に配られ、各検出器は BCR を受けてから固有の delay をかけてからバンチ識別番号を 0 にする。SL ではこの delay の長さを BCR delay が設定している。SL のレイテンシーが増加し、これまでに比べて SL の出力は 1 CLK 分遅れる。BCR delay 値を 1 つ減らし、バンチ識別番号を 0 に戻すタイミングを 1 CLK 分早めることで出力に正しいバンチ識別番号を与えるようにした。

6.2.2 SL FPGA へのコントロールレジスタの追加

Inner Coincidence の実装にあたり、Inner Coincidence 機能の動作を制御するコントロールレジスタを追加した。このレジスタにより、各トラックが EI/FI チェンバーにヒットを要求するかどうかの設定、及び SL の動作モードの設定 (Monitoring mode か Suppressing mode か) を行う。

トラックが EI/FI チェンバーにヒットを要求するかどうかの設定には、各 p_T , 各 ROI に与えられた 1 bit のレジスタを用いる。Endcap 領域の TGC は各トリガーセクターで 148ROI があり、TGC のトリガーに用いる p_T 閾値は 6 段階あるため、ROI の設定用に 148 bit, p_T の設定用に 6 bit のレジスタを実装した。また、動作モード制御のために 1 bit のレジスタを実装した。VME 経由でこれらのレジスタの値を書き換えることにより、トラックの EI/FI ヒット条件と動作モードを変更することが出来る。

6.2.3 新しい回路の動作確認

新しく開発した回路を ATLAS に実装する前に、回路シミュレーションを用いた Inner Coincidence の動作確認とテストベンチを用いた SL 全体の動作確認を行った。

回路シミュレーションを用いた動作確認

新しく開発した Inner Coincidence 機能の動作確認のため、回路シミュレーションを行った。シミュレータには Xilinx 社の Xilinx ISE Simulator を使用した。このシミュレーションにより、Suppressing mode で SL が正しく動作する (要求した EI/FI コインシデンスがとれなければそのトラックをトリガー候補から外す) ことと、Monitoring mode で SL が正しく動作する (要求した EI/FI コインシデンスがとれなければトラックの情報に 1 bit の veto bit を付加する) ことを確認した。シミュレーションの例を図 6.2, 図 6.3 に示す。図 6.2 は Suppressing mode, 図 6.3 は Monitoring mode の動作をシミュレーションしている。



図 6.2 Suppressing mode での回路シミュレーション。EI/FI hit があるトラック (220 nsec 付近) では $p_T = 6$ のトリガー候補が出力されている。EI/FI hit のないトラック (300 nsec 付近) ではトラックがトリガー候補から外されている (トリガー候補ではないことを示す $p_T = 7$ が出力されている)。



図 6.3 Monitoring mode での回路シミュレーション。EI/FI hit があるトラック (220 nsec 付近) では $p_T = 6$ のトリガーが出力されており、veto bit の値は 0 である。EI/FI hit のないトラック (300 nsec 付近) では $p_T = 6$ のトラックが出力されているが、veto bit の値が 1 になっている。

テストベンチを用いた動作確認

SL全体の動作確認のため、CERNとKEK(高エネルギー加速器研究機構)にテストベンチシステムを構築した。テストベンチではSLに入力する165 bitのG-link信号を任意に作り、それに対するSLの出力との整合性を調べることができるようになっている。

SLの入力信号はPulse Pattern Generator(PPG)で作成される。PPGは6UのVMEボードで、1枚につき32 bitのデータを2本のLVDS flat cableで送信する。PPGのデータはG-link TX for SLというモジュールに入力され、G-link信号に変換される。G-link TX for SLは2枚のPPGから64 bitのデータを受け、17 bitのG-link信号を2つ、16 bitのG-link信号を1つ出力する。ただし、SLのテストに必要なG-Link出力は17 bit出力が5つ、16 bit出力が5つなので、5枚のG-link TX for SLを使用し、そのうち1枚は2つの17 bit出力のうち1つだけを使用し、2枚は17 bit出力を使用しない。17 bit出力が使われないボードは、PPG1枚の入力からG-link信号を作る。SLのテストベンチでは8枚のPPGと5枚のG-Link TX For SLを使用してHPTボード、PSボードからの入力信号を作成した。

SL上のSLB ASICの出力はCAT6ケーブルでSSWに送られ、SSWはG-Link形式で信号をRODに送る(3.3節参照)が、テストベンチではRODの代用としてVME汎用モジュールであるPT5(Prototype5)を使用した。PT5がSSWから受けたデータはVMEを通じてSBC(single board computer)で読み出される。テストベンチシステムの模式図を図6.4に示す。このテストベンチシステムの構築により、任意の入力信号に対するSLの出力を調べ、その動作の整合性を確認することを可能にした。

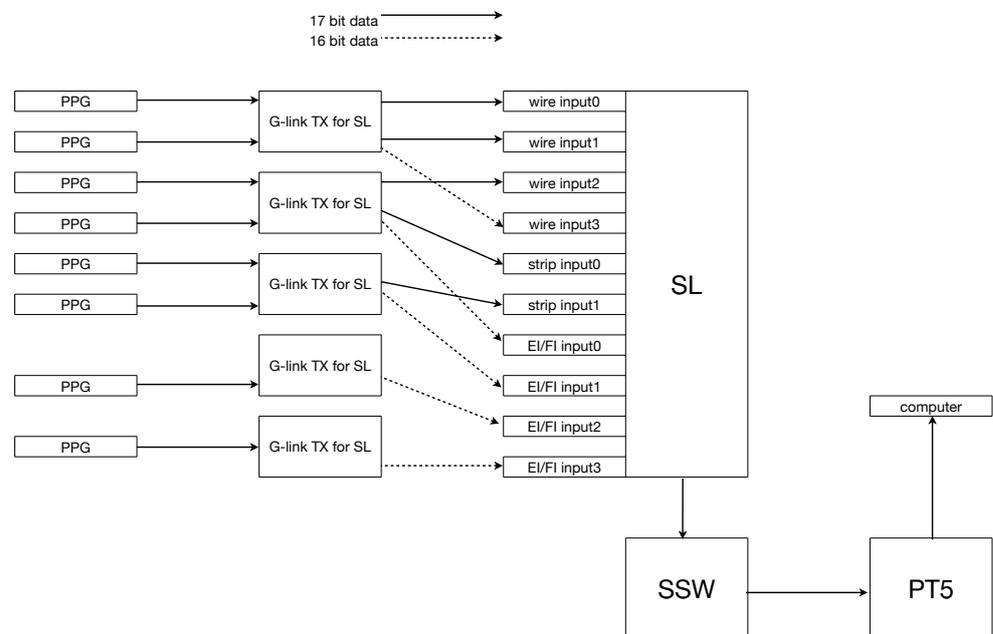


図 6.4 テストベンチシステムの模式図。8枚の PPG と 5枚の G-link TX for SL で入力信号を作り、SSW と PT5 で出力信号を読み出した。

例として、図 6.5 の CW(ΔR と $\Delta\phi$ の組と p_T との対応) を用いて $\Delta R = 10$ に固定して $\Delta\phi$ の値を変化させながら行った試験の結果、 $\Delta\phi = -1$ に固定して ΔR の値を変化させながら行った試

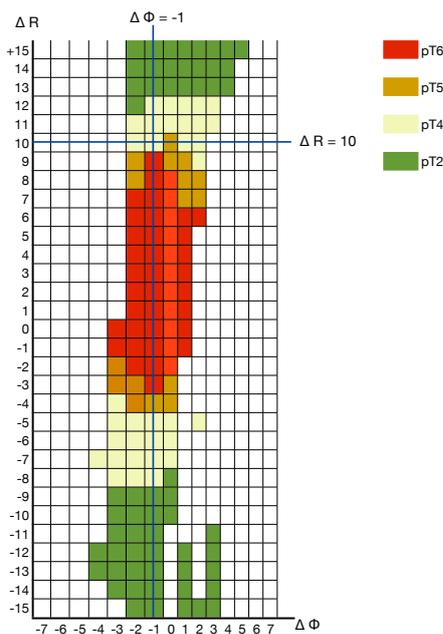


図 6.5 テストベンチでの動作確認に用いた CW。この CW から各入力信号に対して出力されるべき p_T を知ることが可能である。

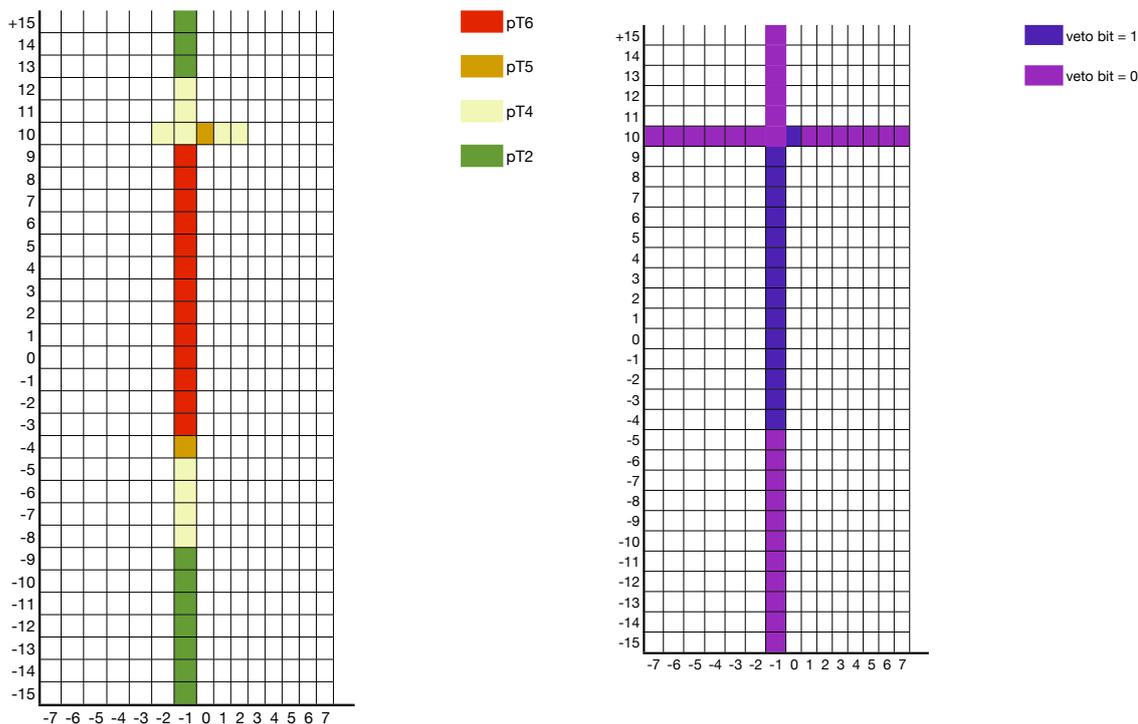


図 6.6 テストベンチで入力した $(\Delta R, \Delta\phi)$ の組と出力された p_T との対応表。ここには $\Delta R = 10$ に固定して $\Delta\phi$ を変化させた結果と $\Delta\phi = -1$ を固定して ΔR を変化させた結果を示している。得られた出力 p_T は全て CW に記述されている値と一致した。

図 6.7 テストベンチで入力した $(\Delta R, \Delta\phi)$ の組と出力された veto bit との対応表。ここには $\Delta R = 10$ に固定して $\Delta\phi$ を変化させた結果と $\Delta\phi = -1$ を固定して ΔR を変化させた結果を示している。EI/FI のコインシデンスがとれていない入力パターンを用いたため、 $p_T \geq 5$ となる入力に対して veto bit = 1 が出力されている。

験の結果を示す。この試験では SL を Monitoring mode で運転し、 $p_T \geq 5$ のトラックに EI/FI を要求している。図 6.6 に各入力とそれに対して出力された p_T を示し、図 6.7 に各入力とそれに対して出力された veto bit との対応を示す。この結果から、SL が搭載された CW 通りに p_T を出力すること、要求された EI/FI ヒットがなかった場合に veto bit を正しく出力することを確認した。

6.2.4 EI/FI からの入力タイミング調整

SL は HPT ボードから BW 信号を、PS ボードから EI/FI 信号を受ける。ミューオンが衝突点からチェンバーに到達するまでの飛行時間 (Time of flight, TOF), モジュール間のケーブル長の差, HPT ボードのレイテンシー等の要因により、BW の信号は EI/FI の信号に対して数 CLK 遅れて SL に到達する。HPT ボードと SL を繋ぐケーブル長は各セクターごとに異なるので、この遅延の CLK 数はセクターごとに違った値をとる。HPT ボードと SL の間のケーブルの長さは各セクターと SL との距離に対応する。SL と各セクターの位置関係を図 6.8 に示す。図 6.8 にあるように、SL との間の距離は sector 7 が最も小さく sector 1 が最も大きい。そのため sector 7 の信号が最も早く SL に到達し、sector 1 の信号が最も遅く SL に到達する。EI/FI 信号に対する

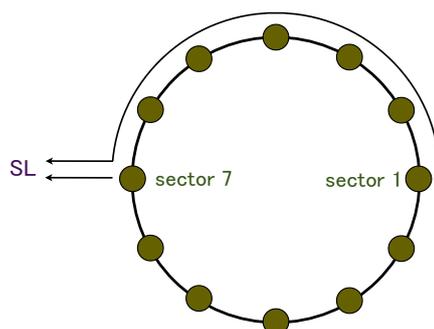


図 6.8 SL と各セクターの位置関係の模式図。sector 7 が最も SL に近く、sector 1 が最も SL から遠い。

BW の信号の遅延に対応するため、5.4 で述べた Delay 機能を用いて EI/FI 信号にディレイをかける。Delay 機能で入力信号にかけるディレイの CLK 数はコントロールレジスタで設定され、各セクターで違う値を設定することが可能である。

各入力について BW と EI/FI のタイミングを正しく合わせるため、全セクターに対して BW 信号と EI/FI 信号の入力タイミング差の正確な値を知る必要がある。私はテストパルス (回路上で発生させる擬似的な信号) と実データを用いてこのタイミング差を調べた。

テストパルスを用いた方法

3.3 節で述べたように、TGC では回路で擬似的なヒット信号 (テストパルス) を作ることが出来る。テストパルス run は ATLAS でデータ取得が行われない時間に TGC 独自の DAQ システムを利用して行うが、ハードウェアは ATLAS でのデータ取得で使用しているものを使用する。私は SLB ASIC で作られるテストパルスを用いて BW 信号と EI/FI 信号が SL に到達するタイミング差を調べた。タイミング調整は以下のように行った。

- まずテストパルスが実際のミュオンによるヒットタイミングを再現するようにテストパルスを打つタイミングを調整した。テストパルスによる信号は通常の信号と同じようにSSW から読み出される。衝突点から飛来したミュオンはTGC にヒット信号を残すが、そのヒット信号がSLB ASIC に到達する時間はBW とEI/FI で異なる。このため、SLB ASIC のレベル1バッファの読み出し深さはBW 用SLB ASIC とEI/FI 用SLB ASIC で違い、BW SLB の読み出し深さは99, EI/FI SLB の読み出し深さは90 で正しくヒットを読み出している。この深さの差を9に保ったまま、BW とEI/FI のテストパルスが読み出せるようにテストパルスを打つことで、テストパルスが衝突点から飛来したミュオンによる信号のタイミングを再現していることを確認した。テストパルスを読み出すSLB の読み出し深さはBW SLB で70, EI/FI SLB で61 とした。
- 次にSLB ASIC 上のテストパルスを用いてBW 信号とEI/FI 信号がSL に到達するタイミング差を調べた。調査にはSL のDelay 機能を使用した。EI/FI から入力信号にかけるDelay の値を変えながらテストパルスを打ち、BW の信号とEI/FI の信号のコインシデンスがとれるDelay の値を探した。BW 信号とEI/FI 信号のコインシデンスの確認のためSL をMonitoring mode で走らせ、出力データに含まれるveto bit の値を調べた。

テストパルスを用いた探索により、EI/FI からの入力信号に表6.2のようなDelay をかけることでBW の信号とEI/FI の信号のコインシデンスがとれることを確認した。

表6.2 EI/FI 信号にかけたDelay の値とセクターとの対応。この表のDelay 値を各セクターにかけることで、BW とEI/FI にかけたテストパルスのコインシデンスがとれた。

セクター番号	Delay 値 (A-side)	Delay 値 (C-side)
1	7 CLK	8 CLK
2	5 CLK	6 CLK
3	3 CLK	5 CLK
4	2 CLK	3 CLK
5	1 CLK	2 CLK
6	0 CLK	0 CLK
7	0 CLK	0 CLK
8	1 CLK	1 CLK
9	2 CLK	2 CLK
10	3 CLK	3 CLK
11	5 CLK	5 CLK
12	5 CLK	6 CLK

実データを用いた方法

新しく開発した回路を実装した SL は 2012 年 11 月より ATLAS で使用され、Monitoring mode でデータ取得を行っている。EI/FI 信号の入力 Delay 値を変えながらデータを取得し、得られたデータを用いて BW 信号と EI/FI 信号のコインシデンスがとれるかどうかを調べた。コインシデンスの確認には SL の出力トリガーに含まれる veto bit を利用した。EI/FI と BW のコインシデンスがとれた場合は veto bit の値が 0 となり、コインシデンスがとれなかった場合は veto bit の値が 1 となる。EI/FI 要求条件が 15 GeV 以上の p_T 閾値, かつ $1.3 < |\eta| < 1.9$ の ROI となるように設定した。

データ取得の際は EI/FI 入力 Delay 値は 6 セクターずつ一様な値とした。BW 信号と EI/FI 信号の入力タイミング差はセクターごとに違うが、SL が BW 信号を受けるタイミングの各セクター間での違いは既知であり、表 6.3 のように MuCTPI の Pipeline delay の値に反映されている。したがって、1 つのセクターについて BW と EI/FI のコインシデンスがとれる正しい EI/FI Delay 値が分かれば全セクターについて正しい EI/FI Delay 値を計算で求めることが出来る。

表 6.3 現在用いられている MuCTPI Pipeline Delay 値。各セクターに設定されている値の違いから、各セクターの BW 信号が SL に入力される時間の違いが計算できる。

セクター番号	Pipeline delay 値 (A-side)	Pipeline delay 値 (C-side)
1	7 CLK	6 CLK
2	9 CLK	8 CLK
3	11 CLK	10 CLK
4	12 CLK	11 CLK
5	13 CLK	12 CLK
6	14 CLK	13 CLK
7	14 CLK	13 CLK
8	13 CLK	12 CLK
9	12 CLK	11 CLK
10	11 CLK	10 CLK
11	9 CLK	8 CLK
12	9 CLK	8 CLK

実データの取得にあたり、テストパルスを用いて得られた結果 (表 6.2) を参考に、表 6.4 の EI/FI delay 値を導入した。表 6.2 と表 6.4 の比較から、A02, C12 のセクターで BW-EI/FI のコインシデンスがとれると期待される。また、セクター毎に BW 信号の入力タイミング異なるため、正しい Delay の値が表 6.2 からずれていたとしても、いずれかのセクターで BW-EI/FI コインシデンスがとれると期待される。

この delay 値で各トリガーセクターで BW-EI/FI のコインシデンスがとれるかどうかを調査した。コインシデンスの調査は以下の手順で行った。

1. トラックが $1.3 < |\eta| < 1.9$ の ROI, 閾値 15 GeV 以上の p_T でトリガーされていることを

表 6.4 実データの取得で各セクターの EI/FI にかけた Delay 値。A01–A06, A07–A12, C01–C12 に同じ値を用いている。

セクター番号	Pipeline delay 値 (A-side)	Pipeline delay 値 (C-side)
1	5.0 CLK	6.5 CLK
2	5.0 CLK	6.5 CLK
3	5.0 CLK	6.5 CLK
4	5.0 CLK	6.5 CLK
5	5.0 CLK	6.5 CLK
6	5.0 CLK	6.5 CLK
7	4.5 CLK	6.0 CLK
8	4.5 CLK	6.0 CLK
9	4.5 CLK	6.0 CLK
10	4.5 CLK	6.0 CLK
11	4.5 CLK	6.0 CLK
12	4.5 CLK	6.0 CLK

要求する。

1. を満たしたトラックに対し、 p_T が 25GeV 以上のミュオンがオフラインで再構成されることを要求する。
1. のトラックと 2. のオフライン・ミュオンの間の距離 ($\Delta D = \sqrt{(\Delta\eta)^2 + (\Delta\phi)^2}$, 2.3 節参照) が $\Delta D < 0.06$ であることを要求する。
3. を満たすイベントに対し、オフラインミュオンが BW-EI/FI のコインシデンスを満たす割合を算出する。
3. を満たすイベントに対し、SL から出力された veto bita の値が 0 である割合を算出する。
- 4., 5. の割合を比較。設定した EI/FI delay 値が BW 信号と EI/FI 信号の到達時間差を正しく再現していれば、4. と 5. で算出した割合は等しくなる。

この結果を図 6.9 に示す。オフラインミュオンが EI/FI にヒットを残した割合と veto bit=0 となる割合が一致するセクターは見つからず、正しい EI/FI 信号にかける Delay 値として正しい値は得られなかった。これはテストパルスで得られた結果 (表 6.2) と矛盾するが、現在までの調査でその原因は特定できていない。正しい Delay 値を得るため、今回の調査で用いなかった Delay 値を導入して再びデータ取得を行う必要があり、2013 年 1 月の run でデータ取得を行っている。

図 6.9 ではオフラインミュオンの結果と veto bit の結果に一致が見られるトリガーセクターは見つからなかったが、トリガーセクター 15–22, 31–46 では常に veto bit=0 となっている。これは以下に述べるように、特定の PS ボードが EI/FI チェンバー上でのヒットの有無によらず信号を 40 MHz で出力し続けていることが原因で生じた。そのためこれらのトリガーセクターでは BW-EI/FI でコインシデンスがとれるかどうかは調べられていない。

SL は 8 つの EI/FI チェンバーのコインシデンス情報を受け取るが、 ϕ 方向でのチェンバーの欠けのため、SL に情報を送るチェンバーが 7 枚しかないセクターが存在する。このようなセク

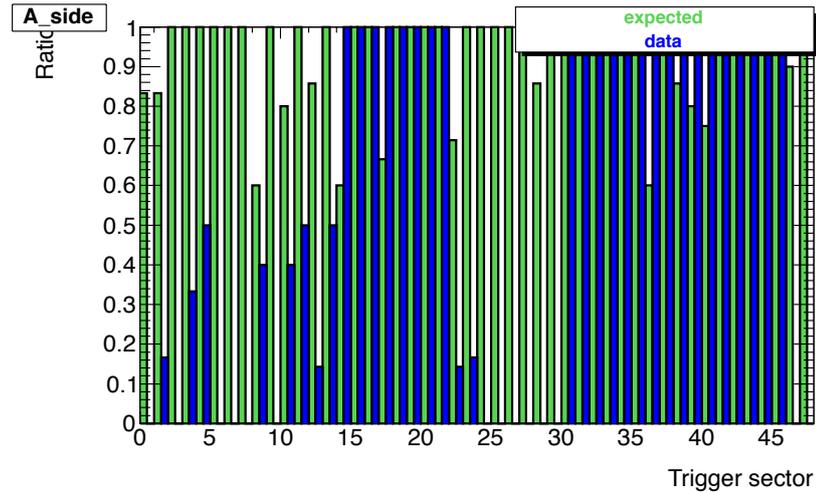


図 6.9 各トリガーセクターでの BW-EI/FI のコインシデンス調査の A-side での結果。横軸はトリガーセクターである。緑はオフラインミュオンが EI/FI にヒットを残した割合、青は veto bit=0 の割合を示す。いくつかのセクターでは veto bit=0 の割合が 0 ではないが、これは EI/FI が設置されている領域が衝突点に近く、バックグラウンド (cavern background) が多いため生じているものと推測される。

ターでは、欠けた 1 枚のチェンバーに対応する SLB ASIC の出力信号をマスクしなければならない。現在は SLB ASIC 上で正しくマスクされておらず、信号が 40 MHz で SL に送られ続けている。この状態の SL では BW-EI/FI コインシデンスが常にとれてしまうため、veto bit が常に 0 となる。

Monitoring mode での正しい EI/FI delay 値の探索、Suppressing mode でのバックグラウンド・トリガー削減のため、欠けたチェンバーに対応する情報が SL に届かないようにマスクを正しくかける必要がある。トリガーセクター 15–22, 31–46 に関しては常に veto bit=0 となるため、SL で BW-EI/FI コインシデンスがとれたかどうかの情報を得ることができない。したがって、表 6.4 の Delay を用いた時、これらのセクターで BW-EI/FI コインシデンスがとれている可能性がある。これは欠けたチェンバーの情報を正しくマスクした後に再度データをとることで確かめることができる。

6.3 トリガー効率

新しい SL を導入した後のデータ収集では Monitoring mode を用いたため、トリガースキームは既存のものから変更されていない。そのため、新しい SL の実装前後でトリガー効率は変わらないはずである。このことを、 $Z \rightarrow \mu\mu$ の tag and probe 法 (付録 A) を用いて確認した。この結果を図 6.10, 6.11, 6.12 に示す。この結果から、新しい SL の実装によるトリガー効率の低下が起きていないことを示した。

また、SL を Suppressing mode にした場合のトリガー効率への影響を見積もった。Suppressing mode では EI/FI を要求するトラックが EI/FI にヒットを伴っていなければトリガーを落とす。 $1.3 < |\eta| < 1.9$ の ROI, 15GeV 以上の p_T 閾値でトリガーが発行されたトラックに対して EI/FI が要求される。トリガー効率の見積もりのため、Monitoring mode の TGC でトリガーが発行されたイベントのうち、以下の条件を全て満たすものを衝突点から飛来したミュオン (true muon

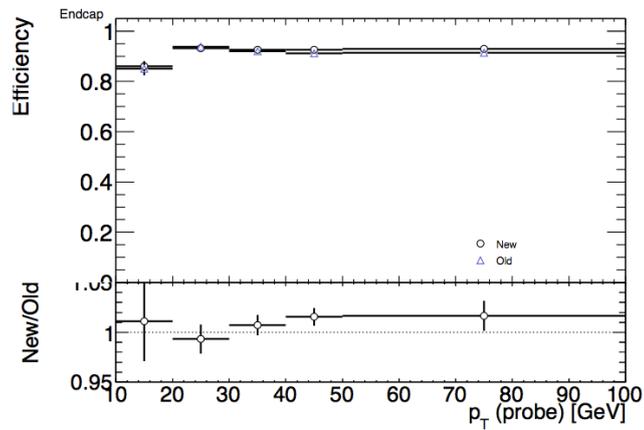


図 6.10 新しい回路を実装した SL でのトリガー効率の p_T 分布。Old はこれまで使われて来たトリガー, New は新しい回路を実装した SL でトリガーを表す [17]。

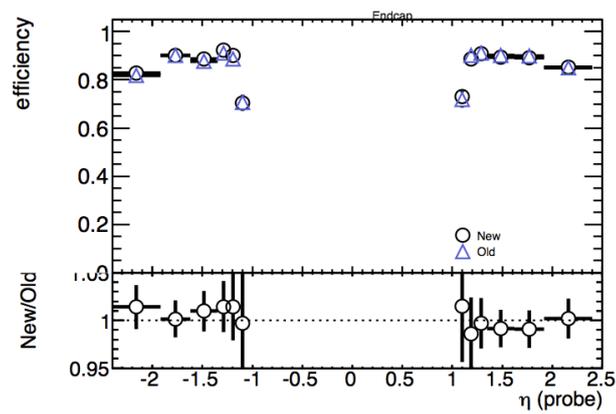


図 6.11 新しい回路を実装した SL でのトリガー効率の η 分布。Old はこれまで使われて来たトリガー, New は新しい回路を実装した SL でトリガーを表す [17]。

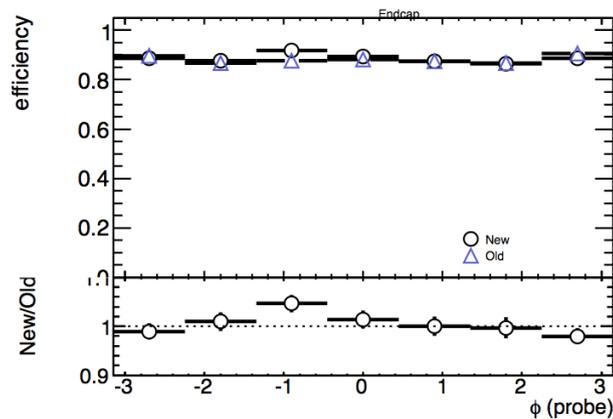


図 6.12 新しい回路を実装した SL でのトリガー効率の ϕ 分布。Old はこれまで使われて来たトリガー, New は新しい回路を実装した SL でトリガーを表す [17]。

と呼ぶ) によるイベントと定義した。

- オフラインのデータ解析でミュオントラックが再構成され、ミュオン検出器, 内部飛跡検出器の両方で検出される。この再構成されたミュオンを offline muon と呼ぶ。
- offline muon の p_T が 25GeV 以上である。
- offline muon の (η, ϕ) とトリガーが発行された ROI の (η, ϕ) の間の距離 ΔD が 0.06 以内である。

true muon が $1.3 < |\eta| < 1.9$ の ROI, 15GeV 以上の p_T 閾値でトリガーされた場合、EI/FI にヒットが無ければこのトリガーは Suppressing mode で落とされ、トリガー効率が低下する。EI/FI ヒットを伴わなかった true muon トラックの η 分布を調べたところ、 $|\eta| = 1.9$ 付近の true muon トラックでは EI/FI ヒットが得られる割合が 50% 程度と低いことが分かった。 $|\eta| = 1.9$ 付近は EI/FI チェンバーの端の部分に対応し、この領域では EI/FI チェンバーの外側を通ったトラックがトリガー効率を下げていると考えられる。true muon によるトリガーの η 分布を図 6.13 に示す。 $1.3 < |\eta| < 1.9$ の全 true muon トラック数に対し、EI/FI にヒットを伴ったトラック数は約 94.7% である。そのため、Suppressing mode で $1.3 < |\eta| < 1.9$ の全領域に EI/FI を要求した場合、トリガー効率が約 5% 落ちると考えられる。 $|\eta| = 1.9$ 付近を除いた $1.3 < |\eta| < 1.8$ 領域での true muon に対する EI/FI ヒットの割合は図 6.14 のようになる。 $1.3 < |\eta| < 1.8$ の全 true muon トラック数に対し、EI/FI にヒットを伴ったトラック数は約 98.5% である。そのため、Suppressing mode で $1.3 < |\eta| < 1.8$ の全領域に EI/FI を要求した場合、トリガー効率が 1-2% 落ちると考えられる。

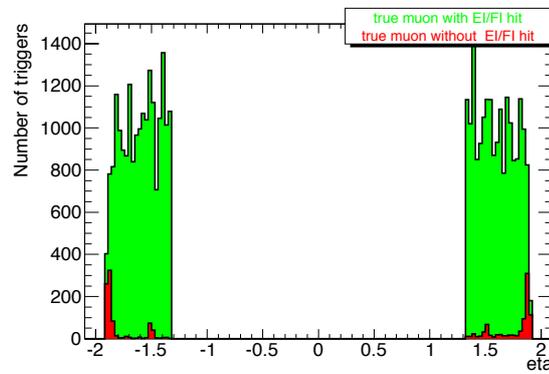


図 6.13 $1.3 < |\eta| < 1.9$ における true muon のトラック数と、そのうち EI/FI にヒットを伴わなかったトラック数の η 分布。緑は全 true muon トラック, 赤は EI/FI にヒットを伴わなかったトラックを示す。 $|\eta| = 1.9$ 付近で EI/FI ヒットを伴わないトラックの割合が大きくなっている。

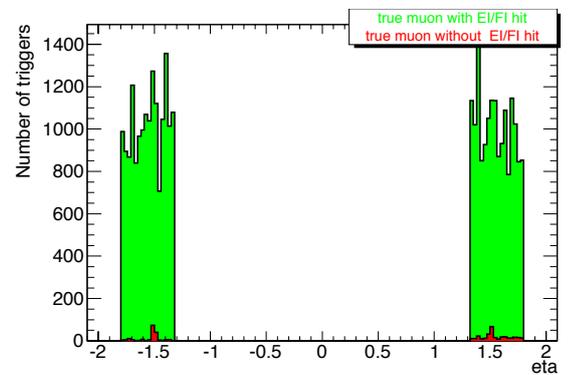


図 6.14 $1.3 < |\eta| < 1.8$ における true muon のトラック数と、そのうち EI/FI にヒットを伴わなかったトラック数の η 分布。緑は全 true muon トラック, 赤は EI/FI にヒットを伴わなかったトラックを示す。

6.4 トリガー削減

2012年のrunで得られたデータに基づき、2015年以降にこの新しい回路がどの程度トリガーを削減するかどうかを調べた。トリガー削減の調査には offline muon の情報を用いた。2012年にTGCが発行したトリガーのうち、 $1.3 < |\eta| < 1.9$, $p_T > 20\text{GeV}$ でトリガーされたトラックに対してEI/FIヒットの有無を調べた。EI/FIにヒットがないトラックは2015年以降はトリガーされない。各 η に対し、2015年以降に削減されるトリガーを図6.15に示す。図6.15で削減されたTGCのトリガーは19.6%程度であった。これはシミュレーションによる予想よりも低い。これが現在はEI/FIチェンバーに対するヒットの要求が緩く、偶発的なヒットの影響が大きくなっているためであると考えられる。EI/FIチェンバーにより精密なヒット要求を課すことにより、トリガーレートを更に減らすことが出来ると考えている。

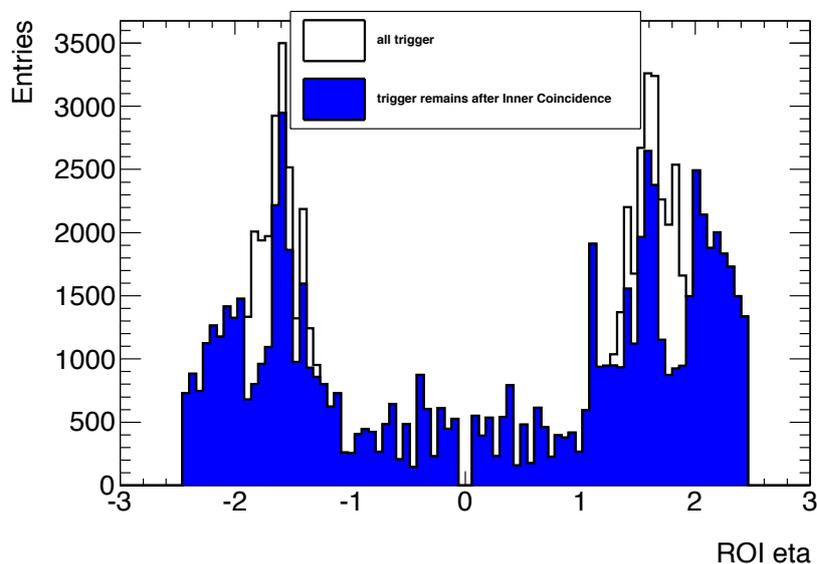


図 6.15 新しいトリガー回路によるトリガー削減の η 分布の見積もり。白が Inner Coincidence で落とされるトリガー、青が EI/FI を要求しても残るトリガーを示す。

第7章

結論

ATLAS 実験において TGC Sector Logic(SL) に組み込むコインシデンス回路を新しく開発し、実装、動作検証を行った。新しいコインシデンス回路では、これまでトリガー判定に用いられていなかった内部チェンバー (EI/FI) のコインシデンス情報をトリガー判定に組み込んだ。新しい回路の開発目的は、トリガー候補となる荷電粒子のトラックが EI/FI にヒットを残していることを要求することにより、衝突点以外から飛来する荷電粒子によるバックグラウンドトリガーを抑えることである。シミュレーションを用いて、新しい回路の導入で約 27 % のバックグラウンドトリガーを削減することが可能になると見積もった。

新しい回路を組み込んだトリガーでは、EI/FI ヒットを要求されたトラックが EI/FI にヒットを伴っていないければそのトラックをトリガー候補から外す。EI/FI ヒットを要求する条件は ROI、 p_T 単位で設定可能にした。ROI 単位での設定のために 148 bit のコントロールレジスタを、 p_T 単位での設定のために 6 bit のコントロールレジスタを新たに実装している。また要求された EI/FI ヒットがないトラックをトリガー候補から外す動作モード (Suppressing mode と呼ぶ) の他に、ATLAS に既存のトリガーロジックによるトリガーを ATLAS に供給しつつ、新しいロジックの結果を別途記録する動作モード (Monitoring mode と呼ぶ) を作成した。

新しい回路を実装する前に、回路シミュレーションとテストベンチを用いて回路の動作確認を行った。回路シミュレーションにより、Suppressing mode、Monitoring mode 共にデザイン通り動作することを確認し、またテストベンチにより、新しい回路を搭載した SL が設定した通りの p_T を出力することを確認した。

新しい回路は 2012 年 10 月より ATLAS に実装され、Monitoring mode で運転されている。取得したデータから、Monitoring mode での運転でトリガー効率が下がっていないことを確認した。またオフライン解析で再構成されたミュオンを用いて Suppressing mode のトリガー効率を計算し、 $1.3 < |\eta| < 1.8$ 、 $p_T \geq 15$ GeV のトラックに対して EI/FI を要求した場合にはトリガー効率の低下は 1–2 % 程度であると見積った。またトリガーレートは 20 GeV の p_T 閾値に対して 5% 程度削減が削減されると見積った。今後は EI/FI に対して更に精密なヒット要求を課すことで更なるトリガー削減を目指す。

2015 年以降、Suppressing mode でトリガー発行を行うためには EI/FI の信号に delay をかけて EI/FI と BW の信号のタイミングを合わせる必要がある。私はテストパルスを用いて正しい delay 値を予測し、それに基づいて実データから delay 値を探索したが、現時点で正しい値を見つけることは出来ておらず、今後の課題とする。

付録 A

ATLAS における tag and probe 法

SL のトリガー効率の算出に、 $Z \rightarrow \mu\mu$ 過程を利用した tag and probe 法を用いた。これは以下のような手順に従う。

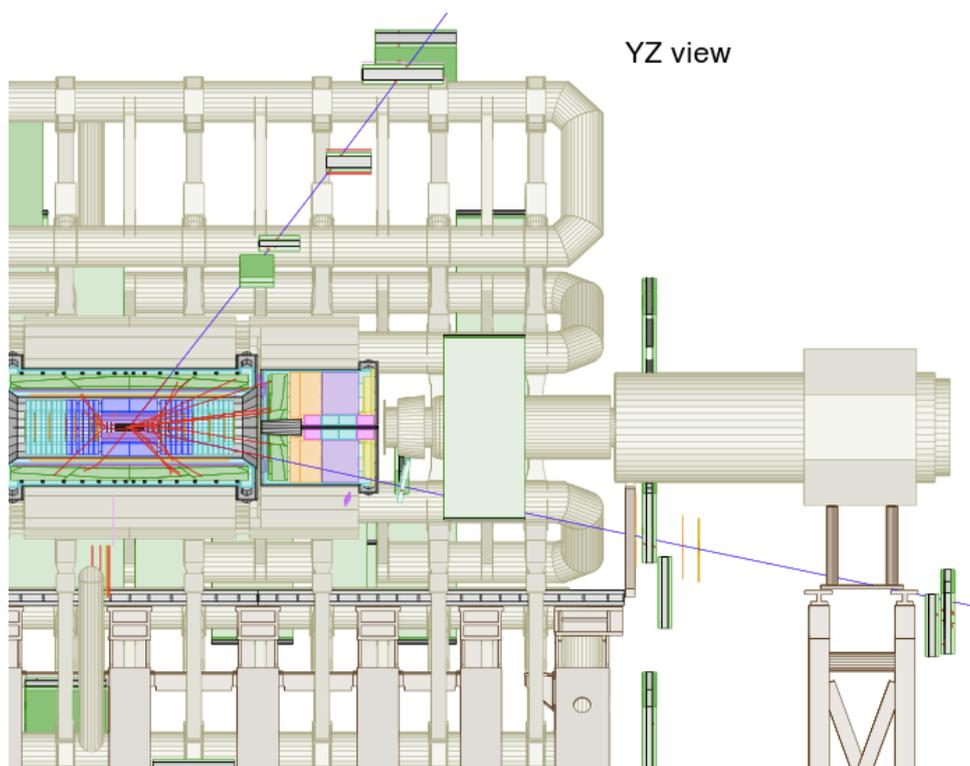


図 A.1 tag and probe 模式図 [18]

1. トリガーの ROI と一致するミュオン (tag muon) がオフライン解析で再構成されることを要求する。
2. tag muon と不変質量分布を組み、Z の質量を再構成するようなミュオン (probe muon) を要求する。
3. probe muon の数と probe muon に対応するトリガーの数の割合からトリガー効率を求める。

謝辞

本研究を行うにあたり、研究を行う機会を与えて下さり、熱心なご指導をして下さった石野雅也准教授に心より感謝を申し上げます。

Sector Logic の回路設計について多くの指導、助言をして下さった KEK の佐々木修氏、神戸大学の藏重久弥氏に深く感謝申し上げます。また、Sector Logic の試験や運用について指導して下さいました神戸大学の早川俊氏に重ねて深く感謝致します。早川氏にはの研究以外の面でも、海外出張中での生活等、多くのことについて助言して頂きました。本当にありがとうございます。

また、研究全般に関して様々な助言をして下さった隅田土詞氏に深く感謝致します。隅田氏には現在の研究についての助言はもちろん、今後更に研究を進める上で有用な助言を多く頂きました。ありがとうございました。

ATLAS TGC グループの同期として共に研究を進めた大谷育生氏、山内克哉氏に感謝します。両氏とは研究の合間に議論や雑談を重ね、CERN での研究生活をより良いものにすることができました。ありがとうございました。その他 TGC グループの皆様にも、本当にお世話になりました。深く感謝致します。

京都大学高エネルギー物理学研究室の皆様にも深く感謝致します。特に同期の合田幸平氏、関繁人氏、長崎時大氏には様々な面でお世話になりました。ありがとうございます。また、本論文執筆時に高級栄養ドリンクを差し入れて下さった内藤大地氏に深く感謝致します。そして京都大学物理学教室事務室の皆様、実験秘書室の皆様にも深く感謝致します。

最後に、私をここまで支えてくれた家族に心より感謝致します。

参考文献

- [1] Brning, Oliver Sim *et al.* "LHC Design Report." 10.5170/CERN-2004-003-V-1
- [2] ATLAS Collaboration. " ATLAS EXPERIMENT - Public Results" .
<https://twiki.cern.ch/twiki/bin/view/AtlasPublic/LuminosityPublicResults>
- [3] P. W. Higgs, Broken symmetries, massless particles and gauge fields, Phys. Lett. 12 (1964) 132–133.
- [4] H. Miyazawa . "Baryon Number Changing Currents." doi:10.1143/PTP.36.1266. 1966
- [5] The ATLAS Collaboration . "Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC." 10.1016/j.physletb.2012.08.020. 2012
- [6] Michael Spira. " QCD Effects in Higgs Physics" . arXiv:hep-ph/9705337v2 12 Nov 1997.
- [7] ATLAS Collaboration. "The ATLAS Experiment at the CERN Large Hadron Collider" . 2008 JINST 3 S08003.
- [8] ATLAS Collaboration. " ATLAS Photos" .
<http://www.atlas.ch/photos/index.html>.
- [9] 早川俊,"LHC シングルビームを用いた ATLAS 実験 前後方ミュオントリガーシステムの性能評価", 修士論文, 神戸大学 (2009).
- [10] ATLAS Level-1 Trigger Group. " ATLAS Level-1 Trigger Group Technical Design Report" . ATLAS TDR-12, 2000
- [11] 早川俊,"A Performance Study on ATLAS Level1 Endcap Muon Trigger using 7TeV/c collision data.", 2012
- [12] ATLAS Collaboration. " ATLAS EXPERIMENT - Public Results - L1 MuonTrigger PublicResults" .
<https://twiki.cern.ch/twiki/bin/view/AtlasPublic/L1MuonTriggerPublicResults>
- [13] private communication 佐々木 修 KEK
- [14] private communication 鈴木友 KEK
- [15] private communication 谷和俊 神戸大学
- [16] private communication 玉川耕介 信州大学
- [17] private communication 松下崇 神戸大学
- [18] ATLAS Collaboration. " ATLAS EXPERIMENT - Public Results - Atlas public Event displays" .