

修士論文

LHC-ATLAS 実験 Run-3 に向けた TGC 検出器を用いた
初段ミューオントリガーシステムの検証

京都大学大学院理学研究科 物理学・宇宙物理学専攻
物理学第二分野 高エネルギー物理学研究室

学生番号 0530-31-8211

辻川吉明

指導教員 隅田土詞



2021年1月27日

概要

Large Hadron Collider (LHC) は、欧州原子核研究機構 (CERN) に建設された世界最高エネルギーの陽子陽子衝突型加速器であり、40 MHz で 10^{11} 個の陽子バンチ同士を衝突させる。ATLAS 検出器は LHC の衝突点の一つに設置された大型汎用検出器であり、陽子衝突により発生する粒子を観測する。LHC-ATLAS 実験は、TeV 領域までの新粒子の直接探索やヒッグス粒子の性質の精密測定を行うことで、標準模型を超えた新物理の発見を目指す。

データ記録速度・容量の限界により、LHC での 40 MHz の陽子同士の衝突の全事象を記録することはできない。また新物理に由来するような事象は稀にしか起きないため、全衝突事象の中から興味のある事象を選別し記録するために 2 段階のトリガーシステムを使用している。本研究で扱うのは初段の Level-1 ミューオントリガーである。ここでは $2.5 \mu\text{s}$ 以内に事象選別を行う必要があるためハードウェアで実装され、ミューオンの横運動量に閾値を設けて高速な事象選別を行う。

LHC-ATLAS 実験では 2010 年から 2012 年までの Run-1 期間において重心系エネルギー 7 - 8 TeV での測定を行い、ヒッグス粒子を発見した。また、2015 年から 2018 年までの Run-2 期間において、Run-1 より重心系エネルギーを約 2 倍 (13 TeV)、取得データ量を約 6 倍でヒッグス粒子の精密測定などを行った。現在 LHC はより多くのデータを得るための改良中であり、2022 年以降のデータ取得 (Run-3) では重心系エネルギーを 14 TeV に増強し、バンチに含まれる陽子の数が 2 倍近くなる。加速器の性能向上に伴いトリガーレートが増加するが、Level-1 トリガーのレートは 100 kHz のままに抑えなければならない。重要な物理事象を最大限有効に集めるために、対象となる物理事象の取得効率を維持したまま、より多くの背景事象の除去が可能な新しい Level-1 ミューオントリガーの開発を行った。

現在のミューオントリガーでは Thin Gap Chamber (TGC) の情報を用いてトリガー判定を行っているが、開発した新しいトリガーアルゴリズムでは Run-3 から ATLAS 検出器に導入される New Small Wheel (NSW)、RPC BIS 7/8 の情報と TGC の情報を組み合わせて、衝突点由来でない荷電粒子や閾値以下のミューオンによるトリガーを削減する。このトリガーロジックは、新しく開発した Level-1 ミューオントリガー判定ボードである New Sector Logic に実装する。New Sector Logic は、回路設計の変更が容易な FPGA (Field-Programmable Gate Array) を搭載しており、そこに実装するファームウェアによりトリガー判定を行う。

本研究では、TGC 検出器からの情報を New Sector Logic に入力し、入力信号の受信における安定性試験や各部分からの信号のタイミング調整などを行った。そして、それらの入力信号をもとにしてトリガー判定データを作成し、実装されたトリガーアルゴリズムが正しく機能していることを確認した。これらの試験は New Sector Logic を含む Run-3 のための Level-1 ミューオントリガーシステムを用いて行ったものである。検出器からのヒット情報やトリガー判定データの読み出しも正しく行えていることを確認した。これによって、Run-3 の新たなトリガーシステムが正しく機能していることを初めて検証することができた。また Run-3 において設計通りのトリガー性能の改善が得られると期待される。

目次

第 1 章	序論	1
1.1	素粒子標準模型	1
1.2	ATLAS 実験で目指す物理	1
1.2.1	ヒッグス粒子の精密測定	2
1.2.2	SUSY 粒子の探索	5
1.2.3	陽子陽子衝突における各物理過程の断面積	7
1.3	LHC・ATLAS のアップグレード	9
1.3.1	LHC アップグレードの全体像	9
1.3.2	ミュオントリガーアップグレードの重要性	10
第 2 章	LHC-ATLAS 実験	12
2.1	LHC 加速器	12
2.2	ATLAS 実験	12
2.2.1	ATLAS 検出器	12
2.2.2	トリガーシステム	29
2.2.3	LHC Run-3 に向けたアップグレード	32
第 3 章	ATLAS エンドキャップ部初段ミュオントリガー	38
3.1	現行のエンドキャップ部初段ミュオントリガー	38
3.1.1	Thin Gap Chamber	38
3.1.2	トリガーセクター	38
3.1.3	エンドキャップ部初段ミュオントリガー判定の概要	40
3.1.4	エレクトロニクス	41
3.2	初段ミュオントリガーの Run-3 に向けたアップグレード	49
3.2.1	初段ミュオントリガーアップグレードの概要	49
3.2.2	エレクトロニクスのアップグレード	49
3.2.3	データ読み出しシステムのアップグレード	52
第 4 章	トリガー判定ボード New Sector Logic	54
4.1	New Sector Logic の概要	54
4.1.1	New Sector Logic に対する要求性能	54

4.1.2	New Sector Logic のデザイン	55
4.1.3	主な IC チップ	55
4.1.4	入出力ポート	57
4.2	New Sector Logic における新技術	58
4.2.1	GTX 通信	58
4.2.2	SiTCP	61
4.3	New Sector Logic が受信するデータ	62
4.3.1	TGC から受け取るデータフォーマット	63
4.3.2	TMDB から受け取るデータフォーマット	63
4.3.3	RPC BIS 7/8 から受け取るデータフォーマット	65
4.3.4	New Small Wheel から受け取るデータフォーマット	67
4.4	New Sector Logic から送信するデータ	69
4.4.1	MUCTPI へ送信するデータフォーマット	69
4.4.2	SROD へ送信するデータフォーマット	70
第 5 章	New Sector Logic に実装するトリガー及び読み出し用ファームウェアの開発	71
5.1	New SL に実装するファームウェアの概要	71
5.2	GTX/G-Link 送受信ファームウェア	72
5.2.1	GTX 受信ファームウェア	72
5.2.2	GTX 送信ファームウェア	73
5.2.3	G-Link 受信ファームウェア	76
5.3	トリガーファームウェア	76
5.3.1	トリガーファームウェアに対する要求	76
5.3.2	トリガーファームウェアの概要	77
5.3.3	TGC-BW Coincidence の実装	77
5.3.4	BW-Inner Coincidence の実装	80
5.3.5	Track Selector の実装	95
5.4	読み出しファームウェア	98
5.4.1	Level-1 Buffer, Trigger Buffer	98
5.4.2	ID Counter	99
5.4.3	Derandomizer	100
5.4.4	Zero Suppress	101
5.4.5	SiTCP	102
第 6 章	初段ミュオントリガーシステムの検証試験	104
6.1	New SL に関する接続試験	104
6.2	NSW との接続試験	105

6.2.1	Bit Error Ratio 測定	105
6.2.2	Latency 測定	108
6.3	TGC・SROD との接続試験	108
6.3.1	セットアップ	108
6.3.2	TGC-SL 間のケーブル接続の確認試験	109
6.3.3	TGC-SL 間のデータ通信安定性試験	111
6.3.4	トリガーファームウェアの検証試験	111
6.3.5	SROD でのデータ読み出し試験	119
第 7 章	結論と今後の展望	121
	謝辞	123
	参考文献	125

目次

1.1	素粒子標準模型で導入されている素粒子 ^[1]	2
1.2	ヒッグス粒子の生成過程のファインマンダイアグラム	3
1.3	ATLAS でのヒッグス粒子生成断面積測定の結果 ^[7]	4
1.4	ヒッグス粒子の主な崩壊過程のファインマンダイアグラム	5
1.5	重心系エネルギー $\sqrt{s} = 13$ TeV のデータを用いて測定した各粒子とヒッグス粒子との結合定数の測定結果 ^[7]	6
1.6	SUSY 粒子の図 ^[9]	7
1.7	重心系エネルギー $\sqrt{s} = 13$ TeV のデータを用いて ATLAS で測定した各 SUSY 粒子の質量の棄却領域 ^[11]	8
1.8	チャージーノ ($\tilde{\chi}^{\pm}$) とニュートラリーノ ($\tilde{\chi}^0$) の対生成プロセスにおけるファインマンダイアグラムと現在の質量の探索領域 ^[12]	8
1.9	現在までの ATLAS 実験で実際に測定された、陽子陽子衝突におけるヒッグス粒子生成などの各物理過程の断面積 ^[13]	9
1.10	LHC 加速器の運転とアップグレード計画	10
1.11	ミューオントリガーの p_T 閾値とアクセプタンスの相関 ^[14] 。	11
2.1	LHC の全体像	13
2.2	ATLAS 検出器の全体図 ^[16]	13
2.3	ATLAS 実験で用いられる座標系	15
2.4	ATLAS 検出器の超伝導磁石の配置 ^[16]	15
2.5	トロイド磁石による磁場の η に対する依存性 ^[16]	16
2.6	ビーム軸から見た $x-y$ 平面での磁場の分布 ^[17]	16
2.7	内部飛跡検出器の全体像 ^[16]	17
2.8	内部飛跡検出器の構造図 ^[16]	17
2.9	ビーム軸方向から見た IBL の断面図 ^[18]	18
2.10	パイルアップ数に対する $t\bar{t}$ イベントでの primary vertex の位置分解能と再構成効率 ^[19]	19
2.11	ATLAS 検出器におけるカロリメータの配置図 ^[16]	20
2.12	電磁カロリメータの構造図 ^[16]	21
2.13	Tile カロリメータの構造図 ^[16]	21

2.14	Tile カロリメータのセルの配置図 ^[16]	21
2.15	HEC の $R-\phi$ 図と $R-z$ 図 ^[16]	22
2.16	冷却装置の中に設置されている FCal の配置図 ^[16]	23
2.17	ミュオン検出器の断面図 ^[16]	24
2.18	ビーム軸方向から見たミュオン検出器の配置図 ^[16]	25
2.19	ミュオン検出器の配置図 ^[20]	26
2.20	バレル部での RPC 検出器の配置 ^[16]	27
2.21	RPC 検出器の構造 ^[16]	27
2.22	TGC 検出器の構造図 ^[16]	28
2.23	TGC Triplet と Doublet の断面図 ^[16]	28
2.24	ドリフトチューブの断面図 ^[16]	29
2.25	MDT の構造図 ^[16]	29
2.26	CSC の断面図 ^[16]	29
2.27	CSC の配置図 ^[16]	30
2.28	Run-2 におけるトリガーシステムの概要 ^[21]	31
2.29	Run-3 におけるミュオン検出器の配置図	34
2.30	NSW の構造 ^[22]	35
2.31	sTGC の断面図 ^[23]	35
2.32	MM の断面図と動作原理 ^[24]	36
2.33	ビーム軸方向から見た RPC BIS 7/8 と sMDT BIS 7/8 の配置図 ^[25]	37
2.34	RPC BIS 7/8 の断面図 ^[25]	37
3.1	TGC の配置図 ^[27]	39
3.2	TGC の M1、M3 ステーションの配置図 ^[27]	39
3.3	TGC EI、FI チェンバーの配置図 ^[27]	40
3.4	TGC のトリガー判定に用いられる単位の模式図 ^[16]	41
3.5	エンドキャップ部初段ミュオントリガーアルゴリズムの概要 ^[28]	42
3.6	TGC のエレクトロニクスとデータの流れ ^[16]	42
3.7	ASD ボードの写真 ^[20]	43
3.8	Doublet のワイヤー用 SLB ASIC で行われる処理の全体図 ^[27]	44
3.9	DSB 用のコインシデンスマトリックスのブロック図 ^[27]	45
3.10	デクラスタリングアルゴリズムの概念図 ^[27]	45
3.11	HPT ボードのブロック図 ^[27]	46
3.12	SL ボードの写真 ^[29]	47
3.13	SL ボードに搭載されている主なチップの配置図 ^[29]	47
3.14	ある RoI における $\Delta R \cdot \Delta \phi$ の CW ^[30]	47

3.15	衝突点由来でない荷電粒子によるフェイクトリガーの概念図	48
3.16	Run-3 のエンドキャップ部初段ミュオントリガーシステムの概念図 ^[28]	50
3.17	Run-2 で取得した p_T 閾値 20 GeV におけるトリガー発行数の η 分布 ^[20]	50
3.18	Run-3 で期待される p_T 閾値 20 GeV におけるトリガー発行数の η 分布 ^[32]	51
3.19	Run-3 で用いられるエンドキャップミュオントリガーのデータ読み出しシステムの概念図 ^[28]	53
4.1	New Sector Logic の写真、及び主なチップと配線の概略図	56
4.2	GTX TX のブロック図 ^[34]	60
4.3	GTX RX のブロック図 ^[34]	62
4.4	SiTCP の物理実験での使用例 ^[35]	63
4.5	SiTCP のハードウェアでの実装方法 ^[35]	63
4.6	New SL の受信データの規格とデータ転送速度	64
4.7	Tile カロリメータのセルの配置 ^[16]	66
4.8	TMDB から受け取るデータフォーマット ^[31]	66
4.9	バンチ衝突ごとに RPC BIS 7/8 から受け取るデータフォーマット ^[31]	67
4.10	バンチ衝突ごとに NSW から受け取るデータフォーマット ^[31]	68
4.11	$\Delta\theta$ の定義 ^[28]	68
4.12	MUCTPI へ送信するデータフォーマット。 ^[31]	69
4.13	SROD へ送信するデータフォーマット ^[28]	70
5.1	New Sector Logic の FPGA に実装されるファームウェアの概要	72
5.2	GTX RX ファームウェアによる処理	74
5.3	GTX TX ファームウェアによる処理	75
5.4	トリガーファームウェアの概要	78
5.5	Run-3 における TGC-BW Coincidence の概要	79
5.6	TGC-BW Coincidence で判定されるようなフェイクヒット ^[41]	80
5.7	Run-2 における TGC-BW Coincidence のロジック	81
5.8	Run-3 における TGC-BW Coincidence のロジック	81
5.9	TGC BW とコインシデンスを要求する磁場領域より内側の各検出器が覆う領域	82
5.10	NSW の位置情報を用いたトリガーロジックの概要 ^[28]	83
5.11	NSW の角度情報を用いたトリガーロジックの概要 ^[28]	84
5.12	各 p_T のサンプルミュオンによるヒット位置の分布 ^[28]	84
5.13	(左)RoI 60 番での $p_T=20$ 及び 40 GeV のミュオンによる $d\eta:d\phi$ のヒット分布。 (右) ヒット分布の 99 % を含むように定義した $d\eta:d\phi$ の Coincidence Window ^[28]	85
5.14	各 p_T のサンプルミュオンによるヒット位置と角度の分布 ^[28]	85

5.15 (左)RoI 60 番での $p_T=20$ 及び 40 GeV のミューオンによる $d\eta:d\theta$ のヒット分布 (右) ヒット分布の 99 % を含むように定義した $d\eta:d\theta$ の Coincidence Window ^[28]	86
5.16 1 つの RoI と対応する NSW で再構成されたミューオントラックの数	88
5.17 New Small Wheel のトラック用 Decoder(1 SSC 分) のブロック図	89
5.18 NSW のコインシデンスロジックのブロック図	90
5.19 コインシデンスロジックで用いる 40 MHz と 320 MHz のクロックで得られる 8 つのステート	90
5.20 NSW Track Selector のブロック図	91
5.21 p_T Calculator のブロック図	93
5.22 p_T Selector のブロック図	94
5.23 BW-EI Coincidence の概念図	95
5.24 エンドキャップ領域トリガーセクター用 New SL に実装した Track Selector のブ ロック図	96
5.25 HPT ボードから受け取るデータと TGC BW の SSC の関係 ^[41]	97
5.26 読み出しファームウェアの概念図	98
5.27 Zero Suppress ロジックの概念図 ^[40]	102
5.28 実装した SiTCP モジュールの概要	103
6.1 New SL に関する接続試験の試験状況の概要	105
6.2 New SL と NSW の接続試験のセットアップ	106
6.3 (左) Eye Pattern の概念図 (右) IBERT を用いて得られた Eye Pattern の例 ^[42]	107
6.4 NSW TP から送ったテストパターンを用いて New SL で得られた Eye Pattern	107
6.5 New SL と NSW の latency 測定のセットアップ	108
6.6 オシロスコープで得られた波形	109
6.7 初段ミューオントリガーシステムの検証試験のセットアップ	110
6.8 TGC のフロントエンド回路から読み出されたテスト信号があったイベントの BCID	113
6.9 受信データのタイミング調整試験の概要	114
6.10 受信データのタイミング調整試験の結果	114
6.11 TGC-BW Coincidence の LUT の初期化についての検証試験の概要	116
6.12 LUT ファイルと LUT に書き込まれた初期値を読み出したダンプファイルの内容	116
6.13 トリガーファームウェアのロジック動作検証試験の概要	118
6.14 トリガーファームウェアのロジック動作検証試験の結果	119
6.15 SROD でのデータ読み出し試験の結果	120

表 目 次

1.1	ヒッグス粒子の質量が 125 GeV の場合の標準模型での崩壊分岐比と相対誤差 ^[8]	4
2.1	各内部飛跡検出器の性能 ^[16]	16
2.2	各ミュオン検出器の性能 ^[16]	23
2.3	MDT と sMDT のパラメータ ^[26]	37
4.1	XC7K410T の仕様 ^[33]	56
4.2	HPT ボードから受け取る TGC BW でのミュオンの位置情報と磁場での曲がり 具合の情報。	64
4.3	TGC EI から受け取るミュオンのヒット情報。	65
4.4	RPC BIS7/8 で再構成した飛跡のデータフォーマット ^[31]	65
4.5	NSW で再構成した飛跡のデータフォーマット ^[31]	67
4.6	ミュオントラックの情報 ^[31]	69
5.1	New SL がトリガー判定に用いることができる時間	77
5.2	Zero Suppress 後のデータフォーマット ^[31]	102
6.1	各レーン各タイミングでのエラーレートの値	112
6.2	(左)TGC-BW Coincidence の LUT への入力 (右)TGC-BW Coincidence の LUT の出力	115
6.3	開発したトリガー判定ロジックに用いる時間	118

第1章 序論

1.1 素粒子標準模型

自然界は4つの基本的な相互作用(強い相互作用、弱い相互作用、電磁相互作用、重力相互作用)で構成されると考えられているが、素粒子標準模型は重力相互作用以外の3つの相互作用について記述している。標準模型では、物質を構成する12種類のフェルミオンと相互作用を媒介する4種類のゲージボソン、質量の起源となるヒッグス粒子の計17種類の粒子が導入されている。図1.1に標準模型に登場する素粒子を示す^[1]。

1.2 ATLAS 実験で目指す物理

欧州原子核研究機構(CERN)に設置されたLarge Hadron Collider(LHC)を用いたATLASとCMS両実験によって2012年にヒッグス粒子が発見され^[2, 3]、素粒子標準模型が完成した。標準模型は多くの実験結果を説明することができているが、ダークマターの存在^[4]や階層性問題^[5]などの標準模型では説明できない問題が未だ存在している。これらの問題を解決するために、標準模型を超える新しい物理が必要であり、世界中で様々な方法で新物理の手がかりを探索する実験が行われている。

新物理を発見するための基本的なアプローチとして、エネルギーフロンティアでの衝突実験がある。ATLAS実験はエネルギーフロンティアでの衝突実験の一つであり、LHCによる高エネルギーでの陽子-陽子衝突を用いて、TeVスケールまでに期待される物理事象を広く調べることを目的としている。その中でも特に重要な目的の一つが、超対称性粒子(Supersymmetric Particles, SUSY粒子)を始めとする標準模型を超える新粒子の発見である。LHCは世界で唯一TeVスケールのエネルギーを持つ加速器であるため、高い質量領域まで新粒子を探索することができる。もう一つの重要な目的は、標準模型の粒子のうち、特にヒッグス粒子やトップクォークの生成断面積・崩壊分岐比を精密に測定することである。測定が一番の意義は、これらの精密測定により得られた結果が標準模型から得られる理論値から外れていた場合、標準模型を超えた新物理の手がかりとなるためである。また現在ヒッグス粒子やトップクォークの直接生成が可能な加速器はLHCだけであるので、ATLAS実験による精密測定は非常に重要である。以下では、これらのうちヒッグス粒子の精密測定とSUSY粒子探索に絞って説明する。



図 1.1：素粒子標準模型で導入されている素粒子 [1]。

1.2.1 ヒッグス粒子の精密測定

素粒子の相互作用はゲージ理論に基づくが、ゲージ場が質量を持つとゲージ対称性が破れ、繰り込み不可能になる。弱い相互作用の媒介粒子 (W、Z ボソン) は質量を持つため、ゲージ理論の枠組みに組み込むことが困難であった。この問題は自発的対称性の破れという概念を導入することにより解決した。標準模型では、ゲージボソンやフェルミオンはカイラルゲージ対称性を満たすので、本来質量は 0 となる。自然界にはヒッグス場が存在すると考えれば、ヒッグス場を励起すればヒッグス粒子が現れる。低温状態になってヒッグス場がボーズアインシュタイン凝縮すると (すなわち真空期待値を持つと)、凝縮ヒッグス場と素粒子場との相互作用が大きく変わり質量を発生させる。これを真空の相転移という。対称性を自発的に破る作用を持つヒッグス場を導入し真空の相転移が起こるとしたことで、電弱相互作用と強い相互作用をゲージ理論の枠組みに納めることに成功し、標準模型が成立した [6]。

ヒッグスの相互作用には質量の種類だけ結合定数があり、ゲージ場のような普遍的な結合定数を持たない。そして、ヒッグス粒子の性質、特に他の粒子との結合定数の精密測定を行うことで、フェルミオンの世代の違いの起源や物質・反物質の起源など、標準模型では未解決の問題を解明できる可能性がある。そのためヒッグス粒子の結合定数の精密測定は非常に重要である。

ヒッグス粒子 (H) とフェルミオン (f) の結合定数 (g_{Hff}) は標準模型では式 1.1 で表され、フェ

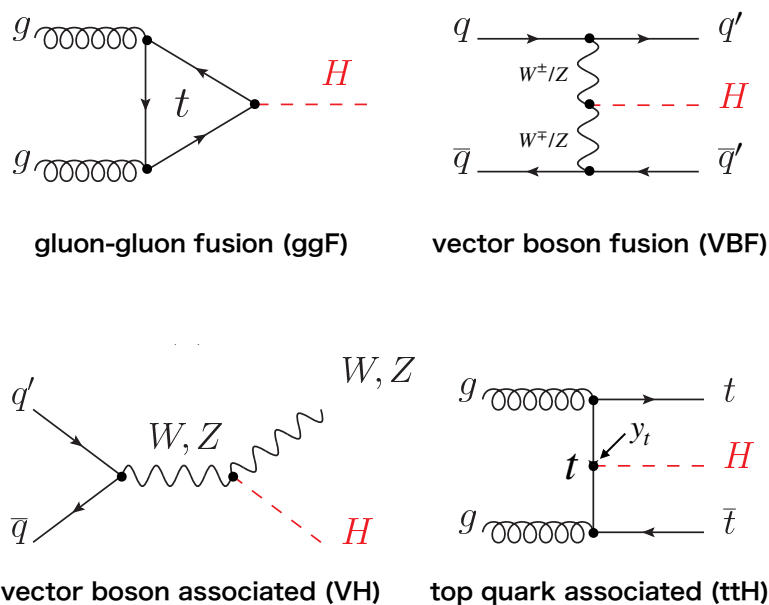


図 1.2: ヒッグス粒子の生成過程のファインマンダイアグラム。 y_t はヒッグス粒子とトップクォークの湯川結合定数を示している。

ルミオンの質量に対して比例関係にある。

$$g_{H\bar{f}f} = \frac{m_f}{v} . \tag{1.1}$$

ここで m_f はフェルミオンの質量、 v はヒッグス場の真空期待値である。新物理による寄与によってこの比例関係にズレが生じる可能性があるため、湯川結合定数を精密に測定することで新物理に対する手がかりを得ることができる。

図 1.2 に LHC におけるヒッグス粒子の生成過程のダイアグラムを示す。ヒッグス粒子の主な生成過程は gluon-gluon fusion (ggF) 過程、vector boson fusion (VBF) 過程、vector boson associated (VH) 過程、top quark associated (ttH) 過程の 4 つである。ggF 過程は LHC で最も高い生成断面積を持ち、トップクォークのループを通してヒッグス粒子が生成する。VBF 過程では、2 つのクォークから放出されるベクターボソンの結合でヒッグス粒子が生成される。VH 過程では、2 つのクォークの対消滅により生成したベクターボソンの輻射によってヒッグス粒子が生成される。ttH 過程では、トップクォークの対消滅によりヒッグス粒子が生成される。また図 1.3 に各生成過程における生成断面積の ATLAS における測定結果を示す。各過程における生成断面積は標準模型の理論値で規格化されており、現在のところ測定結果と標準模型の理論値との有意な差は見られない。

図 1.4 に LHC におけるヒッグス粒子の主な崩壊過程のダイアグラムを、表 1.1 に各崩壊過程の崩壊分岐比を示す。ヒッグス粒子とフェルミオンの結合定数は式 1.1 で示したようにフェルミオンの質量に比例するため、フェルミオンの質量が重い順に崩壊分岐比も大きくなる。発見されたヒッグス粒子の質量は 125 GeV、ベクターボソン W/Z の質量はそれぞれ 80/91 GeV である

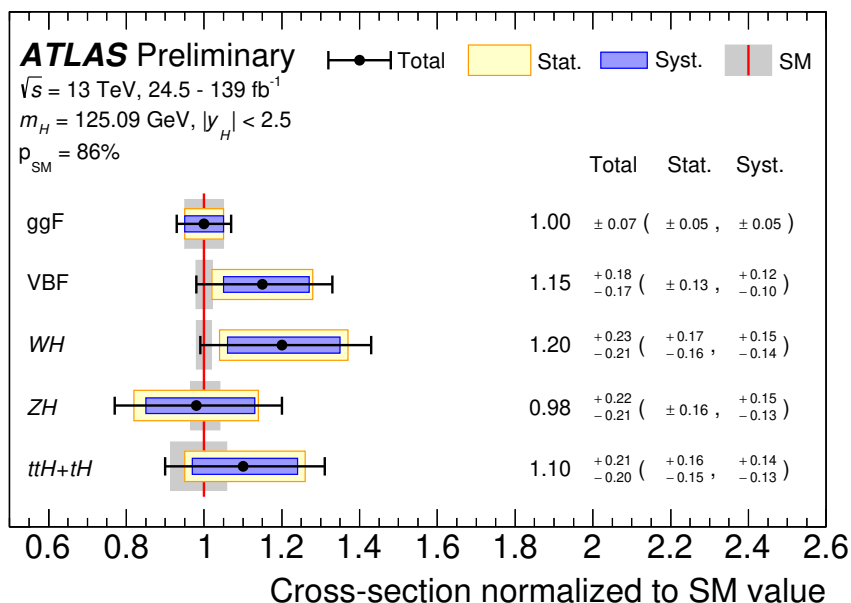


図 1.3 : ATLAS でのヒッグス粒子生成断面積測定の結果 [7]。横軸は標準模型の理論値で規格化した生成断面積。現在のところ標準模型との有意な差は見られない。

ため、ヒッグス粒子の崩壊先の対となるベクターボソンのうち一方は仮想粒子となる。そのため $H \rightarrow WW^*/ZZ^*$ の崩壊分岐比は小さくなる。

これらのヒッグス粒子の生成過程や崩壊過程ごとに分類して解析することにより、ヒッグス粒子と他の粒子との結合定数を測定している。図 1.5 に重心系エネルギー 13 TeV で取得したデータを用いて測定した結合定数の結果を示す。これらの結果はいずれも誤差の範囲内で標準模型の理論値と一致している。 $H \rightarrow b\bar{b}$ の崩壊分岐比は 58% と最も大きいですが、 b クォークは最終的にジェットとして観測されるため陽子同士の衝突により多く生成される背景事象との分離が難しく、測定の誤差が大きい。 $H \rightarrow WW^*/ZZ^*$ の崩壊分岐比はそれぞれ 21%、2.6% と $H \rightarrow b\bar{b}$ の崩壊分岐比と比較して小さいが、ベクターボソンの崩壊により生じたレプトンを測定することで信号事象

表 1.1 : ヒッグス粒子の質量が 125 GeV の場合の標準模型での崩壊分岐比と相対誤差 [8]。

崩壊過程	崩壊分岐比	相対誤差
$H \rightarrow b\bar{b}$	5.82×10^{-1}	+1.2% -1.3%
$H \rightarrow WW$	2.14×10^{-1}	+1.5% -1.5%
$H \rightarrow \tau\tau$	6.27×10^{-2}	+1.6% -1.6%
$H \rightarrow ZZ$	2.62×10^{-2}	+1.5% -1.5%
$H \rightarrow \gamma\gamma$	2.27×10^{-3}	+2.1% -2.1%
$H \rightarrow Z\gamma$	1.53×10^{-3}	+5.8% -5.8%
$H \rightarrow \mu\mu$	2.18×10^{-4}	+1.7% -1.7%

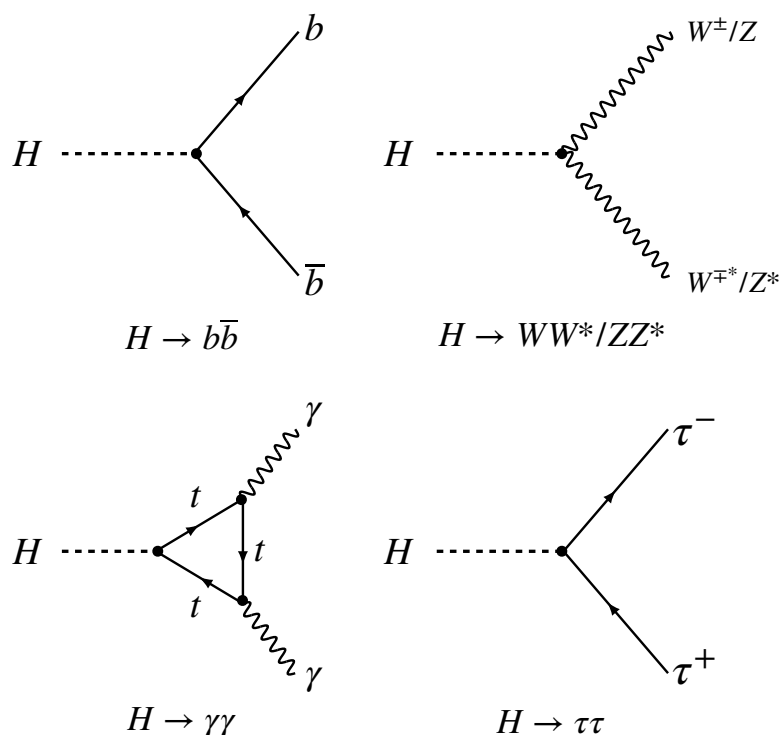


図 1.4 : ヒッグス粒子の主な崩壊過程のファインマンダイアグラム。

と背景事象が区別しやすいため、ヒッグス粒子とベクターボソンの結合定数は高い精度で測定されている。

このようにヒッグス粒子の精密測定は、様々な生成・崩壊チャンネルを用いて多角的に解析が進められている。しかし、現在解析に用いられているデータでは統計量が少なく、誤差は未だ大きいままである。そのため、より高い統計量のデータを用いてこれらの測定の誤差を小さくすることで、標準模型からの有意なズレの観測を目指している。

1.2.2 SUSY 粒子の探索

超対称性 (Supersymmetry、SUSY) とはフェルミオンとボソンを入れ替える対称性のことであり、SUSY 粒子は超対称性を仮定した際に導入される粒子の総称である。図 1.6 に示したように、超対称性理論では標準模型の粒子に対する超対称性パートナーが存在するとされる。標準模型に超対称性を導入して拡張された超対称標準模型は、(1) ヒッグス質量に対する階層性問題を解決する、(2) 超対称性粒子のうちのひとつが暗黒物質の候補となり得る、(3) 標準模型の 3 つの相互作用を全て矛盾なく統一できる、といった魅力的な特長をもつ。そのため、超対称性理論は非常に有力な理論となっている [10]。特に、SUSY が階層性問題を説明できる場合、超対称性粒子の中で最も軽い粒子の質量は数 TeV 以下の質量領域にあることが期待され、LHC で直接生成できる可能性がある。

図 1.7 に重心系エネルギー 13 TeV で取得したデータを用いて測定した各 SUSY 粒子の質量領

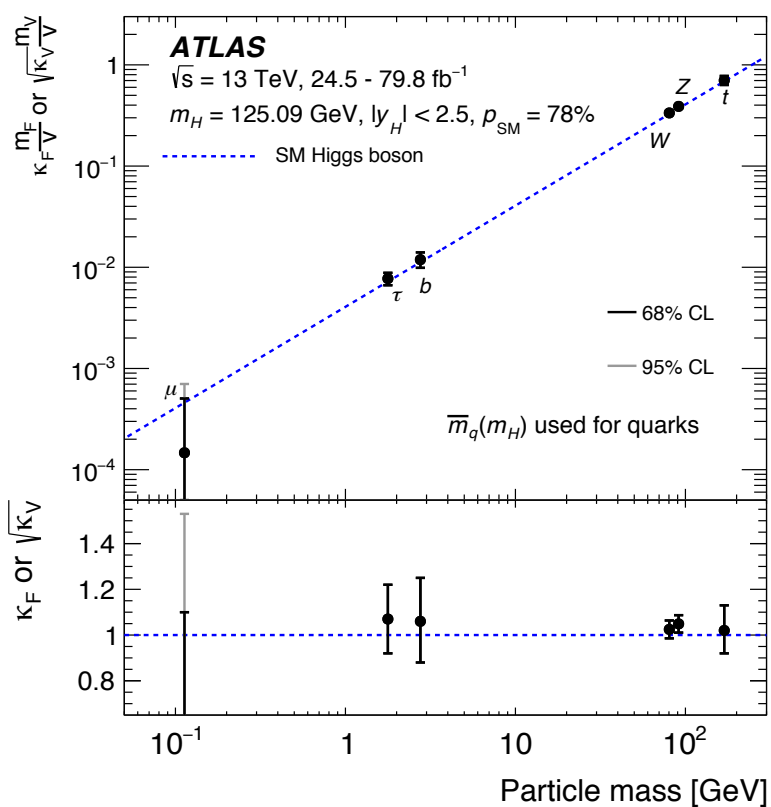


図 1.5 : 重心系エネルギー $\sqrt{s} = 13 \text{ TeV}$ のデータを用いて測定した各粒子とヒッグス粒子との結合定数の測定結果。青い点線が標準模型で予想される粒子の質量と結合定数の対応関係を示す。現在のところ標準理論との有意な差は見られない [7]。

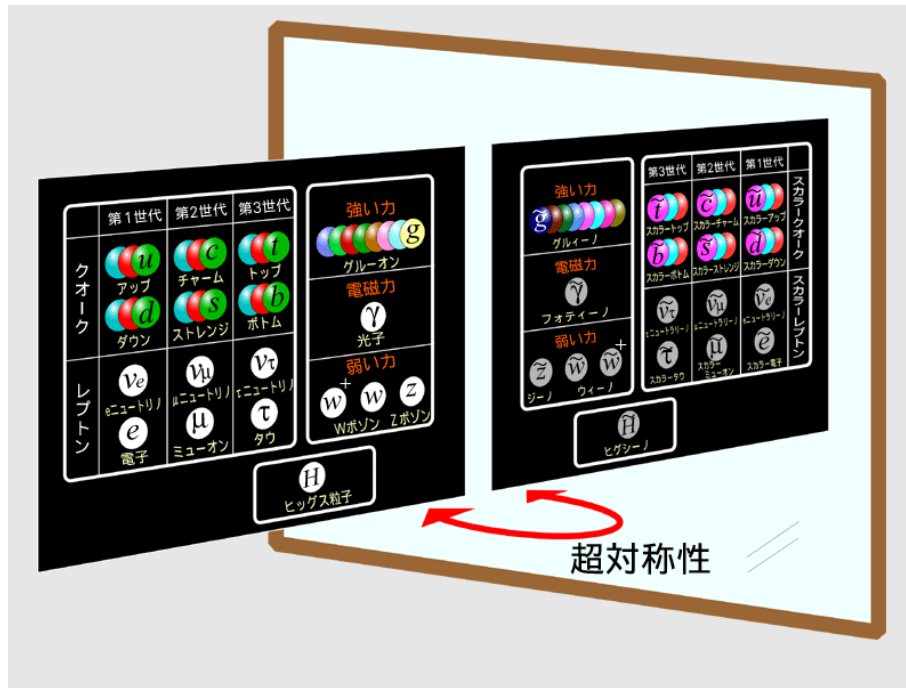


図 1.6 : SUSY 粒子の図 [9]。標準理論粒子に対して超対称性パートナーが存在することが予言される。

域の棄却領域を示す。SUSY 粒子の質量領域の大部分は棄却されているが、未探索の領域が未だ存在している。そのため、さまざまな解析手法の開発やより高い統計量のデータを用いることで探索領域を広げる試みを現在も行っている。その 1 つの例として、標準模型における荷電ゲージボソンの超対称性パートナーであるチャージノ ($\tilde{\chi}^\pm$) と、中性ゲージボソンの超対称性パートナーであるニュートラリーノ ($\tilde{\chi}^0$) の生成プロセスにおける質量の探索領域を図 1.8 に示す。先行研究 [12] では終状態のレプトンの運動量が低くなるにつれて信号事象の識別効率が悪くなるという結果が得られているので、現在は新たな低運動量レプトンの識別手法の開発を行い、質量の探索領域を広げる試みがなされている。

1.2.3 陽子陽子衝突における各物理過程の断面積

図 1.9 に現在までの ATLAS 実験で実際に測定された、陽子陽子衝突におけるヒッグス粒子生成などの各物理過程の断面積を示す。陽子陽子散乱の全断面積と比べて、ヒッグス粒子やトップクォーク、ベクトルボソン W/Z の生成など、重要な物理事象の断面積は 9 - 11 桁と非常に小さいことがわかる。そのため、ヒッグス粒子の精密測定や SUSY 粒子の探索では、未だ統計が少なく誤差が大きい。新物理の発見のためにはより高い統計量のデータが必要であるので、LHC のアップグレードを行い高輝度化する。

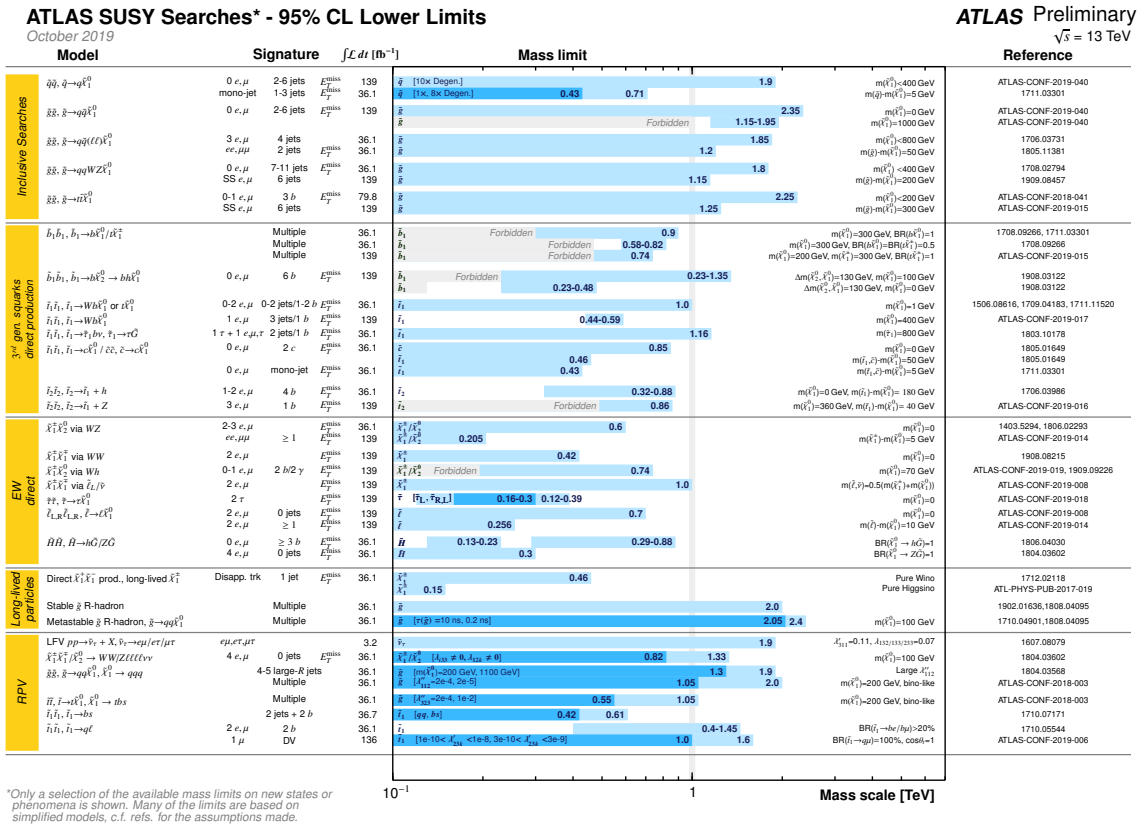


図 1.7 : 重心系エネルギー $\sqrt{s} = 13 \text{ TeV}$ のデータを用いて ATLAS で測定した各 SUSY 粒子の質量の棄却領域 [11]。

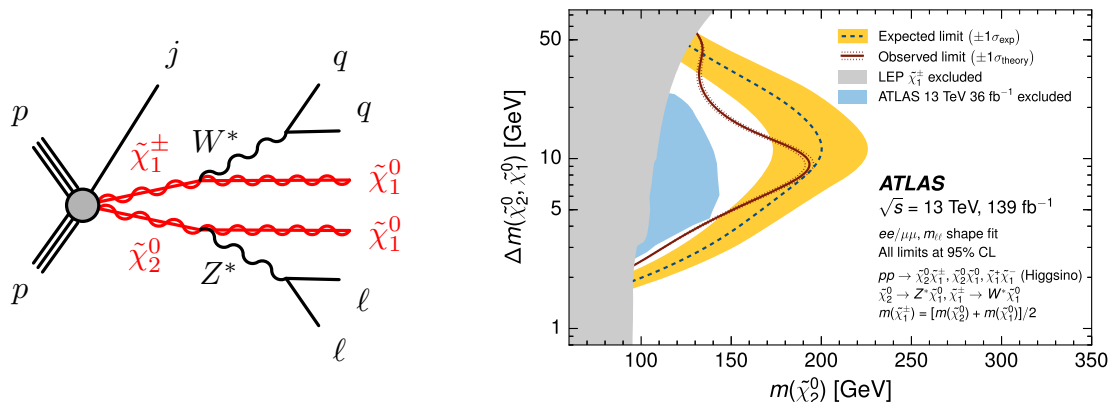


図 1.8 : (左) チャージノー ($\tilde{\chi}_1^\pm$) とニュートラリーノ ($\tilde{\chi}_1^0$) の対生成プロセスにおけるファインマンダイアグラム。(右) 先行研究で得られた質量の探索領域 [12]。横軸は、2 番目に軽いニュートラリーノ ($\tilde{\chi}_2^0$) の質量で、縦軸は最も軽いニュートラリーノ ($\tilde{\chi}_1^0$) と $\tilde{\chi}_2^0$ の質量差を示している。棄却領域は赤い線の左側である。

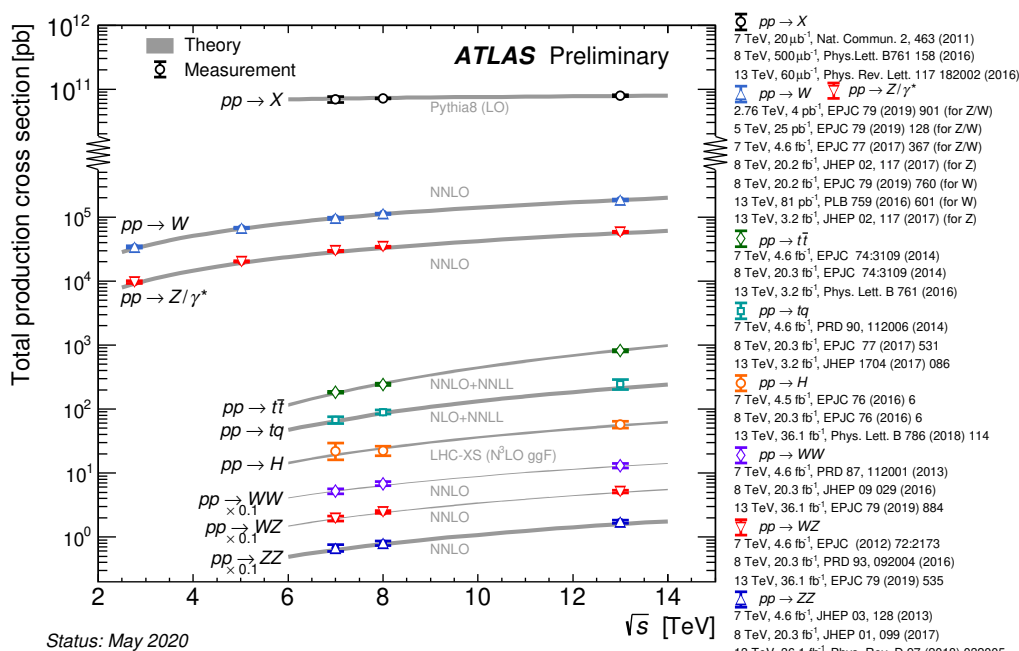


図 1.9 : 現在までの ATLAS 実験で実際に測定された、陽子陽子衝突におけるヒッグス粒子生成などの各物理過程の断面積 [13]。横軸は LHC の重心系エネルギーであり、縦軸は各物理過程の断面積である。ヒッグス粒子やトップクォーク、ベクターボソン W/Z の生成など、重要な物理事象の断面積は陽子陽子散乱の全断面積と比べて、9 - 11 桁と非常に小さい。

1.3 LHC・ATLAS のアップグレード

1.3.1 LHC アップグレードの全体像

図 1.10 に LHC 加速器の運転スケジュールとアップグレード計画を示す。LHC は 2010 年から本格的に稼働し、2010 年から 2012 年までの運転期間を Run-1、2015 年から 2018 年までの運転期間を Run-2 と呼ぶ。Run-1 では重心系エネルギー 7 - 8 TeV、瞬間最高ルミノシティ $0.77 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で、Run-2 では重心系エネルギー 13 TeV、瞬間最高ルミノシティ $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ での運転を行った。

2021 年現在 LHC は運転休止中であり (Long Shutdown 2, LS2)、2022 年からの運転再開 (Run-3) に向けて加速器のアップグレードを行っている。Run-3 では重心系エネルギーを 14 TeV に増強し、瞬間ルミノシティ $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ での運転を行い、2022 年から 2024 年の終わりまでに Run-2 で取得したデータと合わせて積分ルミノシティで 350 fb^{-1} のデータを取得する予定である。

2027 年からはさらに瞬間ルミノシティを上げ、 $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で衝突を行う高輝度 LHC が開始予定である。高輝度 LHC では、10 年間の運転で約 3000 fb^{-1} のデータを取得予定であり、Run-3 までに取得予定の 350 fb^{-1} のデータと比較して約 10 倍の統計が得られる。これにより、前節で述べた重要な物理事象に対する解析が大幅に改善される。

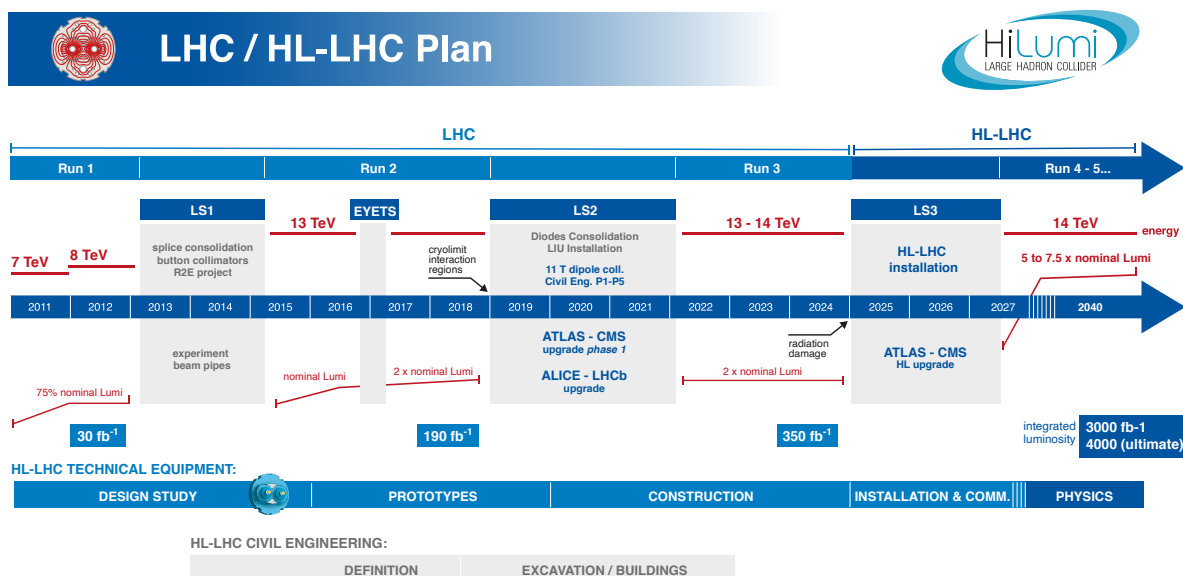


図 1.10 : LHC 加速器の運転とアップグレード計画。LHC では運転期間の間にアップグレードのためのシャットダウン期間を設けており、現在は Run-2 と Run-3 の間の Phase-1 Upgrade を行っている。

1.3.2 ミューオントリガーアップグレードの重要性

LHC のアップグレードに伴い、ATLAS の検出器・システムもアップグレードを行う必要がある。本論文ではオンラインの事象選択であるトリガー、特にミュオンを同定して事象選択を行うミュオントリガーのアップグレードに着目する。

LHC Run-3 ではエネルギーの増強や瞬間最高ルミノシティでの安定した運転に伴い、背景事象による事象頻度 (トリガーレート) が増加する。また高輝度 LHC ではルミノシティの増加に伴い、ビーム交差あたりの衝突事象数 (パイルアップ) や衝突による生成粒子数が増加することでトリガーレートがさらに増加する。トリガーに用いる粒子の横運動量 p_T に対する閾値を上げることでレートを抑制することは可能だが、重要な信号事象のアクセプタンスを失ってしまうことになる。以下では、ミュオントリガーのアップグレードの重要性について $WH \rightarrow \mu\nu b\bar{b}$ 過程を例として説明する。

LHC では、陽子同士の衝突により背景事象の原因となる QCD 事象が多く生成される。そのため、 $H \rightarrow b\bar{b}$ 過程で生じる b クォーク起源のジェットは背景事象と区別することが困難である。ここで、随伴生成した W の崩壊で生じたミュオンを要求することで、背景事象を抑制することができる。トリガーにおいて、ミュオンの p_T が高いことを要求すれば背景事象はより削減されトリガーレートは下がるが、一方 $WH \rightarrow \mu\nu b\bar{b}$ 信号過程に対するアクセプタンスは下がる。図 1.11 に、ミュオントリガーの p_T 閾値とアクセプタンスの相関を示す。この時、ミュオントリガーのアップグレードを行わない場合はトリガーレートを抑えるため、 p_T 閾値を 20 GeV か

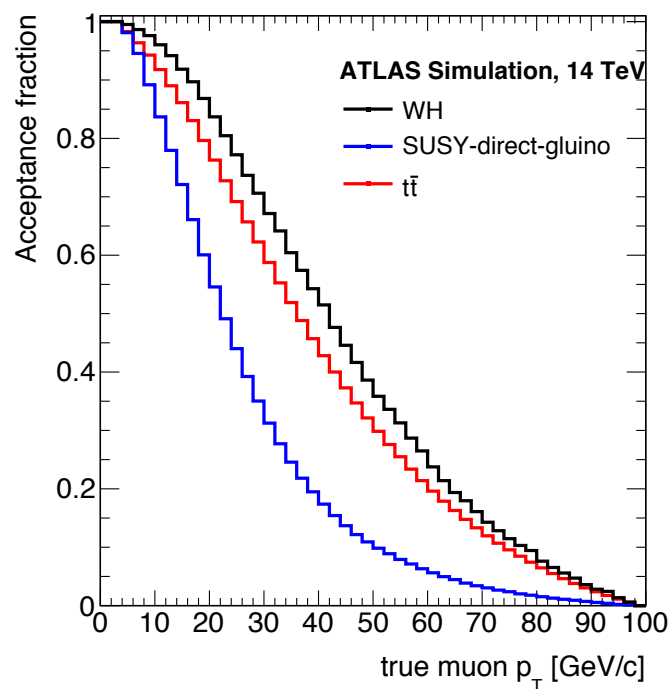


図 1.11 : ミューオントリガーの p_T 閾値とアクセプタンスの相関^[14]。

ら 40 GeV に上げなければならず、図 1.11 に示すように $WH \rightarrow \mu\nu b\bar{b}$ 過程の信号事象を約 30% 失うことになる。そのため、ミューオントリガーシステムのアップグレードは物理に対するアクセプタンスを維持していく上で必要不可欠である。

第2章 LHC-ATLAS 実験

2.1 LHC 加速器

LHC はスイス・フランス国境のジュネーブ近郊の欧州原子核研究機構 (CERN) に設置された世界最大最高エネルギーの陽子陽子衝突型加速器である。周長約 27 km の円形の加速器であり、14 TeV の重心エネルギー、 $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ の瞬間ルミノシティで陽子陽子衝突が可能のように設計されている。陽子ビームはバンチと呼ばれる 10^{11} 個の陽子のまとまりをもった構造になっており、各バンチの衝突頻度は 40 MHz となっている。LHC の陽子ビームの 4 つの衝突点には ATLAS や CMS などの検出器が設置されており、衝突によって生成された粒子の飛跡や運動量、エネルギーを測定している。LHC および検出器の全体像を図 2.1 に示す。

2021 年現在 LHC は運転休止中であり (Long Shutdown 2, LS2)、2022 年からの運転再開 (Run-3) に向けて加速器のアップグレードを行っている。重心系エネルギーを 14 TeV に増強し、Run-2 時には不安定だった瞬間ルミノシティ $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ での安定した長時間運転を行う予定である。このときバンチ交差あたりの陽子同士の衝突事象数 (パイルアップ) は平均して 50 - 60 になると予想されている。この LHC Run-3 に向けたアップグレードを Phase-1 Upgrade と呼ぶ。Run-3 では 2022 年から 2024 年の終わりまでに Run-2 で取得したデータと合わせて積分ルミノシティで 350 fb^{-1} のデータを取得する予定である。

2.2 ATLAS 実験

本節では、ATLAS 検出器とトリガーシステムについて説明する。

2.2.1 ATLAS 検出器

ATLAS 検出器は LHC の衝突点の 1 つに設置されており、直径 25 m、長さ 44 m、重さ約 7000 トンの円筒型の検出器である。全体図を図 2.2 に示す。ATLAS 検出器は大きく分けると内側から内部飛跡検出器、カロリメータ、ミューオン検出器で構成されている。それぞれの検出器で得られる情報を組み合わせて、粒子識別や粒子のエネルギー・運動量の測定を行う。以下では、各検出器の概要を説明する。

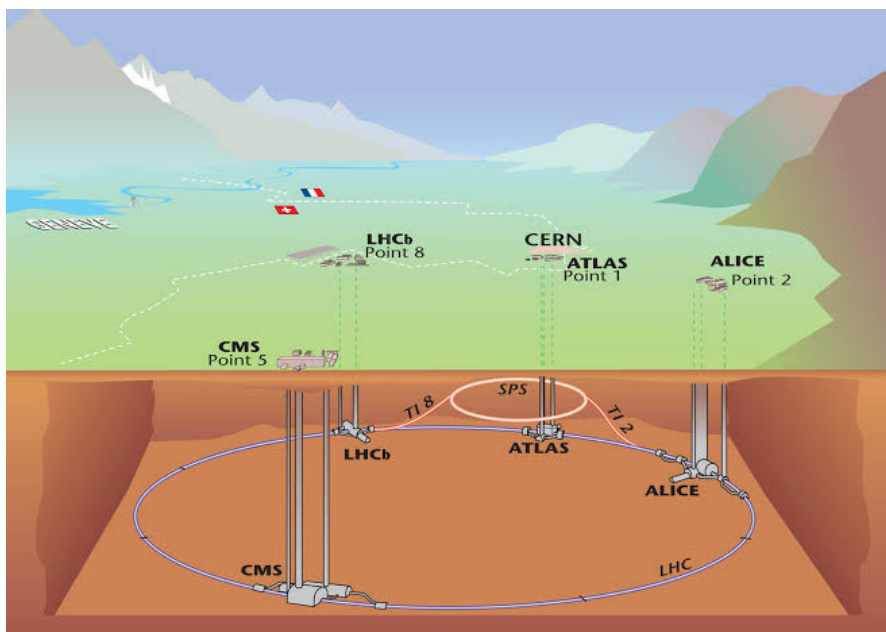


図 2.1 : LHC の全体像。地下 100 m にある LHC に設けられた 4 つの衝突点に ATLAS、CMS、ALICE、LHCb などの検出器が配置されている。

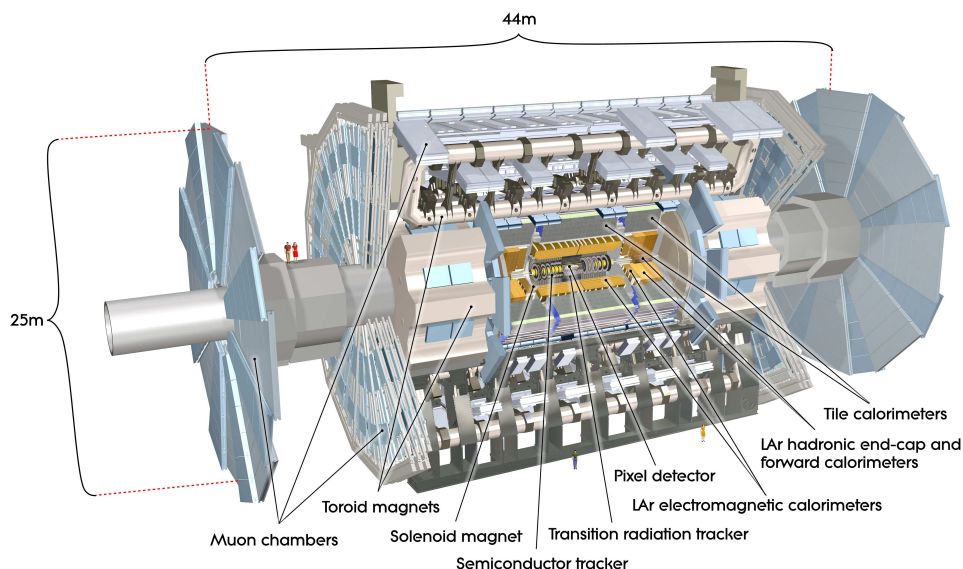


図 2.2 : ATLAS 検出器の全体図 [16]。直径 25 m、長さ 44 m の円筒型をしており、全体の重量は約 7000 トンである。内側から内部飛跡検出器、カロリメータ、ミューオン検出器の順で設置されている。

ATLAS 実験で使用される座標系・変数

ATLAS 実験で使用される座標系を説明する。ATLAS 実験では検出器や粒子の位置を表現するために、図 2.3 のように直交座標系と円筒座標系を使用している。検出器の中心を座標系の原点、ビーム軸方向を z 軸、ビーム軸に垂直な平面を $x-y$ 平面として x 軸は LHC のリング中心に向かう方向を正に、 y 軸は地面に対して垂直上向きを正としている。ATLAS 検出器では z 軸が正の側を A-side、負の側を C-side と呼ぶ。また円筒座標系では、動径方向を R として、方位角 ϕ と極角 θ はそれぞれビーム軸周りの角度とビーム軸からの角度としている。

ここで ATLAS 実験で用いられる変数として擬ラピディティ η を導入する。擬ラピディティ η はラピディティ $y = \frac{1}{2} \ln \left(\frac{E+p_zc}{E-p_zc} \right)$ の高エネルギー極限として定義され、方位角 θ のみを用いて式 2.1 のように表現される。

$$\eta = \lim_{E, |p| \rightarrow \infty} \frac{1}{2} \ln \left(\frac{E+p_zc}{E-p_zc} \right) = \frac{1}{2} \ln \left(\frac{1+\cos\theta}{1-\cos\theta} \right) = \frac{1}{2} \ln \left(\frac{\cos(\theta/2)}{\sin(\theta/2)} \right)^2 = -\ln \tan(\theta/2) \quad (2.1)$$

擬ラピディティはローレンツ不変な変数であり、生成粒子密度が擬ラピディティ毎に同程度となる点で有用である。ATLAS 検出器は円筒形をしており、側面部分と底面部分に配置される検出器の種類は大きく異なるため、 $|\eta| < 1.0$ の側面部分をバレル領域、 $|\eta| > 1.0$ の底面部分をエンドキャップ領域と呼ぶ。

陽子陽子衝突実験では、衝突するクォークやグルーオンの z 軸方向のエネルギーと運動量は不定のため、エネルギー・運動量保存則を用いることができない。しかし、ビーム軸に垂直な方向に対してはエネルギーや運動量が保存しており、保存則を用いて計算することができる。そのため、衝突点で生成された粒子のエネルギーと運動量にはしばしばビーム軸に垂直な成分である横方向エネルギー E_T や横運動量 p_T を用いる。またエネルギーのビーム軸に垂直な成分に対して保存則が成り立つので、ニュートリノなどの検出できない粒子のエネルギーは消失横方向エネルギー Missing E_T (E_T^{miss}) と呼ばれるエネルギーの2次元のベクトル和として得ることができる。

超伝導磁石

ATLAS 実験では、荷電粒子の運動量測定のために超伝導磁石を用いている。図 2.4 に各超伝導磁石の配置を示す。超伝導磁石は2種類あり、1つは衝突点付近で発生した荷電粒子の運動量測定のために用いられるソレノイド磁石であり、もう1つはミューオンの運動量測定のために用いられるトロイド磁石である。トロイド磁石はバレル部とエンドキャップ部に分けられ、それぞれ ϕ 方向に等間隔で8つずつ配置されている。ただし、バレル部とエンドキャップ部での磁場の干渉を考慮して、エンドキャップ部のトロイド磁石はバレル部に対して22.5度回転した状態で配置されている。バレル部とエンドキャップ部のトロイド磁石によって生じる磁場の η 分布を図 2.5 に、 $x-y$ 平面での磁場の分布を図 2.6 に示す。

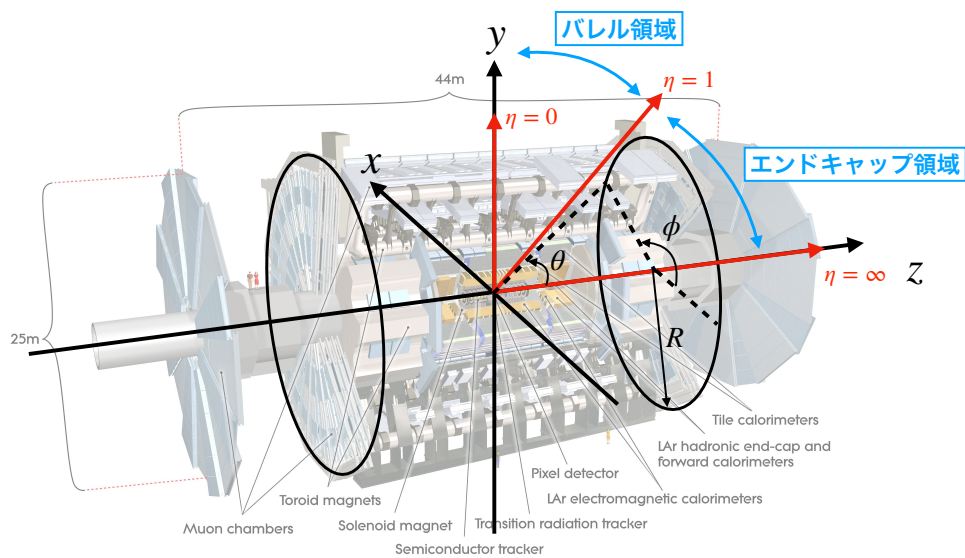


図 2.3 : ATLAS 実験で用いられる座標系。

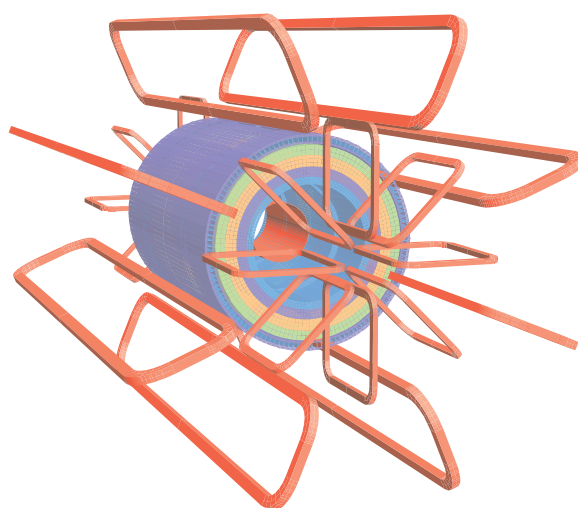


図 2.4 : ATLAS 検出器の超伝導磁石の配置 [16]。超伝導磁石は赤で描かれている。バレル部とエンドキャップ部の境界での磁場の干渉を考慮して、トロイド磁石はバレル部とエンドキャップ部でずらして設置している。

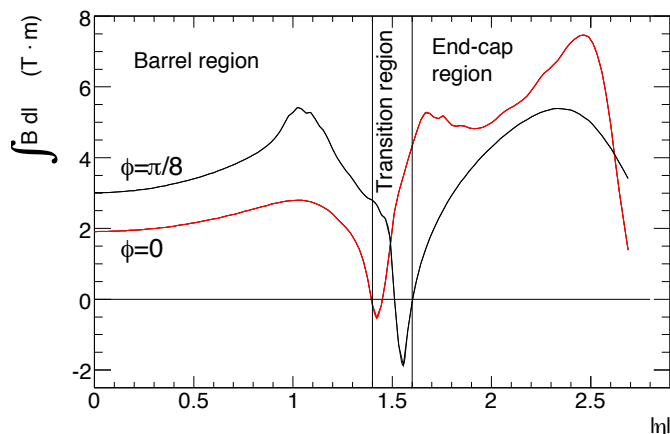


図 2.5 : トロイド磁石による磁場の η に対する依存性 [16]。 $|\eta| = 1.5$ 付近の transition region はバレル部とエンドキャップ部のトロイド磁石の境界を示している。赤い線と黒い線はそれぞれ $\phi = 0$ と $\phi = \pi/8$ における磁場の η に対する依存性を示している。

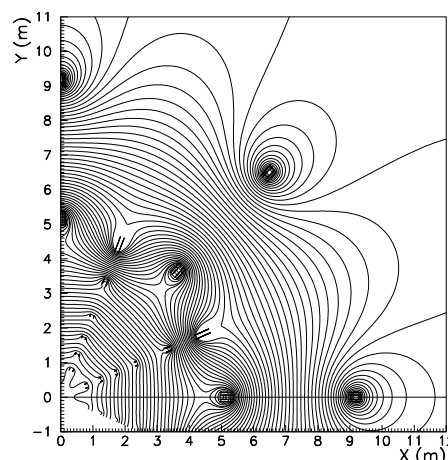


図 2.6 : ビーム軸から見た $x - y$ 平面での磁場の分布 [17]。

内部飛跡検出器

ソレノイド磁場によって曲げられた荷電粒子の運動量は、内部飛跡検出器を用いて測定される。内部飛跡検出器の全体像を図 2.7 に、その構造を図 2.8 に示す。内部飛跡検出器は内側から Insertable B-Layer (IBL)、ピクセル検出器、Semiconductor Tracker (SCT)、Transition Radiation Tracker (TRT) で構成されている。さらにバレル部とエンドキャップ部で内部飛跡検出器の構造は異なる。各検出器の性能を表 2.1 に示す。

表 2.1 : 各内部飛跡検出器の性能 [16]。

種類	領域	測定分解能 (RMS)		
		$R - \phi$	R	z
IBL	バレル	10 μm	–	60 μm
ピクセル検出器	バレル	10 μm	–	115 μm
	エンドキャップ	10 μm	115 μm	–
SCT	バレル	17 μm	–	580 μm
	エンドキャップ	17 μm	580 μm	–
TRT	バレル	130 μm	–	–
	エンドキャップ	130 μm	–	–

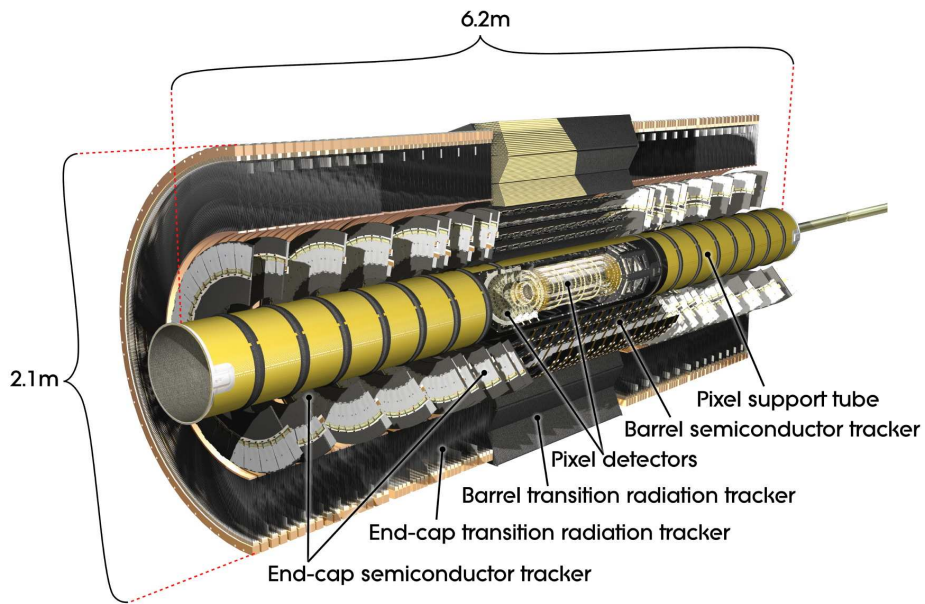


図 2.7 : 内部飛跡検出器の全体像 [16]。内部からピクセル検出器、SCT、TRT の順に設置されている。IBL はピクセル検出器の内側に配置されているが、図中には描かれていない。

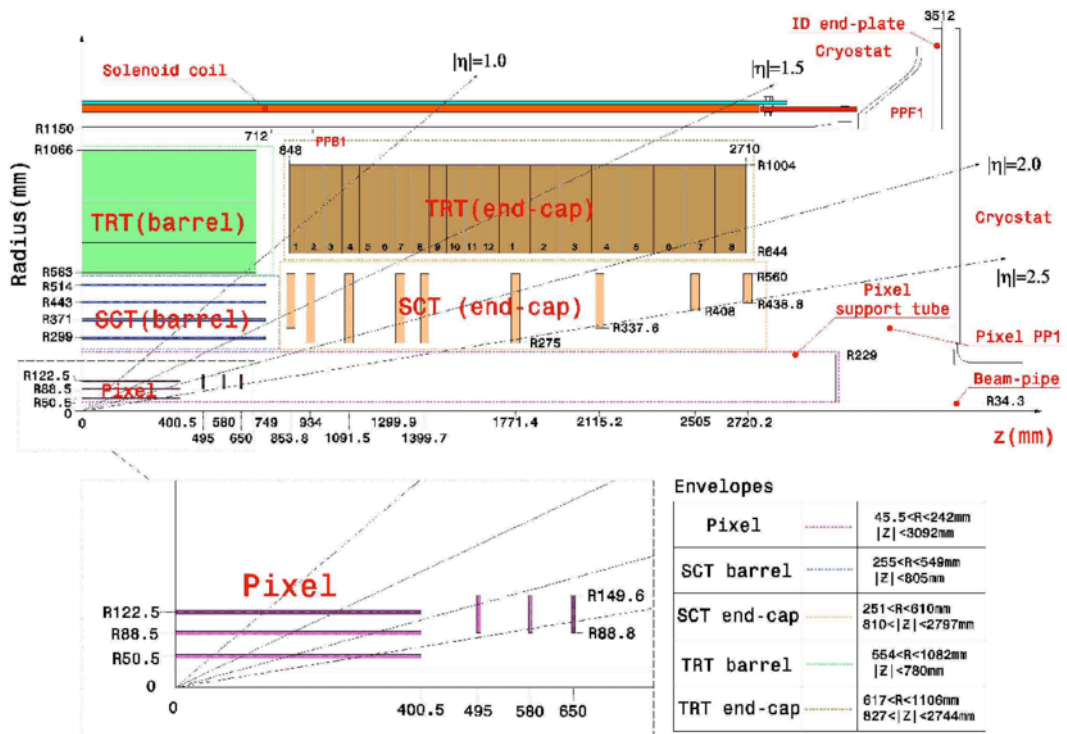


図 2.8 : 内部飛跡検出器の構造図 [16]。円筒座標系で横軸は z 軸、縦軸は R 軸である。バレル部とエンドキャップ部で内部飛跡検出器の構造は異なっている。

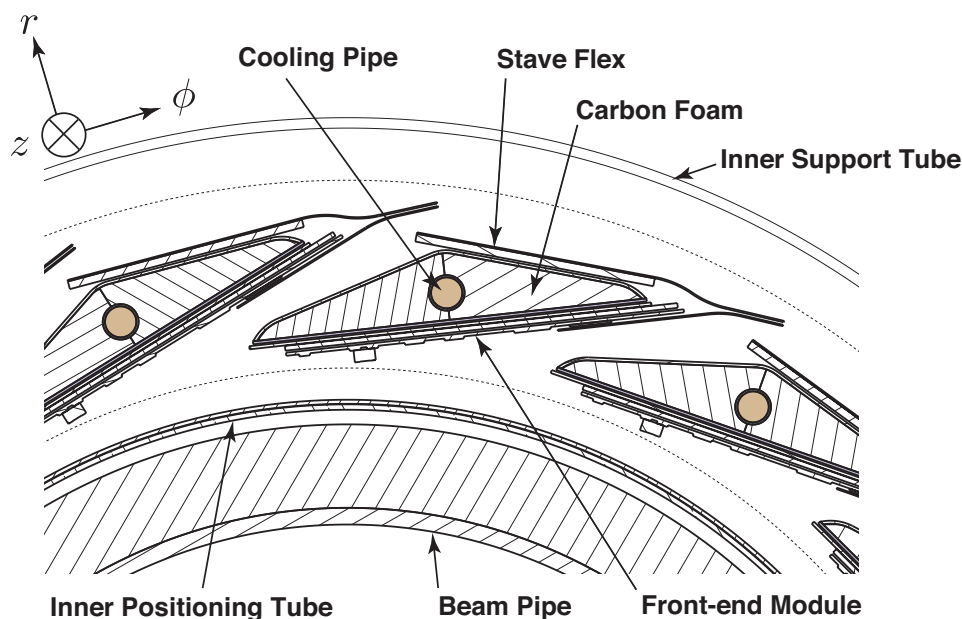


図 2.9 : ビーム軸方向から見た IBL の断面図 [18]。ピクセル検出器はビーム軸に対して ϕ 方向に約 26 度ずらして配置されている。

(1) Insertable B-Layer (IBL)

ピクセル検出器は $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ のルミノシティに対応するように設計されているため、さらに高いルミノシティ環境下では生成粒子の二次崩壊点の再構成精度や飛跡の運動量分解能が落ちる。そのため、2013 年から 2015 年に行われた LHC の長期シャットダウン中に、Insertable B-Layer (IBL) と呼ばれる新たなピクセル検出器を既存のピクセル検出器の内側に配置した。IBL のピクセルサイズは $\Delta\phi \times \Delta z = 50 \mu\text{m} \times 250 \mu\text{m}$ で、図 2.9 のように ϕ 方向に約 26 度ごとに配置することで全 ϕ 領域をカバーしている。IBL の導入によりビーム軸から約 30 mm の位置から飛跡を検出できるようになったため、図 2.10 で示した高パイルアップ環境下においても飛跡の位置分解能と再構成効率を高く維持できる。位置分解能は $R-\phi$ 方向に $10 \mu\text{m}$ と z 方向に $60 \mu\text{m}$ である。

(2) ピクセル検出器

ピクセル検出器はピクセルサイズが $\Delta\phi \times \Delta z = 50 \mu\text{m} \times 600 \mu\text{m}$ のセンサーから構成されており、バレル部では同心円状に 3 層、エンドキャップ部ではディスク状のものが 3 層配置されている。位置分解能はバレル部で $R-\phi$ 方向に $10 \mu\text{m}$ と z 方向に $115 \mu\text{m}$ 、エンドキャップ部で $R-\phi$ 方向に $10 \mu\text{m}$ と R 方向に $115 \mu\text{m}$ である。

(3) Semiconductor Tracker (SCT)

Semiconductor Tracker (SCT) を構成する 1 つのモジュールは $80 \mu\text{m}$ のピッチの 2 枚のストリップを 40 mrad の角度で張り合わせており、読み出したストリップから 2 次元の飛跡情報を

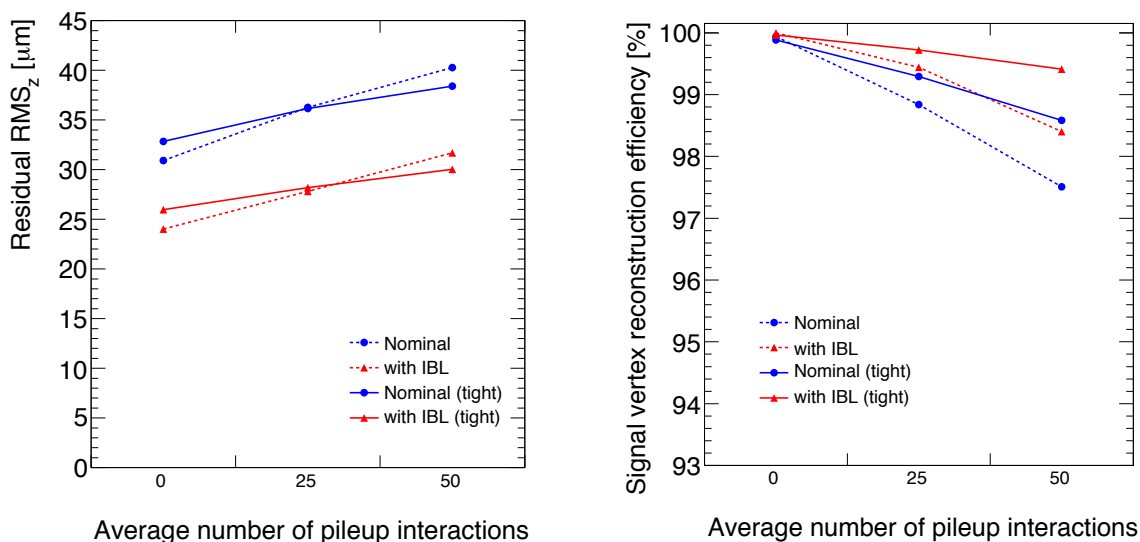


図 2.10 : (左) パイルアップ数に対する $t\bar{t}$ イベントでの primary vertex の位置分解能。(右) パイルアップ数に対する $t\bar{t}$ イベントでの primary vertex の再構成効率。IBL の導入により、高パイルアップ環境下でも primary vertex の位置分解能および再構成効率が高く維持できる [19]。

測定することができる。バレル部では SCT モジュールを同心円状に 4 層、エンドキャップ部では SCT モジュールをディスク状に 9 層設置している。位置分解能はバレル部で $R-\phi$ 方向に $17\ \mu\text{m}$ と z 方向に $580\ \mu\text{m}$ 、エンドキャップ部で $R-\phi$ 方向に $17\ \mu\text{m}$ と R 方向に $580\ \mu\text{m}$ である。

(4) Transition Radiation Tracker (TRT)

Transition Radiation Tracker (TRT) は、直径 $4\ \text{mm}$ のドリフトチューブをバレル部では 73 層、エンドキャップ部では 160 層に積み重ねることで構成されている。ドリフトチューブはバレル部ではビーム軸方向に、エンドキャップ部では放射状に並べられている。1つのドリフトチューブの位置分解能は $R-\phi$ 方向に $130\ \mu\text{m}$ であるが、長い距離の飛跡を再構成することができるため、運動量の測定に重要である。

カロリメータ

カロリメータは内部飛跡検出器の外側に設置されており、内側から電磁カロリメータ、ハドロンカロリメータの順に配置されている。電磁カロリメータは電磁シャワーを用いて電子と光子のエネルギーや位置を測定し、ハドロンカロリメータは強い相互作用によるハドロンシャワーを用いてハドロンエネルギーやそれを組み合わせたジェットエネルギーを測定する。図 2.11 に、カロリメータの配置図を示す。

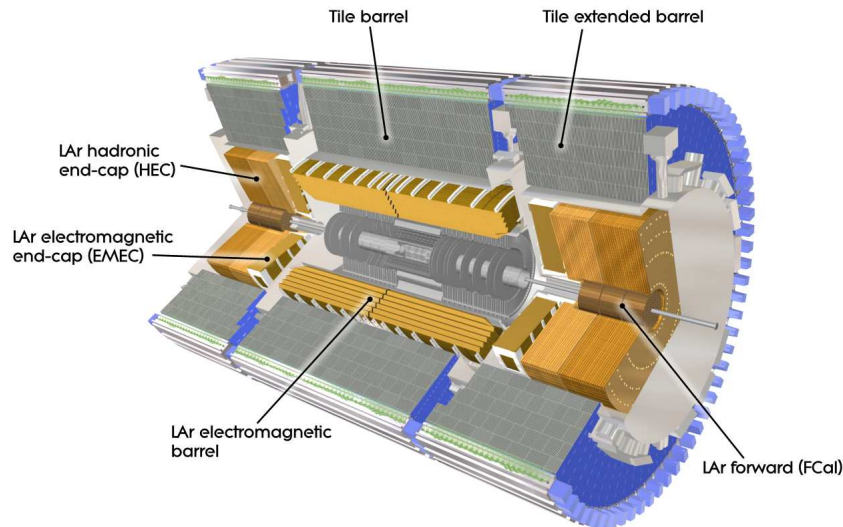


図 2.11 : ATLAS 検出器におけるカロリメータの配置図^[16]。電磁カロリメータはバレル部とエンドキャップ部に分けられる。ハドロンカロリメータはバレル部の Tile と、エンドキャップ部の HEC と、よりビーム軸に近い領域の FCal に分けられる。

(1) LAr electromagnetic calorimeter

図 2.11 のように、電磁カロリメータはバレル部 ($|\eta| < 1.475$) に 1 つ、エンドキャップ部 ($1.375 < |\eta| < 3.2$) の両側にそれぞれ 1 つずつ、内部飛跡検出器の外側に配置されている。吸収体の鉛と読み出し用の電極を図 2.12 のようにアコーディオン型に配置し、隙間を液体アルゴン (Liquid Argon, LAr) で満たしている。検出器の厚さはバレル部で放射長の 22 倍、エンドキャップ部で 24 倍以上になるように設計されている。

(2) Tile calorimeter

Tile カロリメータは吸収体の鉄とタイル状のプラスチックシンチレータを交互に重ねたサンプリングカロリメータであり、電磁カロリメータの外側に配置されている。図 2.13 に Tile カロリメータの構造を示す。Tile カロリメータは $|\eta| < 1.0$ の領域を覆うバレル部と $0.8 < |\eta| < 1.7$ の領域を覆う “Extended Barrel” 部に分かれている。また Tile カロリメータは ϕ 方向に 64 個のモジュールに分割されており、信号の読み出し単位としている。シンチレータで出た光はタイルの端から 2 本の波長変換ファイバーを用いてセル単位で読み出される。図 4.7 に示すように、セルは内側から A 層、B/C 層、D 層の 3 層構造で、最外層の D 層については到達する粒子がほとんどミューオンであるため、ミューオンのトリガー判定にも用いられる。

(3) Hadronic end-cap calorimeters (HEC)

Hadronic end-cap calorimeters (HEC) は銅と液体アルゴンを用いたサンプリングカロリメータで $1.5 < |\eta| < 3.2$ の領域をカバーする。HEC の構造を図 2.15 に示す。HEC は前方 wheel (HEC1) と後方 wheel (HEC2) の 2 つの wheel によって構成されており、1 つの HEC wheel は

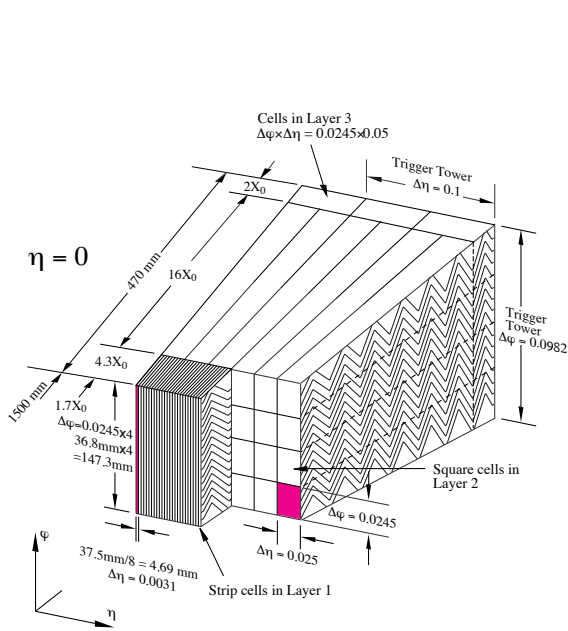


図 2.12 : 電磁カロリメータの構造図 [16]。図中にはセルごとの $\eta \cdot \phi$ 方向への分割を示している。

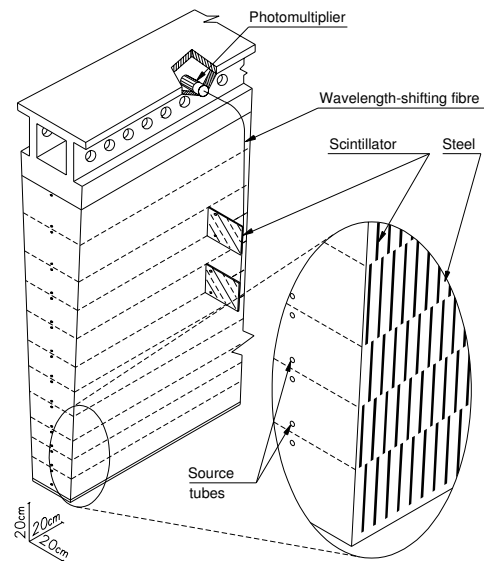


図 2.13 : Tile カロリメータの構造図 [16]。吸収体の鉄とシンチレータがサンドイッチ状に積み重なった構造をしている。シンチレータで出た光はタイトルの端から2本の波長変換ファイバーを用いて読み出され、各モジュールの外側に配置されている PMT に集められる。

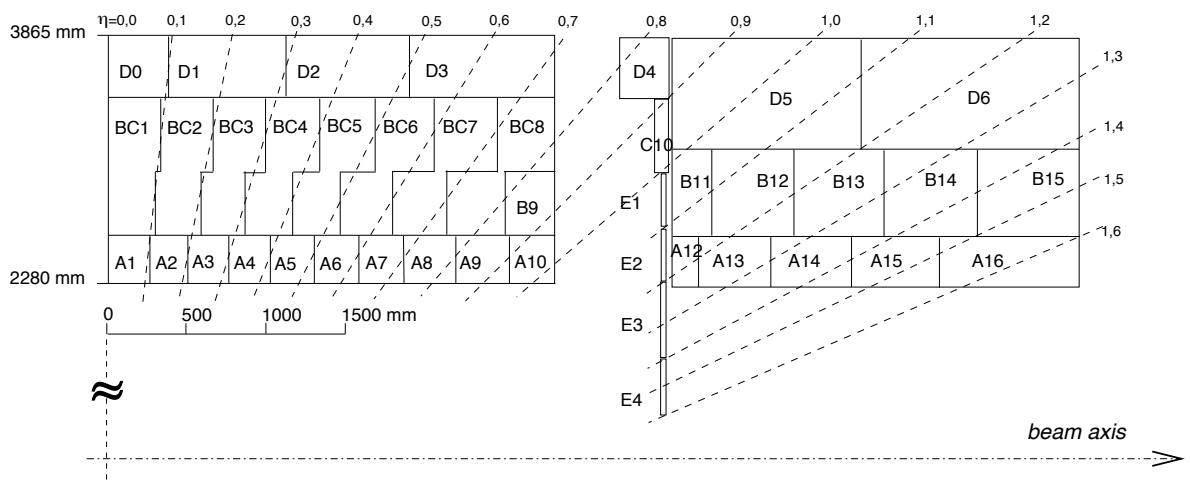


図 2.14 : Tile カロリメータのセルの配置図 [16]。Tile カロリメータは R 方向に3層構造をしており、各層の信号は独立に読み出される。

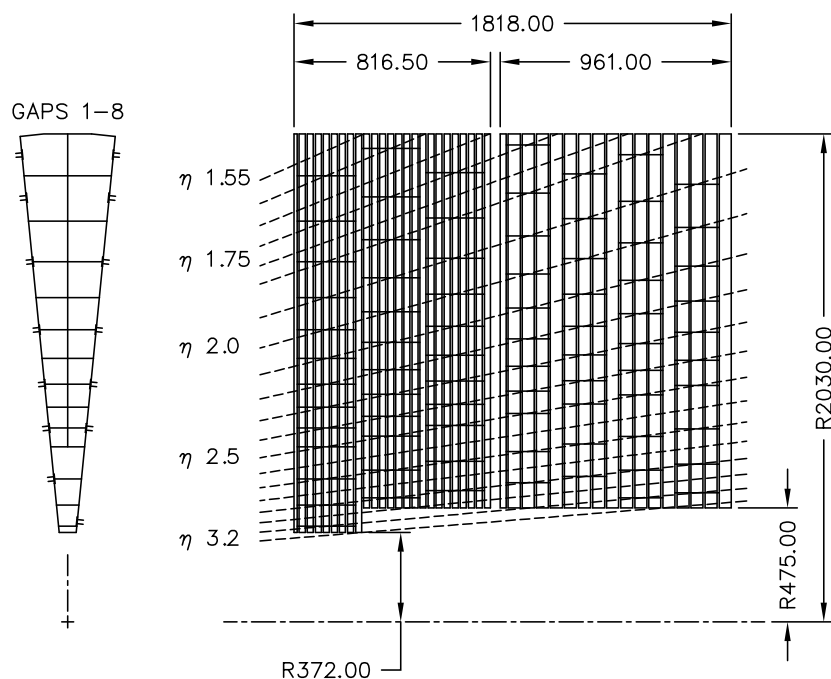


図 2.15 : (左) HEC の $R-\phi$ 図 [16]。1 つの HEC wheel は図のくさび形モジュール 32 個で構成されている。(右) HEC の $R-z$ 図 [16]。単位は mm。

32 個のくさび形のモジュールによって構成されている。

(4) Forward calorimeters (FCal)

Forward calorimeters (FCal) は $3.1 < |\eta| < 4.9$ の領域をカバーする。図 2.16 のように、衝突点に近い方から 1 つの電磁カロリメータモジュール (FCal1)、2 つのハドロンカロリメータモジュール (FCal2 と FCal3) の合計 3 つのモジュールから構成されている。分解能と熱伝導を最適化するために FCal1 の吸収体は銅を、ハドロンシャワーの広がりを抑えるために FCal2 と FCal3 の吸収体はタンゲステンを使用している。

ミューオン検出器

ミューオン検出器は図 2.17 のように ATLAS 検出器の最外層に設置されており、カロリメータを通過したミューオンを検出するために用いられる。ミューオン検出器は Resistive Plate Chamber (RPC) と Thin Gap Chamber (TGC) という 2 種類のトリガー検出器と、Monitored Drift Tube (MDT) と Cathode Strip Chamber (CSC) の 2 種類の精密測定用の検出器によって構成される。

図 2.17 にミューオン検出器の配置図を示す。バレル部には RPC と MDT、エンドキャップ部には TGC、MDT、CSC が配置されている。各検出器の性能を表 2.2 に示す。

ミューオン検出器は、検出器を層状にまとめてステーションと呼ばれる単位を構成する。エンドキャップ部ではビーム軸に対して垂直にディスク状のステーションを、バレル部では同心円状

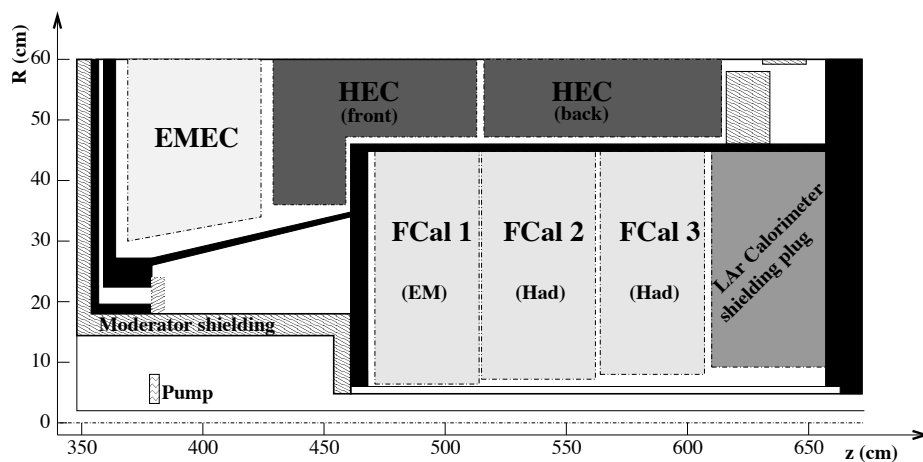


図 2.16 : 冷却装置の中に設置されている FCal の配置図 [16]。黒い領域は冷却装置の構造を示す。

表 2.2 : 各ミュオン検出器の性能 [16]。

種類	役割	測定分解能 (RMS)		
		z/R	ϕ	時間
MDT	精密測定	$30 \mu\text{m} (z)$	—	—
CSC	精密測定	$40 \mu\text{m} (R)$	5 mm	7 ns
RPC	トリガー	10 mm (z)	10 mm	1.5 ns
TGC	トリガー	2 – 6 mm (R)	3 – 7 mm	4 ns

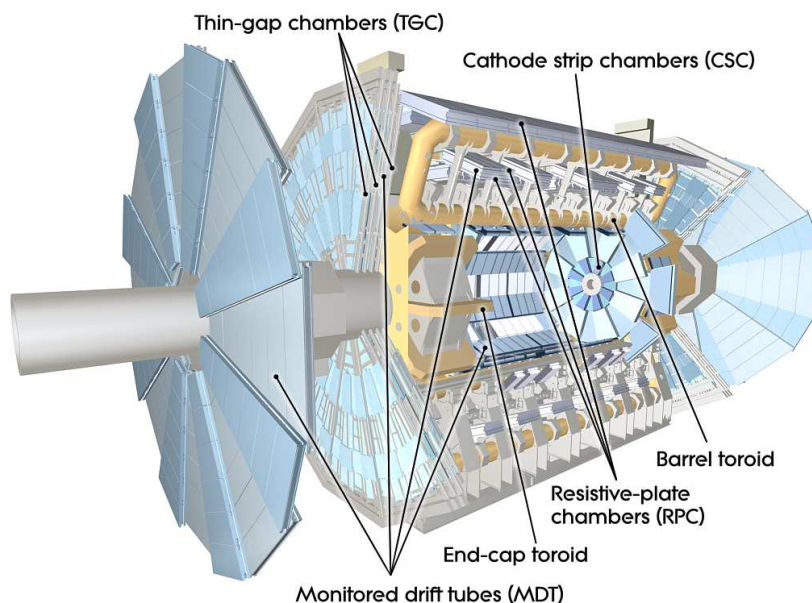


図 2.17： ミューオン検出器の断面図^[16]。バレル部には RPC、MDT、エンドキャップ部には TGC、MDT、CSC が配置されている。

に並べた円筒状のステーションを構成する。これらのステーションは3つあり、ATLAS 検出器の内側からインナー (“I”)、ミドル (“M”)、アウター (“O”) と呼ばれている。またトロイド磁石や支持構造と干渉しないようにミューオン検出器を配置するため、 ϕ 方向では Large Sector (“L”)、Small Sector (“S”) という2種類のセクターに分かれている。図 2.18、図 2.19 にミューオン検出器の配置と命名規則を示す。以下では各検出器の特徴について説明する。

(1) Resistive Plate Chamber (RPC)

RPC はバレル部でのミューオントリガー判定に用いられる検出器で、図 2.20 のように1つのセクターごとに3つ設置されている。図 2.21 に RPC 検出器の構造を示す。2枚の高抵抗プレートの間に幅 2 mm の絶縁体を挟み込んでおり、9.8 kV の高電圧をかけている。各検出器は2層構造になっており、直交するストリップの情報から η と ϕ の位置を読み出している。RPC の分解能は z 方向に 10 mm、 ϕ 方向に 10 mm である。

(2) Thin Gap Chamber (TGC)

TGC は Multi Wire Proportional Chamber (MWPC) の一種で、ワイヤーとストリップによる2次元読み出しからミューオンのヒット位置を判定する。図 2.22 に TGC 検出器の構造を示す。アノードワイヤーには直径 50 μm の金メッキをしたタングステンワイヤーを用い、カソードには片面に表面抵抗 1 M Ω のカーボン塗布したガラスエポキシ板を用いている。またカーボン塗布した反対側の面には銅で出来たストリップがワイヤーに直交するように張られている。ミューオンの位置情報のうち R をアノードワイヤーで、 ϕ をカソードストリップで測定する。ワイヤー・ストリップ間の距離は 1.4 mm と、ワイヤー・ワイヤー間の距離 1.8 mm よりも短いため検出器

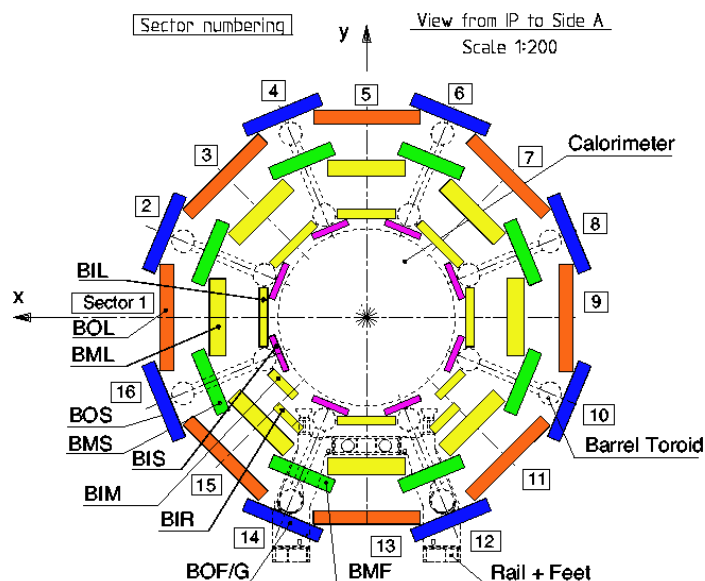


図 2.18 : ビーム軸方向から見たミュオン検出器の配置図^[16]。ミュオン検出器は、点線で示されているトロイド磁石および支持構造と干渉しないように Large Sector と Small Sector が交互に配置されている。

の時間応答が非常に良く、またレート耐性が高いという特徴がある。TGC の分解能は R 方向に 2 ~ 6 mm、 ϕ 方向に 3 ~ 7 mm である。

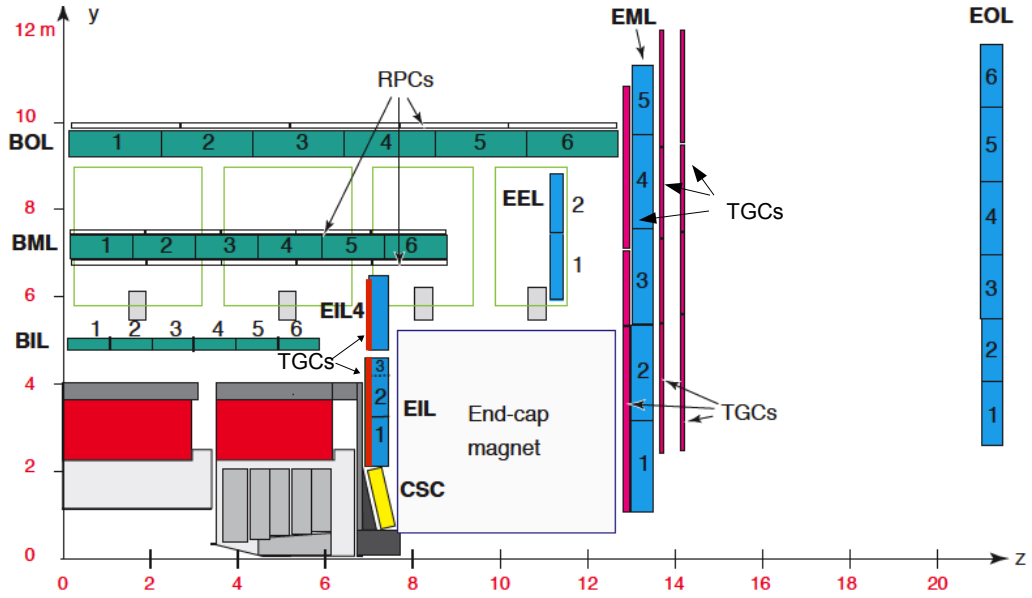
図 2.23 に示すように、TGC には 2 層構造の Doublet と 3 層構造の Triplet の 2 種類がある。Doublet はワイヤー面 2 層とストリップ面 2 層から信号の読み出しを行う。Triplet は 3 層構造になっているが、真ん中の層にストリップ面はないためワイヤー面 3 層とストリップ面 2 層から信号の読み出しを行う。また TGC は図 2.19 に示したように、磁場の内側にチェンバーを 1 つ、磁場の外側にチェンバー 3 つを設置している。TGC については第 3 章で再度詳しく説明する。

(3) Monitored Drift Tube (MDT)

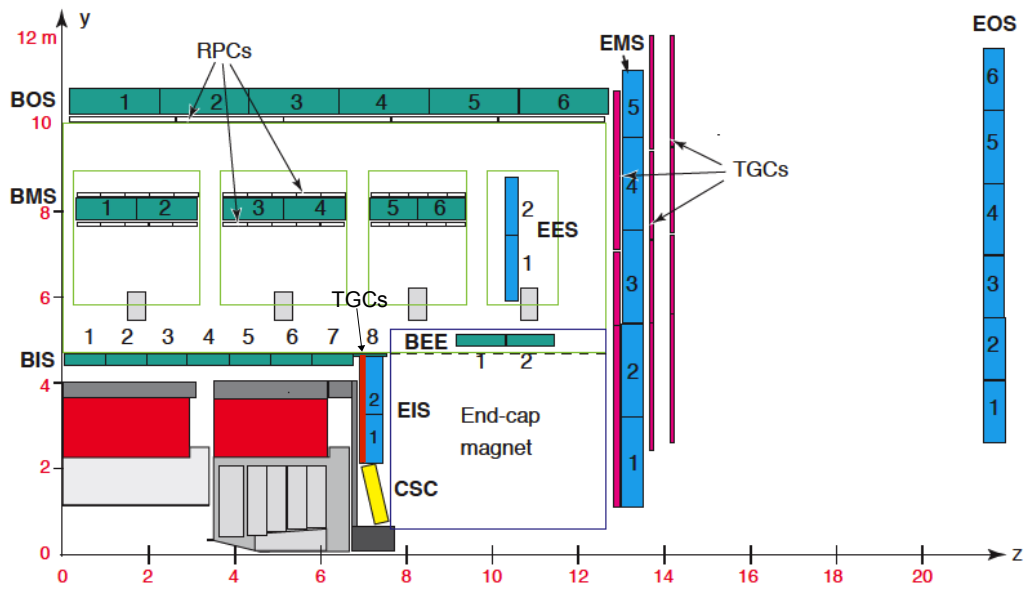
MDT は図 2.24 のように、直径約 30 mm のドリフトチューブを 6 層または 8 層並べた構造をしている。図 2.25 に示すように、MDT は 4 本の光学レーザーを用いて温度によるチェンバーの歪みを常に監視している。ドリフトチューブには Ar/CO₂ を封入している。電離によって生じた電子は、ドリフトチューブの中心に張られている直径 50 μm のアノードワイヤーで集められる。MDT は電離した電子のドリフト時間から飛跡の位置を測定しており、最大ドリフト時間は約 700 ns で位置分解能は約 80 μm である。

(4) Cathode Strip Chamber (CSC)

$|\eta| > 2$ の領域でのヒットレートは、MDT が十分な性能を発揮できるレートである 150 Hz/cm² を超えるため、代わりにレート耐性の高い CSC が設置されている。CSC は TGC と同様に MWPC の一種であり、図 2.26 のような構造をしている。



(a) Large Sector でのミュオン検出器の配置図。



(b) Small Sector でのミュオン検出器の配置図。

図 2.19 : ミュオン検出器の配置図 [20]。Large Sector と Small Sector では、トロイド磁石の配置の関係で磁場領域より内側にある検出器の配置が大きく異なる。

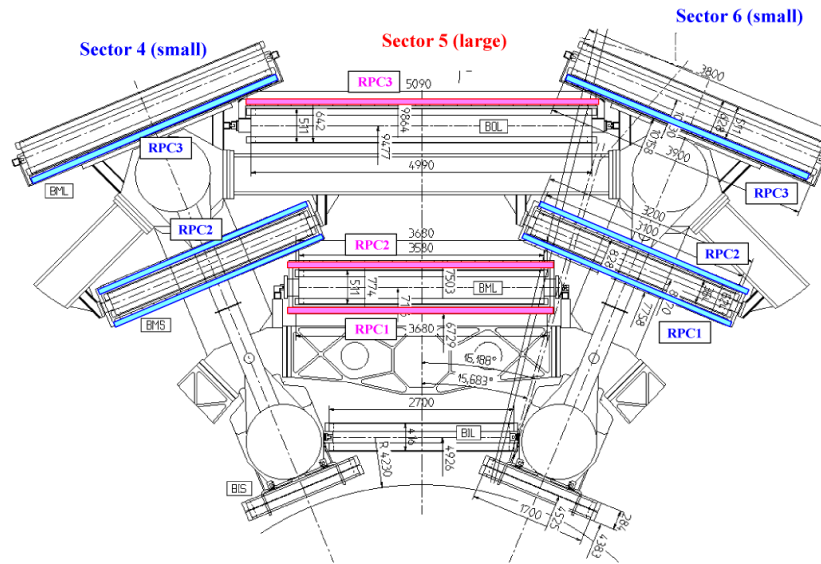


図 2.20 : バレル部での RPC 検出器の配置 [16]。赤が Large Sector、青が Small Sector における RPC 検出器の配置を示している。

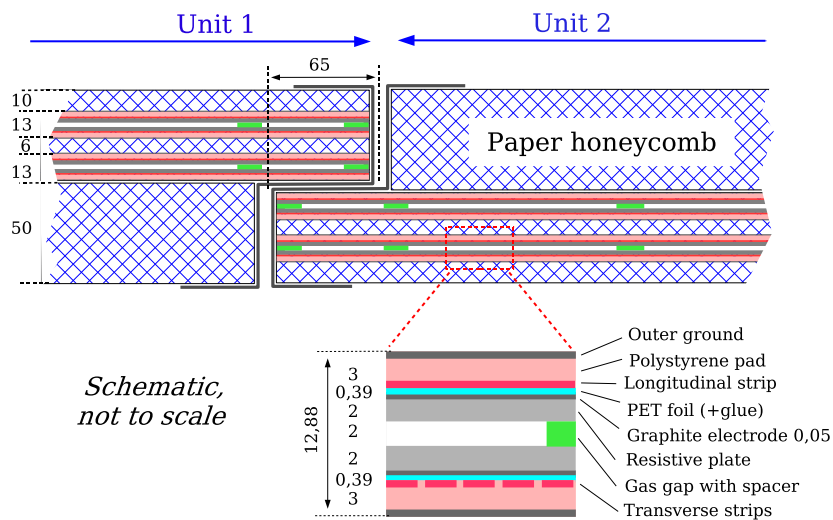


図 2.21 : RPC 検出器の構造 [16]。ガスキャップの両面に設置されているストリップの情報から η と ϕ の位置を読み出す。単位は mm。

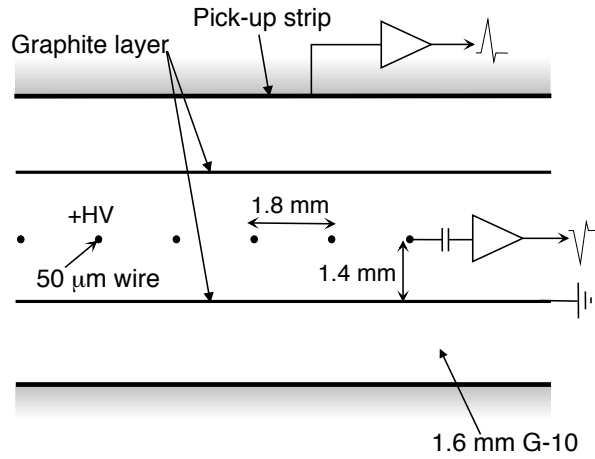


図 2.22 : TGC 検出器の構造図 [16]。ワイヤー・ワイヤー間の距離 1.8 mm、ワイヤー・ストリップ間の距離 1.4 mm の MWPC の構造をしている。アノードワイヤーとカソードストリップからそれぞれ R 方向と ϕ 方向の位置情報を測定する。

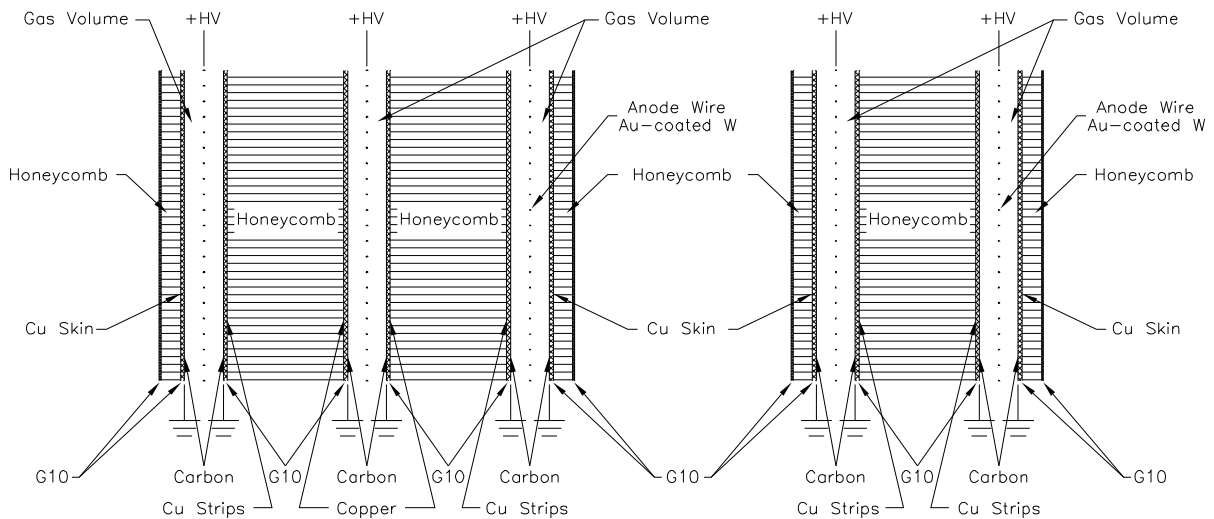


図 2.23 : TGC Triplet と Doublet の断面図 [16]。Triplet はワイヤー面が 3 層構造になっているが、ストリップ面は 2 層のみで構成されている。

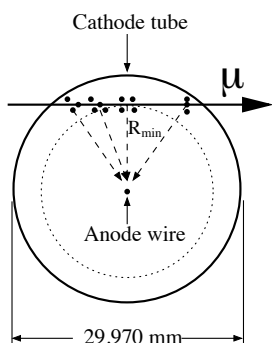


図 2.24 : ドリフトチューブの断面図 [16]。荷電粒子が通過した際に発生した電子をワイヤーで回収する。

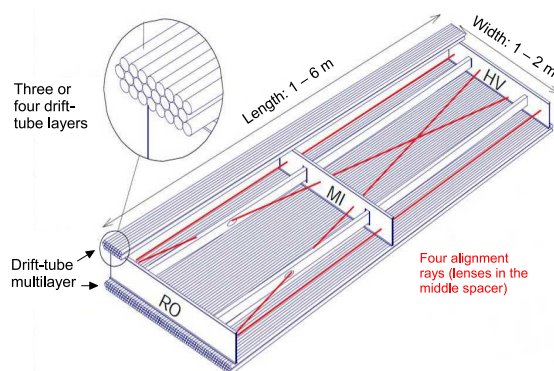


図 2.25 : MDT の構造図 [16]。

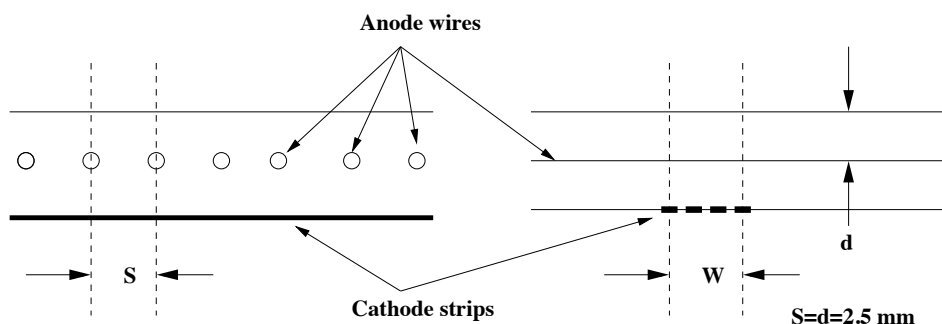


図 2.26 : CSC の断面図 [16]。ワイヤー間の距離 S とワイヤーストリップ間の距離 d はともに 2.5 mm である。

図 2.27 のように、CSC には small chamber と large chamber の 2 種類のチェンバーがあり、交互に合計 16 枚配置している。2 層のカソードストリップはガスギャップを挟んで直交しているため、 R 座標と ϕ 座標の測定を行うことができる。ストリップの読み出し幅は約 5 mm と広いが、読み出した電荷の情報から重心を計算することで $60 \mu\text{m}$ という高い位置分解能を達成している。CSC のレート耐性は 1000 Hz/cm^2 と高く、 $|\eta| = 2.7$ までの前方領域での運用に耐えられる性能がある。

2.2.2 トリガーシステム

ATLAS 実験では、LHC 加速器による 40 MHz の陽子バンチ衝突を用いて測定を行う。その一方で、現行のシステムではデータ記録容量の制限により、記録するイベントレートを約 1 - 2 kHz にすることが必要である。そのため、不要な事象を排除しながら重要な物理事象を効率よく取得するトリガーシステムを用いている。

ATLAS 検出器のトリガーシステムは、ハードウェアにより高速なトリガー判定を行う Level-1

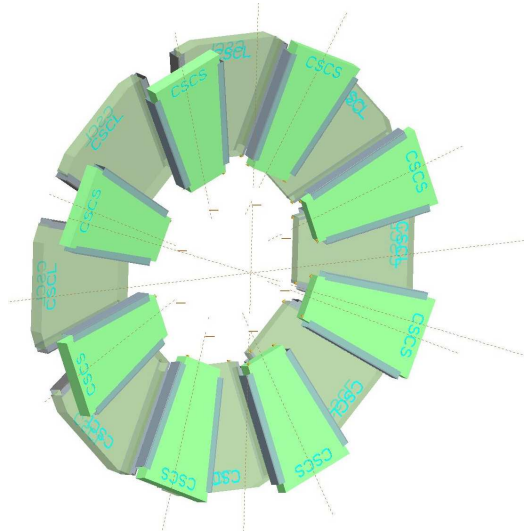


図 2.27 : CSC の配置図^[16]。8 枚の small chamber と 8 枚の large chamber を交互に配置している。

Trigger (L1 Trigger) とソフトウェアにより精密なトリガー判定を行う High-Level Trigger (HLT) で構成されている。図 2.28 に Run-2 におけるトリガーシステムの概要を示す。

Level-1 Trigger

初段のトリガーである Level-1 Trigger (L1 Trigger) は ATLAS 検出器から送られてくる 40 MHz のデータに対してトリガー判定を行い、 $2.5 \mu\text{s}$ 以内にイベントレートを 100 kHz まで下げる。高速なトリガー判定を実現するために、L1 Trigger は Application Specific Integrated Circuit (ASIC) や Field Programmable Gate Array (FPGA) などの論理集積回路で構成されるハードウェアで実装されている。ASIC は特定の用途向けに複数の回路を 1 つにまとめたもので、高速な動作速度や低い消費電力を実現できる一方で回路の修正が困難である。FPGA は ASIC と同様に特定の処理を行うように設計可能な集積回路であり、ASIC と比較して価格が高く処理速度が遅い一方で、何度でも書き換え可能であるというメリットがある。

L1 Trigger はカロリメータの情報を用いてトリガー判定を行う Level-1 Calo (L1Calo)、ミュオン検出器の情報を用いてトリガー判定を行う Level-1 Muon (L1Muon)、L1Calo と L1Muon で発行されたトリガーを組み合わせてトリガーを発行する Central Trigger で構成されている。L1 Trigger は発行されたトリガーの位置情報 (η, ϕ) を含む Region of Interest (RoI) を後段の HLT に出力する。HLT は RoI の情報から限られた領域の検出器情報を読み出し、より複雑なトリガーの判定を行う。

L1Calo は電磁カロリメータとハドロンカロリメータの情報を統合してトリガー判定を行う。ATLAS 検出器のアナログ信号はまず preprocessor に送られ、デジタイゼーションとエネルギー較正を行う。preprocessor の出力は Cluster Processor (CP) と Jet/Energy-sum Processor (JEP)

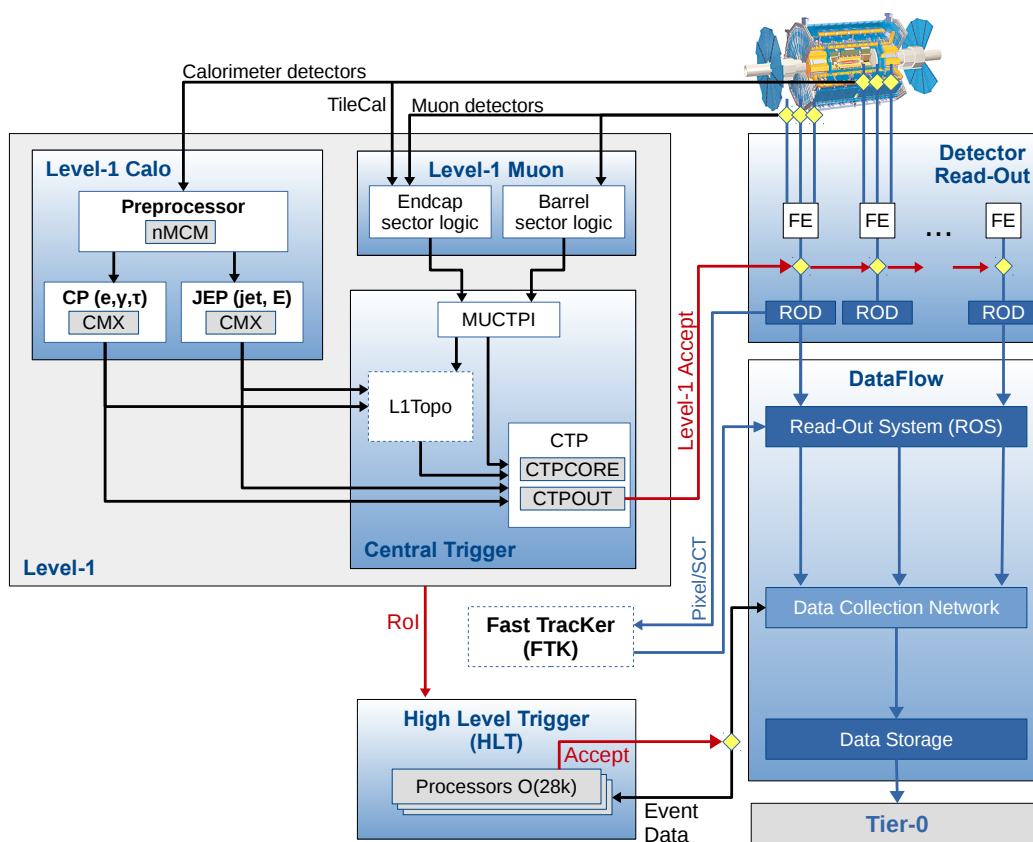


図 2.28 : Run-2 におけるトリガーシステムの概要 [21]。トリガーシステムは Level-1 Trigger と High-Level Trigger の 2 段階のトリガーで構成されている。

に同時に送られ、それぞれ電子/光子と τ 候補、ジェット候補の判定を行う。

L1Muon はバレル部の RPC とエンドキャップ部の TGC から情報を受け取り、それぞれ独立にトリガー判定を行う。バレル部とエンドキャップ部で独立に判定された L1Muon の情報は Muon-to-CTP interface (MUCTPI) で統合される。その後、L1Calo と MUCTPI で統合された L1 Trigger の情報は Central Trigger Processor (CTP) と Topological Trigger (L1Topo) に送られる。L1Topo は、L1Calo と L1Muon から受け取ったトリガーの位置や粒子の横運動量などの情報を組み合わせてトリガーの判定を行う。CTP は、L1Calo、L1Muon、L1Topo から情報を受け取り、トリガーレートが 100 kHz を超えないようにトリガー条件ごとに決められた pre-scaling ファクターをかけてトリガーの発行を行う。L1 Trigger でトリガーを発行した場合、各検出器のフロントエンド回路には Level-1 Accept (L1A) 信号が送られ、トリガーを発行したイベントの情報が読み出される。

L1 Trigger では、衝突事象が起きてから一定の時間でトリガーの判定を行う、「Fixed Latency システム」を採用している。フロントエンド回路上の buffer は常に一定の時間データを保持して、L1A 信号を受け取った場合にはデータを後段の ReadOut Driver (ROD) に送り、L1A 信号を受け取らなかった場合は buffer で保持していたデータを破棄するようなシステムとなっている。

Latency を示す単位としてよく用いられるのが、Bunch Crossing (BC) である。LHC の陽子陽子衝突が 40 MHz であることから、衝突間の時間 25 ns を 1 BC と定義する。例えば、L1 Trigger 発行までの latency は $2.5 \mu\text{s} = 100 \text{ BC}$ である。

High-Level Trigger

High-Level Trigger (HLT) は、L1 Trigger で定義された RoI 周辺の検出器情報を用いて、ミュオン、電子、光子などをソフトウェアを用いたオフライン解析に近いアルゴリズムで再構成することにより、Level-1 Trigger より精密なトリガー判定を行う。HLT では、L1 Trigger で用いられなかった内部飛跡検出器の情報、MDT や CSC などの精密測定用のミュオン検出器の情報、L1Calo で用いられた位置分解能より細かいカロリメータの情報などを用いて、飛跡再構成やより高精度な E_T 、 p_T の計算を行う。トリガーレートは HLT を用いて最終的に約 1 - 2 kHz まで削減される。

2.2.3 LHC Run-3 に向けたアップグレード

現在、LHC では 2022 年から運転開始予定である Run-3 に向けてアップグレードを行っており、重心系エネルギーを 14 TeV に増強し、瞬間ルミノシティ $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ での安定した長時間運転を可能にする予定である。ルミノシティの最高出力の安定化に伴いパイルアップが増加するため、背景事象によるトリガーレートが増加する。その一方で Level-1 のトリガーレートに対する制限は現行のシステムと変わらない。現行のシステムのままではレートの制限を超えてしまい、検出器情報の読み出しが上手くいなくなるなどシステムの運用ができなくなってしまう。

そのため、pre-scaling ファクターをかけたり、トリガーで要求するエネルギーや横運動量の閾値を上げることでトリガーレートを抑制しなければならない。これらの手法によりトリガーレートを抑制することは可能であるが、物理現象に対する感度を失い、高輝度環境を活かせない。物理現象に対するアクセプタンスを維持したままトリガーレートを抑制するために、ATLAS 検出器やトリガーシステムのアップグレードを行っている。このアップグレードを Phase-1 Upgrade と呼ぶ。

以下では、ミューオントリガーシステムに関連した検出器のアップグレード内容について説明する。

New Small Wheel

現在エンドキャップ部の磁場領域より内側に設置されている Small Wheel と呼ばれる円盤状の検出器は、Phase-1 Upgrade で New Small Wheel (NSW) と入れ替えられる予定である。NSW は高ヒットレート環境での飛跡測定効率の向上だけでなく、ミューオントリガーの改良のために導入される。

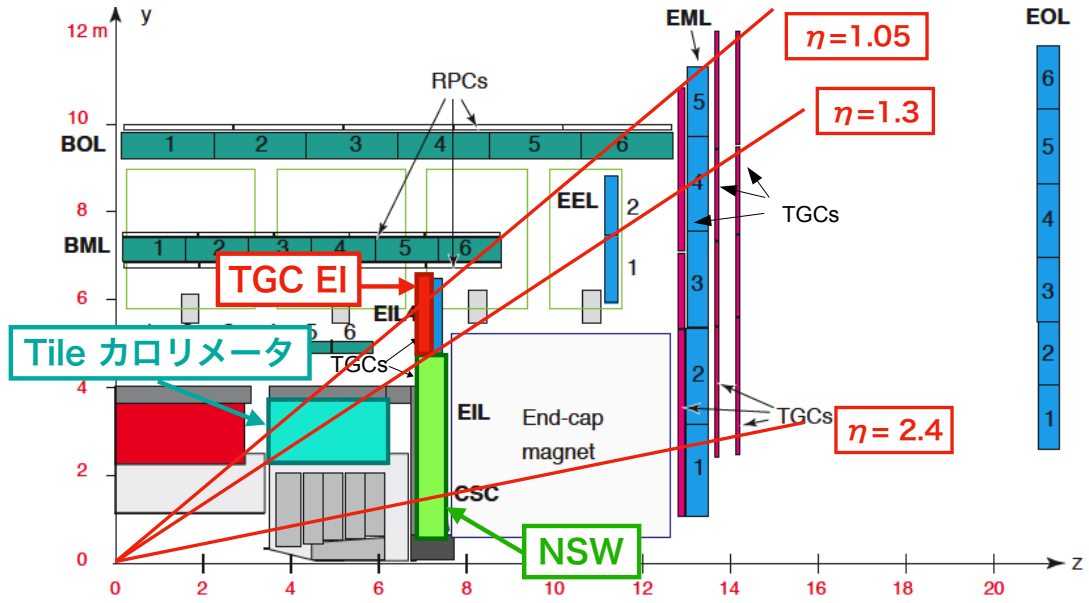
図 2.29 に、Run-3 におけるミューオン検出器の配置を示す。NSW は $1.3 < |\eta| < 2.7$ の全 ϕ 領域を覆うように設置される。図 2.30 に示すように、NSW は small-strip TGC (sTGC) と Micromegas (MM) の 2 種類の検出器を 4 層ずつ組み合わせた構造をしており、位置情報だけでなく飛跡の再構成による角度情報も得られる。

(1) small-strip TGC

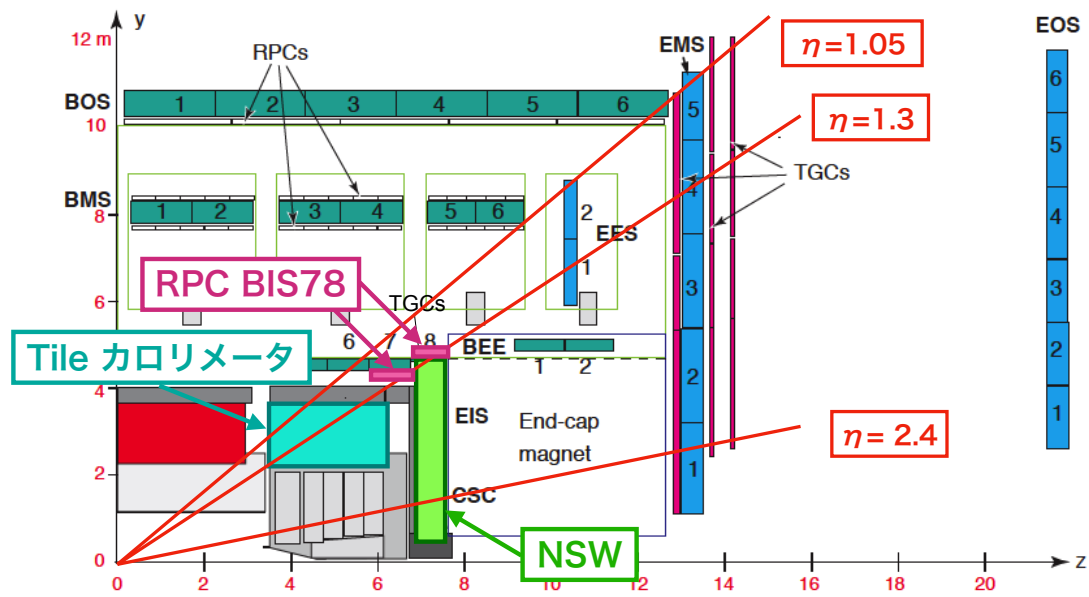
small-strip TGC (sTGC) は TGC と同様の MWPC だが、ストリップは TGC よりも短い 3.2 mm 間隔で張られている。ストリップから読み出した電荷情報を用いて重心の計算を行うことで、60 ~ 150 μm という高い位置分解能を達成している。また sTGC は TGC と異なり、ストリップを用いて η 方向の位置座標を、ワイヤーを用いて ϕ 方向の位置座標を測定する。図 2.31 に示すように、sTGC にはパッドと呼ばれる読み出しカソードがあり、ストリップとパッドでアノードワイヤーを挟む構造になっている。sTGC では、まずパッドを用いて大まかな位置情報を計算し、その領域のストリップ情報を用いてより精密な位置情報の計算を行うことで高速な飛跡再構成を行う。

(2) Micromegas (MM)

Micro-mesh gaseous structure、Micromegas (MM) は、図 2.32 に示すようにワイヤーを用いない検出器で、厚さ 5 mm のドリフト領域と 128 μm の増幅領域がメッシュで隔てられている。増幅領域では電子のみでなく陽イオンも生成されるが、陽イオンは質量が大きいため移動速度が遅く、普通的气体検出器では増幅領域の電場を歪めてしまう。しかし、MM では増幅領域の厚さが小さいため、陽イオンの吸収が早く、高レート環境でも陽イオンによる影響を抑えることができる。またドリフト領域での電子の移動速度は比較的遅いため、読み出された信号の時間差を用



(a) Large Sector でのミュオン検出器の配置図。



(b) Small Sector でのミュオン検出器の配置図。

図 2.29 : Run-3 におけるミュオン検出器の配置図。1.3 < $|\eta|$ < 2.7 の全 ϕ 領域に NSW が、1.05 < $|\eta|$ < 1.3 の Small Sector には RPC BIS 7/8 が新たに導入される。

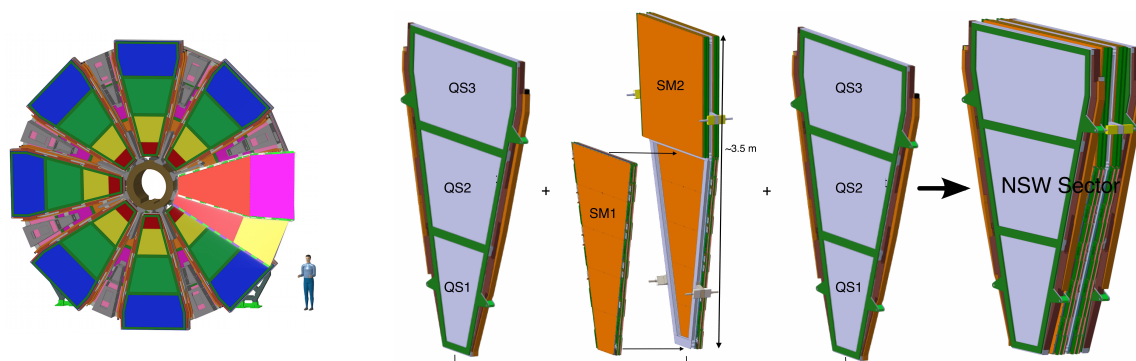


図 2.30 : (左) NSW の構造。Large Sector と Small Sector の 2 種類のチェンバーを交互に配置している。(右) Small Sector の 1 チェンバーの構造。sTGC quadruplet の間に、4 層で構成されている MM が 2 つ挟まれており、合計 16 層で構成されている。Large Sector も同様の構造をしている [22]。

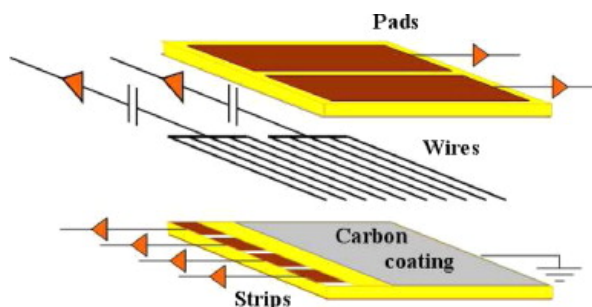


図 2.31 : sTGC の断面図 [23]。パッド、ストリップを用いて η を、ワイヤーを用いて ϕ を計算する。

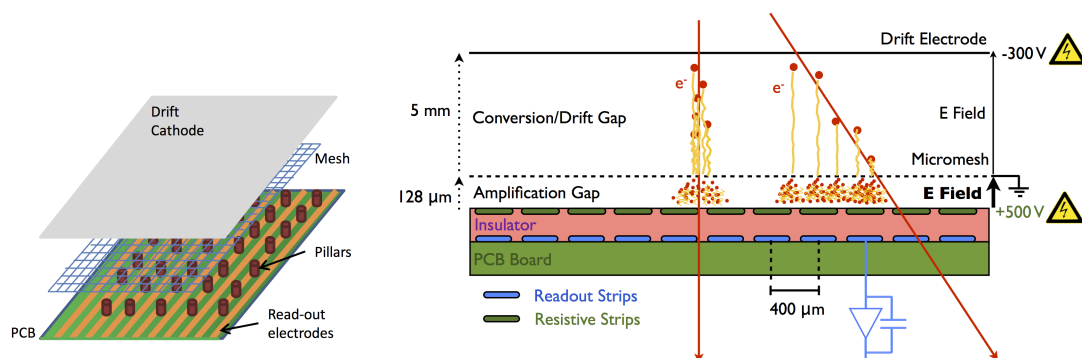


図 2.32 : MM の断面図と動作原理 [24]。メッシュによってドリフト領域と増幅領域に分けられる。ドリフト領域で生成された電子はメッシュを通過し、増幅領域で形成された約 40-50 kV/cm の電場により増幅される。

いることで飛跡の z 方向の情報を再構成することができる。これにより検出器に対してミューオンが斜めに入射した場合にも位置分解能 $90 \mu\text{m}$ という高い精度で位置の測定が可能である。

BIS 7/8 のアップグレード

BIS 7/8 とは、図 2.19 に示したように Barrel Inner Small Sector の内側から 7、8 番目の位置を指しており、現在は精密測定用検出器の MDT (MDT BIS 7/8) が配置されている。Run-3 からは、この領域にトリガー用検出器である RPC を導入し、MDT は設置スペースを考慮してより薄い small-diameter MDT (sMDT) に置き換えられる。以下では、BIS 7/8 領域に配置される新検出器をそれぞれ RPC BIS 7/8、sMDT BIS 7/8 と呼ぶ。図 2.33 に RPC BIS 7/8 と sMDT BIS 7/8 の配置図を示す。

(1) RPC BIS 7/8

RPC BIS 7/8 は現行の RPC と基本的な構造は同じだが、図 2.34 に示すようにバックグラウンドを抑制するため 3 層構造になっている。RPC BIS 7/8 を設置する領域はバレルトロイド磁石とカロリメータの間に位置するため、検出器を設置するためのスペースが小さい。そのため、ガスギャップを約 1 mm まで小さくすることで検出器の占める領域を小さくしている。

(2) sMDT BIS 7/8

sMDT BIS 7/8 は現行の MDT と基本的な構造は同じだが、ドリフトチューブの半径が約 15 mm と現行の MDT の半分の長さである。ドリフト半径が半分になるため、ドリフト時間は 700 ns から 175 ns に短縮され、高レート環境でも高い性能を持つ。表 2.3 に MDT と sMDT の性能を示す。また位置分解能は MDT とほぼ同じ $110 \mu\text{m}$ である。

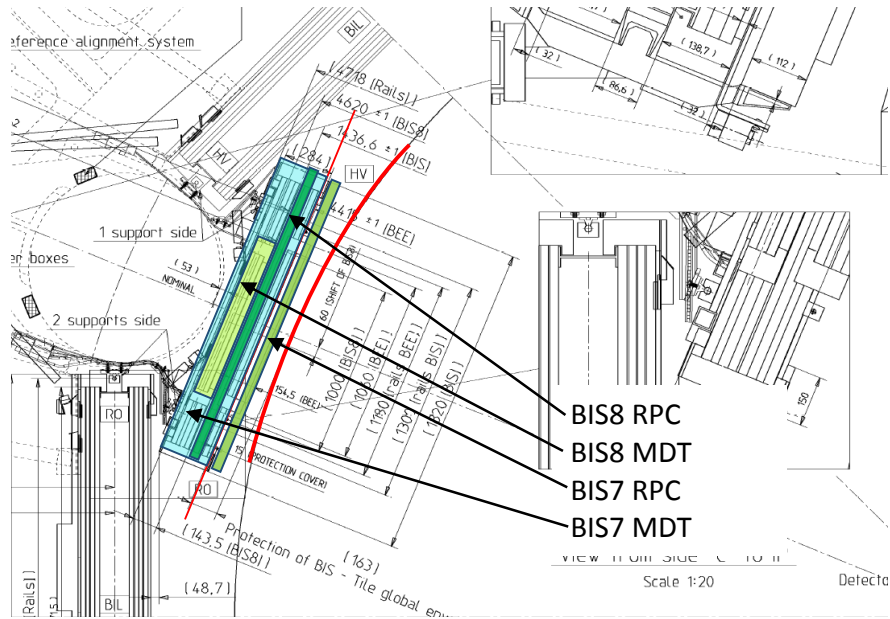


図 2.33 : ビーム軸方向から見た RPC BIS 7/8 と sMDT BIS 7/8 の配置図 [25]。バレルトロイド磁石と干渉しないように配置されている。

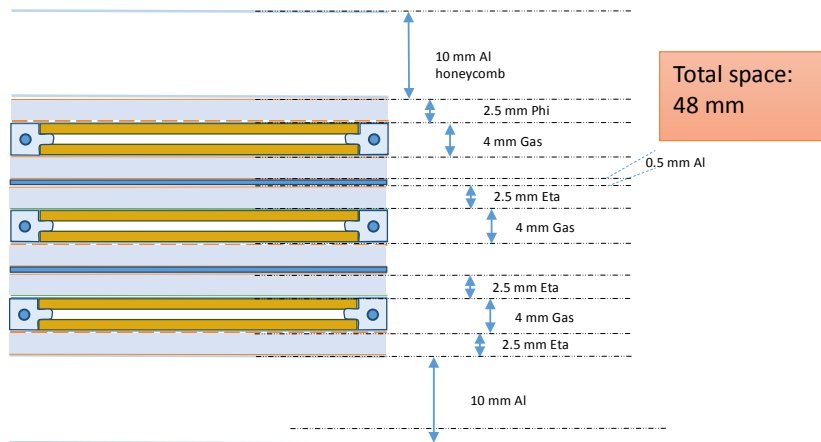


図 2.34 : RPC BIS 7/8 の断面図 [25]。

表 2.3 : MDT と sMDT のパラメータ [26]。

Parameter	MDT	sMDT
Tube outer diameter	29.970 mm	15.000 mm
Maximum drift time	720 ns	175 ns
Average tube spatial resolution		
– without background irradiation	83 μm	106 μm
– at 280 Hz/cm ² background rate	115 μm	108 μm
Drift tube muon efficiency		
– without background irradiation	95 %	94 %
– at 65 kHz/tube counting rate	86 %	92 %

第3章 ATLAS エンドキャップ部初段ミュオントリガー

本章では、現行の ATLAS エンドキャップ部初段ミュオントリガーシステムについて説明した後、LHC Run-3 に向けて行われるミュオントリガーのアップグレードについて説明する。

3.1 現行のエンドキャップ部初段ミュオントリガー

ATLAS 検出器でのミュオントリガーは、RPC を用いるバレル部と TGC を用いるエンドキャップ部に分かれている。以下では TGC を用いるエンドキャップ部でのトリガーシステムについて説明する。

3.1.1 Thin Gap Chamber

図 3.1 に TGC の配置図を示す。TGC は磁場領域より内側に 1 つのステーション (“T”)、磁場領域より外側に M1、M2、M3 と呼ばれる 3 つのサブステーションが配置されている。

磁場領域より外側にある M1 ステーションは TGC Triplet で構成されており、M2、M3 ステーションは TGC Doublet で構成されている。M1、M2、M3 は図 3.2 のような円盤状の構造をしており、3 つのステーションを合わせて TGC Big Wheel (TGC BW) と呼ぶ。M1、M2、M3 のヒット情報はトリガー判定のために用いられる。M3 はミュオントリガーの位置情報を決定するための基準として用いられており、Pivot plane と呼ばれている。

磁場領域より内側にあるステーションは R 方向に分割された 2 種類のチェンバーから構成されていて、 R が大きい方を Endcap Inner (EI) チェンバー、小さい方を Forward Inner (FI) チェンバーと呼ぶ。この EI、FI チェンバーは TGC Doublet で構成されており、図 3.3 のように ϕ 領域をカバーしている。EI チェンバーはトロイド磁石と干渉しないように配置されているため、全 ϕ 領域をカバーしていない。TGC EI、FI で得られた磁場領域より内側の飛跡情報は、TGC BW で得られた磁場領域より外側のミュオンの飛跡情報とコインシデンスをとるために用いられる。

3.1.2 トリガーセクター

TGC のトリガー判定に用いられる単位の模式図を図 3.4 に示す。TGC のトリガー判定はトリガーセクターごとに行われ、領域内のミュオンの情報から判定結果が出される。エンドキャッ

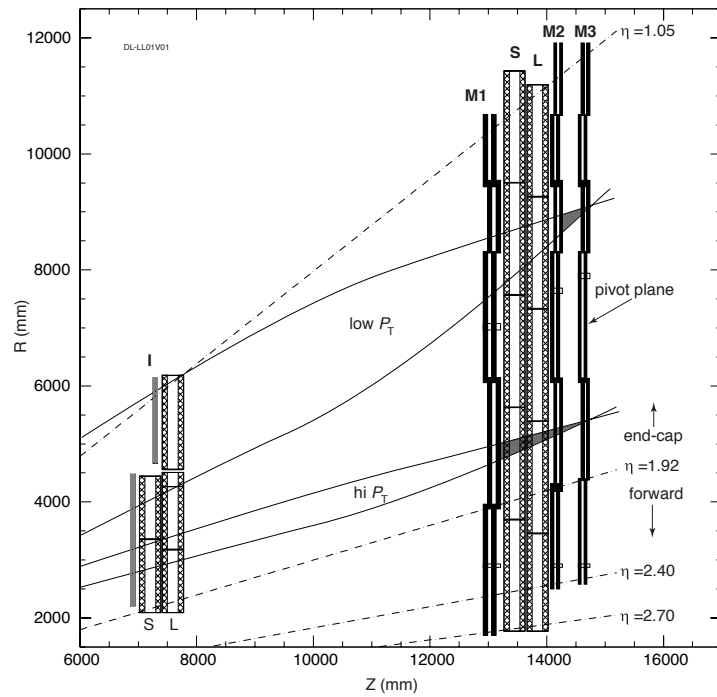


図 3.1 : TGC の配置図 [27]。磁場領域より内側に EI、FI が、外側に M1、M2、M3 の3つのサブステーションが配置されている。磁場領域では p_T が高いほど飛跡が曲がらない様子が描かれている。

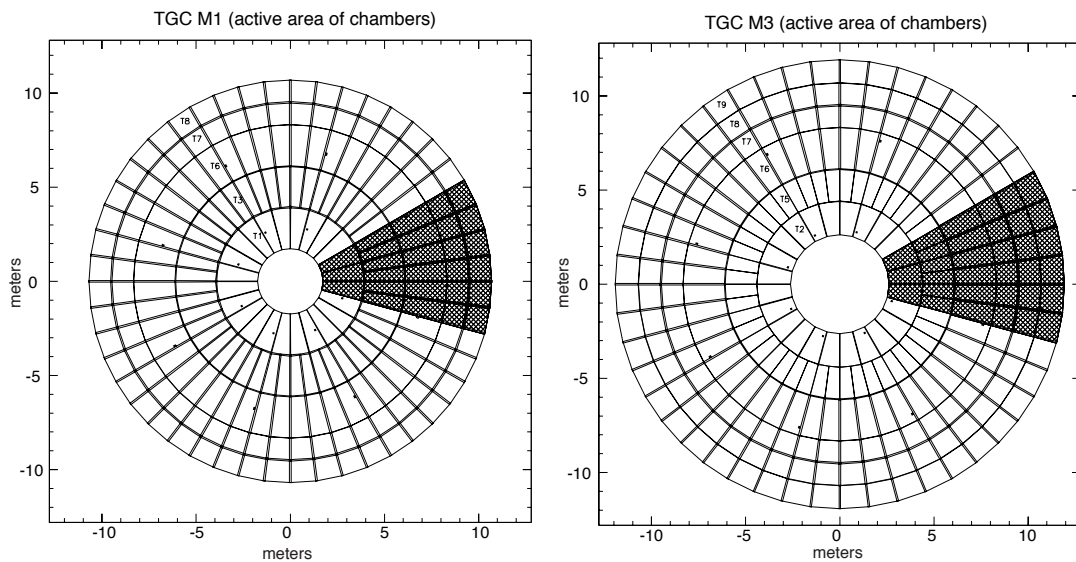


図 3.2 : TGC の M1、M3 ステーションの配置図 [27]。実線で囲まれた1つのマスが1つのチェンバーに相当する。M2 ステーションも同様に全 ϕ 領域をカバーしている。影がついた部分は ϕ 方向に8分割した1つの領域を示している。

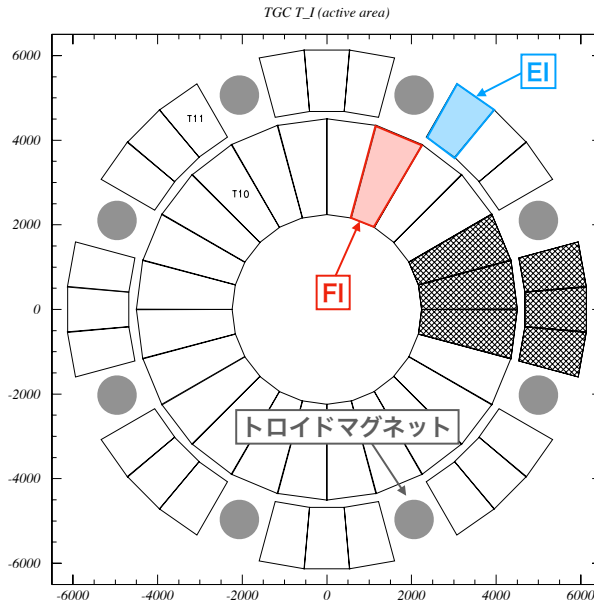


図 3.3 : TGC EI、FI チェンバーの配置図 [27]。R の大きい場所に EI チェンバー、小さい場所に FI チェンバーが配置されている。FI チェンバーは全 ϕ 領域を覆っているが、EI チェンバーはトロイド磁石と干渉しないように配置されているため全 ϕ 領域をカバーしていない。

プ部のトリガーセクターは、 $1.05 < |\eta| < 1.9$ をエンドキャップ領域、 $1.9 < |\eta| < 2.4$ をフォワード領域と呼び、 ϕ 方向の分割数はそれぞれ 48 と 24 である。初段ミュオントリガーの判定には、同じトリガーセクター内の情報のみを使用する。

トリガーセクターはより小さな領域である Region of Interest (RoI) に分割される。RoI は TGC の持つミュオンの位置情報の単位である。図 3.4 に示すように、エンドキャップ領域のトリガーセクターは η 方向に 37 分割、 ϕ 方向に 4 分割されるため、合計 $37 \times 4 = 148$ 個の RoI で構成されている。フォワード領域のトリガーセクターは η 方向に 16 分割、 ϕ 方向に 4 分割されるため、合計 $16 \times 4 = 64$ 個の RoI で構成されている。また RoI を η 方向に 2 つ、 ϕ 方向に 4 つまとめたものを Sub Sector Cluster (SSC) と呼ぶ。

3.1.3 エンドキャップ部初段ミュオントリガー判定の概要

Run-2 でのエンドキャップ部初段ミュオントリガーで用いられるロジックの概要を図 3.5 に示す。衝突点で生成されたミュオンは磁場領域より内側にある検出器、トロイド磁場領域を通過して TGC BW に到達する。トロイド磁場は ϕ 方向にかかっているため、ミュオンの飛跡は磁場中で η 方向に曲げられる。さらに、衝突点付近のソレノイド磁石で生じる z 方向の磁場成分と、トロイド磁石付近で生じた R 方向の磁場成分によって、ミュオンの飛跡は ϕ 方向にも曲げられる。ミュオンの飛跡の曲がり具合は p_T の大きさによって変化するため、 p_T に閾値を設けることでトリガーの判定を行う。飛跡の p_T 閾値の判定にはまず、ミュオンが無限運動量で通過

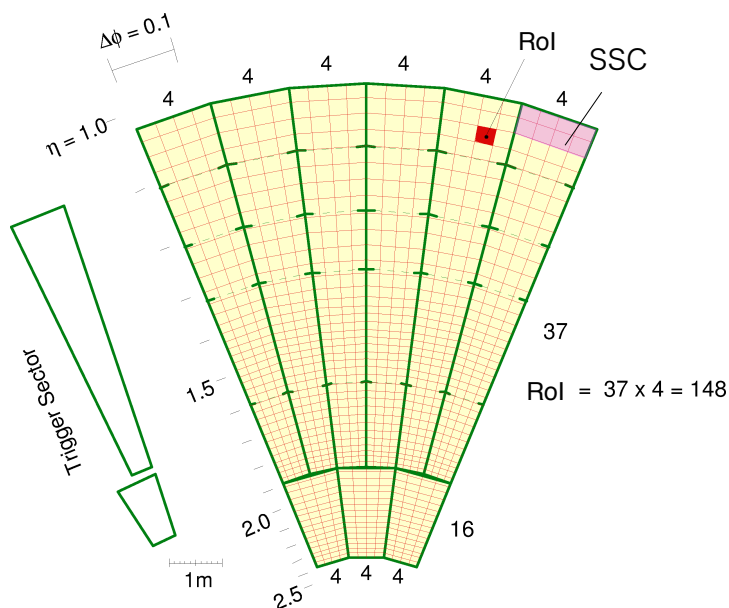


図 3.4: TGC のトリガー判定に用いられる単位の模式図 [16]。緑の線で囲まれている部分が 1 つのトリガーセクターであり、赤く塗りつぶされた部分が 1 つの RoI を示している。エンドキャップ領域とフォワード領域のトリガーセクターはそれぞれ 148 個と 64 個の RoI で構成されており、 η 方向に 2 つ、 ϕ 方向に 4 つの RoI をまとめて SSC (紫) と呼ぶ。

したと仮定した場合の飛跡と、3 層の TGC BW で得られた飛跡を比較し、磁場中での飛跡の曲がり具合を見積もる。この飛跡の曲がり具合は R 方向と ϕ 方向で別々に計算され、 dR と $d\phi$ として表される。この飛跡の曲がり具合の情報 (dR , $d\phi$) から p_T 閾値を判定することでトリガー判定を行っている。

3.1.4 エレクトロニクス

エンドキャップ部初段ミュオントリガーで用いられるエレクトロニクスは、トリガー判定と検出器のヒット情報の読み出しの 2 つの役割を担っている。TGC のエレクトロニクスとデータの流れを図 3.6 に示す。

以下では各エレクトロニクスについて説明する。

Amplifier Shaper Discriminator (ASD) ボード

Amplifier Shaper Discriminator (ASD) ボードは TGC のワイヤーとストリップからアナログ信号を受け取り、デジタル信号への変換を行う。ASD ボード上の ASD ASIC で入力されたアナログ信号を増幅・整形し、閾値を超えた信号のみ LVDS 信号として出力される。ASD ボードは、後述の PS ボードから動作電源や閾値電圧が供給される。1 つの ASD ASIC は 4 つの信号の受信・処理を行う。図 3.7 のように 1 枚の ASD ボードは 4 つの ASD ASIC を搭載しており、同時に 16 チャンネルの信号を処理する。

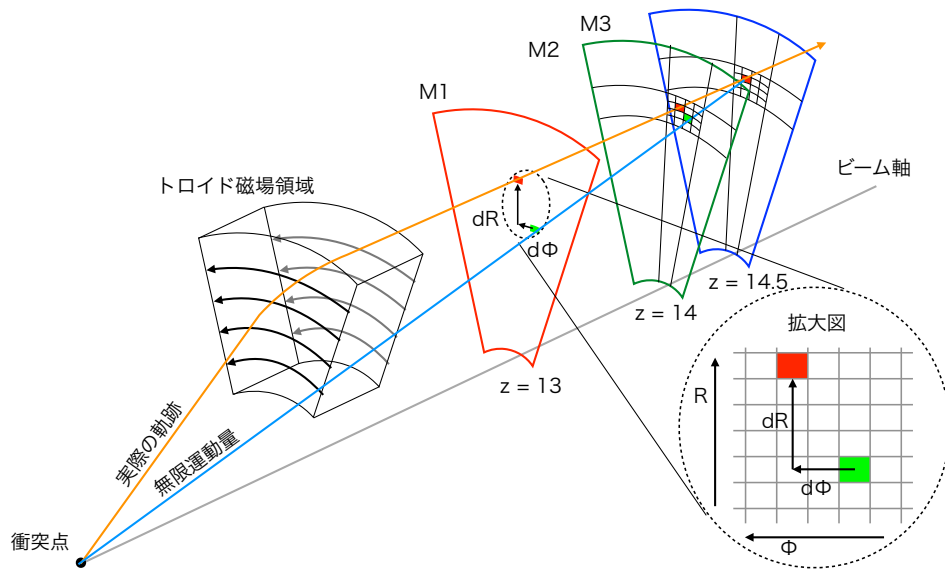


図 3.5 : エンドキャップ部初段ミュオントリガーアルゴリズムの概要 [28]。M1、M2、M3 で得られたミュオンの飛跡情報を用いる。磁場中での曲がり具合から p_T 閾値を判定することでトリガー判定を行う。

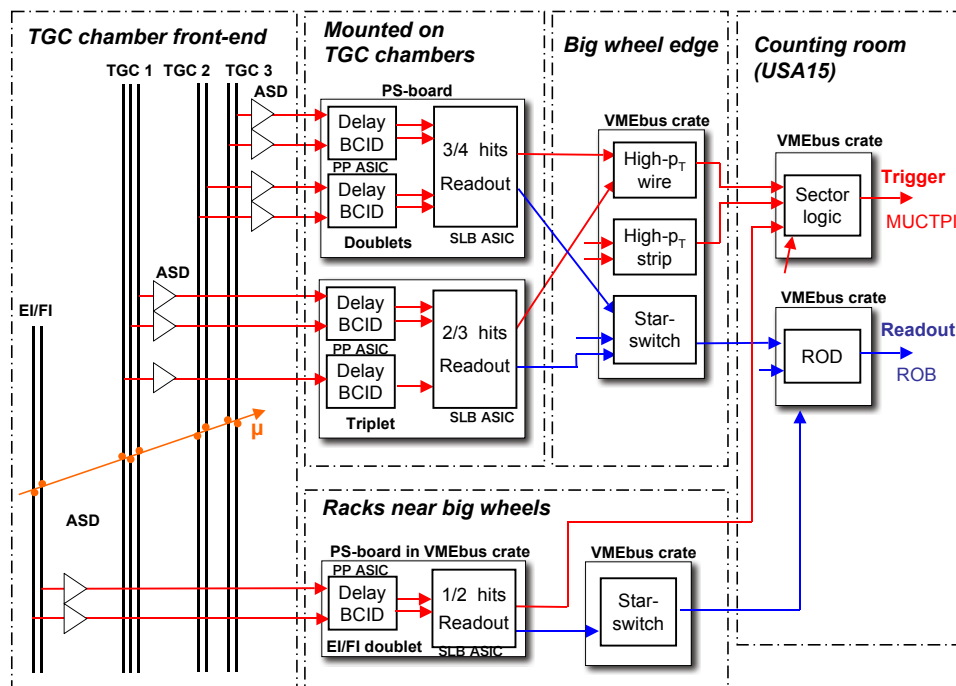


図 3.6 : TGC のエレクトロニクスとデータの流れ [16]。赤い線はトリガー信号の流れを、青い線は読み出しデータの流れを示している。

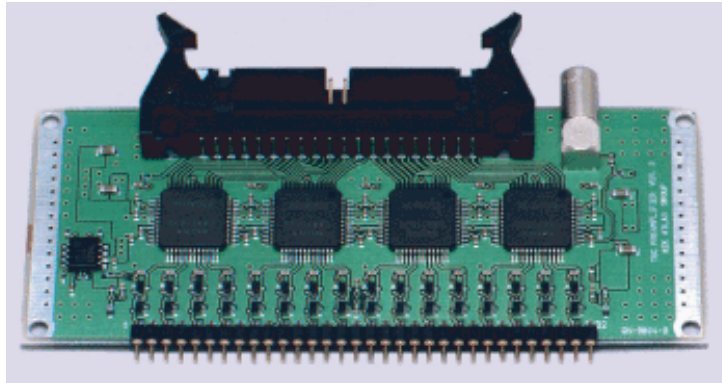


図 3.7: ASD ボードの写真^[20]。ASD ボード上には 4 つの ASD ASIC を搭載しており、ASD ASIC により TGC のアナログ信号をデジタル化している。

Patch-Panel and Slave Board ASIC (PS) ボード

Patch-Panel and Slave Board ASIC (PS) ボードは、Patch-Panel ASIC と Slave Board ASIC を搭載したボードのことである。以下では Patch-Panel ASIC (PP ASIC) と Slave Board ASIC (SLB ASIC) について説明する。

(1) Patch-Panel ASIC (PP ASIC)

Patch-Panel ASIC は ASD からワイヤーとストリップそれぞれの LVDS 信号を受け取り、タイミングの調整を行うことで、同じ陽子衝突由来の信号を同時に次の SLB ASIC に送る。陽子衝突が起きてからミュオンが検出器に到達する時間や、ケーブルの長さの違いにより、信号のタイミングがチャンネルごとに異なるため、PP ASIC を用いてタイミングの調整を行う。

(2) Slave Board ASIC (SLB ASIC)

Slave Board (SLB) には Triplet のワイヤー用とストリップ用、2 つの Doublet のワイヤー用とストリップ用の計 4 種類のボードがある。また SLB ASIC は読み出しとトリガー判定の 2 種類の処理を行う。図 3.8 に、2 つの Doublet のワイヤー用 SLB ASIC で行われる処理のブロック図を示す。

Doublet Slave Board (DSB) は 2 つの TGC Doublet (M2、M3 ステーション) から信号を受け取り、ワイヤーとストリップで独立に 4 層中 3 層以上にヒットがあることを要求する (3-out-of-4 コインシデンス)。コインシデンスは図 3.9 に示すように、コインシデンスマトリックスを用いて行われる。コインシデンスマトリックスの入力は M2 の 2 層のチャンネル情報、M3 の 2 層のチャンネル情報である。コインシデンスマトリックスの対角線上でコインシデンスがとれるような、位置の差 δR が小さいものを出力とする。3-out-of-4 コインシデンスの出力をデクラスタリングと呼ばれるアルゴリズムで処理を行い、候補を 1 つに絞り込んでから図 3.6 のように LVDS 信号で後段の High PT ボードに送る。図 3.10 にデクラスタリングアルゴリズムの概念図を示す。2 個以上の候補が連続している場合には、上から 2 つ目の候補を選ぶようなアルゴリズムである。

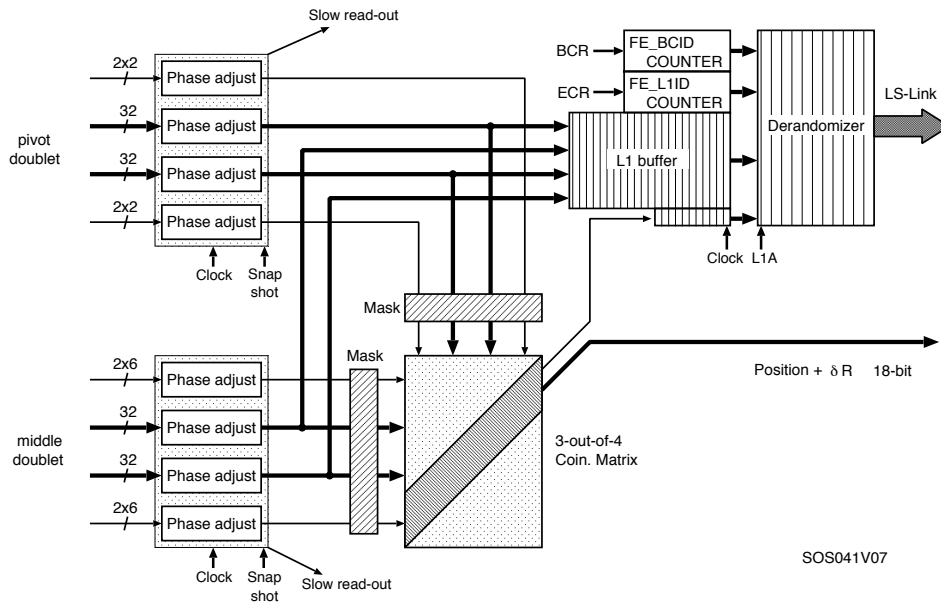


図 3.8 : Doublet のワイヤー用 SLB ASIC で行われる処理の全体図 [27]。左側の入力は、遅延回路を通してケーブル長からくる位相差が補正され、3-out-of-4 コインシデンスマトリックスに入力される。上半分で読み出しを、下半分でトリガー判定を行う。

また TGC EI/FI の信号を受け取る SLB ASIC は、ワイヤーとストリップで独立に 2 層中 1 層以上にヒットがあることを要求し (1-out-of-2 コインシデンス)、G-Link というシリアル通信で後段の Sector Logic へと送られる。G-Link とは現行のミュオントリガーシステムで用いられている通信プロトコルである。

Triplet Slave Board (TSB) は TGC Triplet (M1 ステーション) から信号を受け取り、ワイヤーの場合は 3 層中 2 層以上にヒットがあること (2-out-of-3 コインシデンス) を、ストリップの場合は 2 層中 1 層以上にヒットがあることを要求する (1-out-of-2 コインシデンス)。TSB でのコインシデンスは DSB と同様にコインシデンスマトリックスを用いて行い、コインシデンスの結果は High PT ボードに送られる。

SLB ASIC には読み出し回路のために L1A 信号を受信するまでデータを保持する L1 Buffer が用意されている。L1A 信号を受信すると、その BC と前後 1 BC 分の情報を buffer から読み出し、イベント情報を付け加えて Star Switch へと送られる。

High PT (HPT) ボード

High PT (HPT) ボードは、M1 の SLB と M2-M3 の SLB からのコインシデンス結果を受け取り、図 3.11 のコインシデンスマトリックスを用いて M1-M3 の 3 ステーション間のコインシデンスを行う。M1 と M3 の位置情報から ΔR と $\Delta\phi$ を計算し、小さいものから後段の Sector Logic に送る。Sector Logic にはボードごとに、位置情報 R または ϕ 、コインシデンスマトリックスで求めた位置の差の情報 ΔR または $\Delta\phi$ を G-Link 通信を用いて送信する。データ通信速度の制限

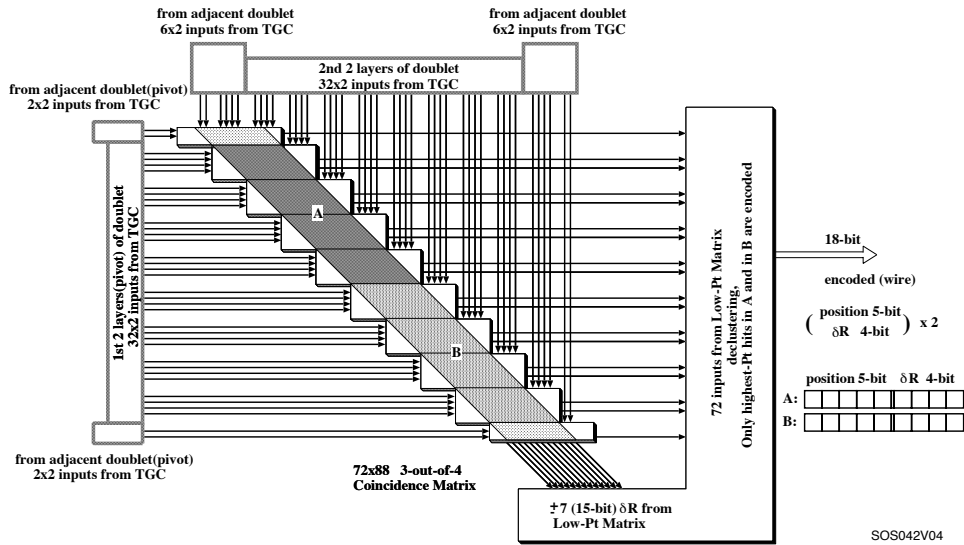


図 3.9 : DSB 用のコインシデンスマトリックスのブロック図 [27]。左からの入力 が M2 の 2 層のチャンネル情報、上からの入力が M3 の 2 層のチャンネル情報である。対角線上でコインシデンスがとれたものは、位置の差が小さく後段の High PT ボードに送られる。

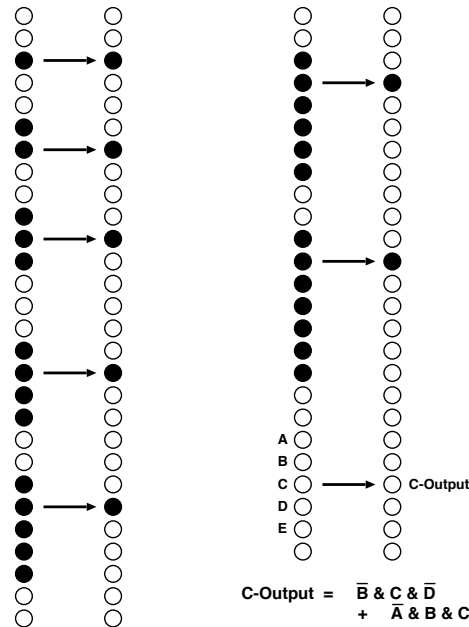


図 3.10 : デクラスタリングアルゴリズムの概念図 [27]。2 個以上の候補が連続している場合には、上から 2 つ目の候補を選ぶ。

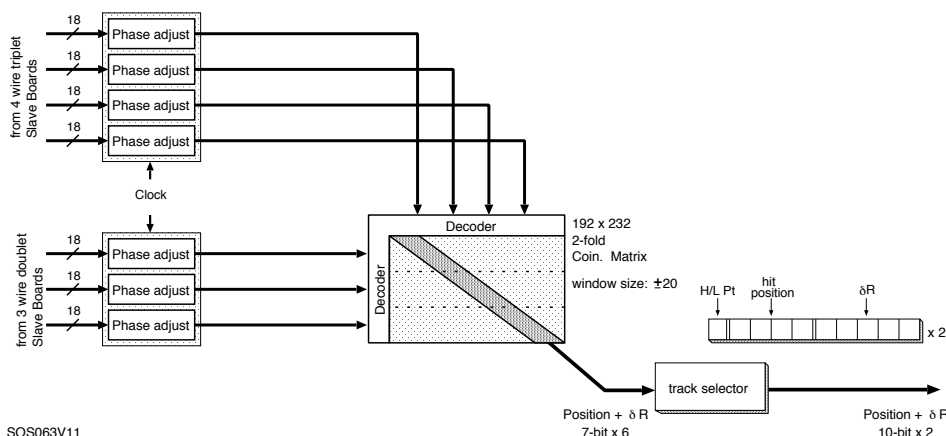


図 3.11 : HPT ボードのブロック図 [27]。SLB と同様にコインシデンスマトリックスを使って、M1-M3 の 3 ステーション間のコインシデンスを行う。

により、1 つの HPT ASIC から最大 2 候補を選んで送信している。

Sector Logic (SL)

Sector Logic (SL) は HPT ボードから受け取った TGC BW のワイヤー・ストリップの情報と、図 3.15 に示すような磁場領域より内側にある検出器 TGC EI/FI と Tile カロリメータから受け取った信号を組み合わせることでミュオンの p_T 判定を行う。SL ボードにはエンドキャップ領域とフォワード領域のトリガーセクター用の 2 種類があり、どちらも 1 枚のボードが 2 つのトリガーセクターから情報を受け取りトリガー判定を行う。図 3.12 と図 3.13 に、エンドキャップ SL ボードの写真および主なチップを示した。SL 上の 2 枚の FPGA はそれぞれ 1 トリガーセクターのトリガー判定を担当しており、独立してトリガー判定を行っている。

SL ボードでは、まず HPT ボードから受け取った TGC BW のワイヤー ($R, \Delta R$) とストリップ ($\phi, \Delta\phi$) の情報を用いて p_T の判定を行う。各 $\Delta R, \Delta\phi$ から p_T の閾値を得るためのマップを Coincidence Window (CW) と呼び、FPGA には Look Up Table (LUT) という形で実装されている。LUT とは、入力データに対応する出力データを参照するための表のことを指し、SL ボードでは $\Delta R, \Delta\phi$ を入力として p_T を出力する LUT を FPGA に保存している。CW は磁場の影響や検出器の位置の理想的な場所からのズレなどの影響を考慮して、各 RoI ごとに定めている。この時、各 R, ϕ からミュオンのヒット位置を表す RoI を決定している。図 3.14 に、ある RoI における CW の例を示す。TGC BW の情報のみを用いた p_T の判定を TGC-BW Coincidence と呼ぶ。

TGC-BW Coincidence で得られたミュオンの候補は、磁場領域より内側に設置されている TGC EI/FI や Tile カロリメータのヒット情報とコインシデンスをとる。このような磁場領域より内側の検出器とコインシデンスをとることを Inner Coincidence と呼ぶ。Inner Coincidence は図 3.15 に示すように、衝突点由来でない荷電粒子により発行されたトリガー (フェイクトリガー)

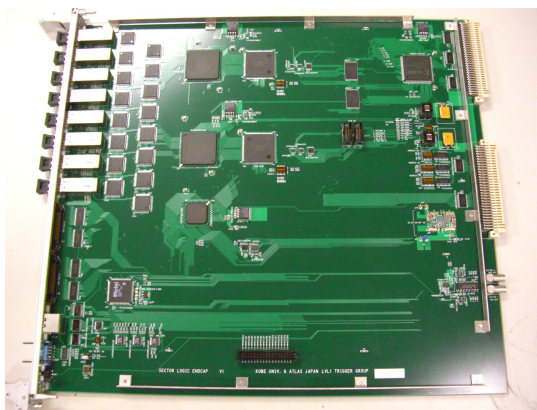


図 3.12 : SL ボードの写真 [29]。

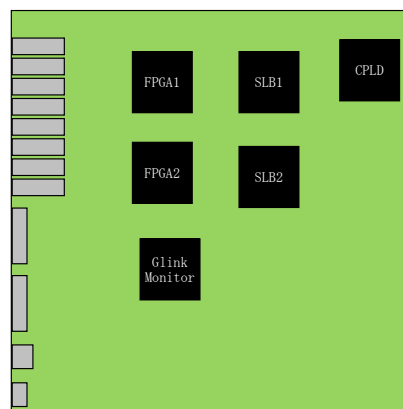


図 3.13 : SL ボードに搭載されている主なチップの配置図 [29]。2 枚の FPGA、2 枚の SLB ASIC が搭載されている。FPGA にはトリガー判定のロジックを実装し、1 つの FPGA で 1 つのトリガーセクターを処理する。

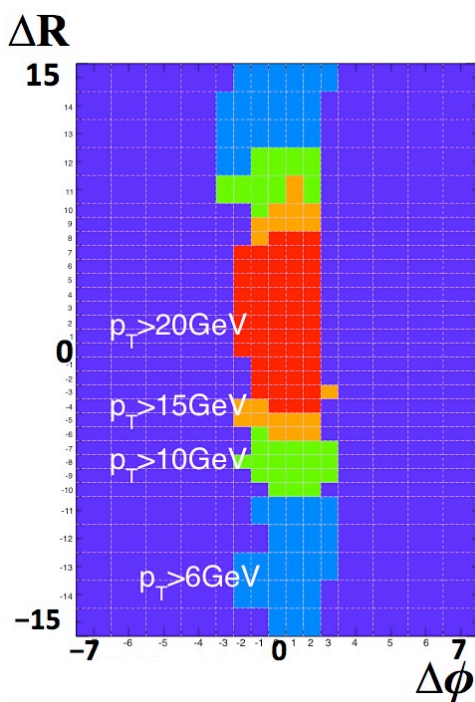


図 3.14 : ある RoI における $\Delta R \cdot \Delta \phi$ の CW [30]。 ΔR と $\Delta \phi$ の値から決められた p_T 出力を 3 bit で返す。高い p_T を持つミュオンほど CW の中心を通過する。

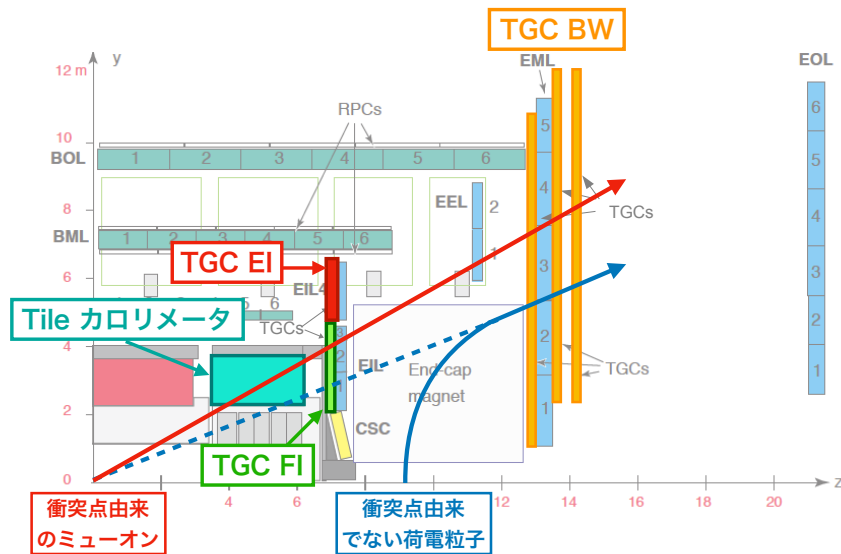


図 3.15 : 衝突点由来でない荷電粒子によるフェイクトリガーの概念図。フェイクトリガーの主な原因は、陽子陽子衝突で生じた粒子が衝突点から離れた位置でビームパイプと衝突し、その相互作用によって生成した粒子が磁場によって曲げられ、TGC BW にヒットを残すことである。磁場領域より内側にある検出器とコインシデンスをとることで、背景事象となるフェイクトリガーを削減できる。

の削減を目的としている。

Inner Coincidence 後は、1 トリガーセクターの中で p_T の高いものから最大 2 個までミュオンのトラックを選び、後段の Muon-to-CTP interface (MUCTPI) に送信する。MUCTPI は、バレル部とエンドキャップ部で独立に判定されたミュオンの候補を受け取り、統合する。

Star Switch (SSW)

Star Switch (SSW) は複数の SLB からデータを受け取り、シリアル信号をパラレル信号に変換する。受信したデータはゼロサプレースと呼ばれる手法を用いて圧縮され、Readout Driver (ROD) に送られる。

Readout Driver (ROD)

Readout Driver は複数の SSW の出力データを同じイベントごとにまとめて、イベント ID 情報とヘッダー・フッターを付加する、「Event Building」と呼ばれる操作を行う。Event Building の後、まとめたデータを Read Out System (ROS) に送る。

3.2 初段ミュオントリガーの Run-3 に向けたアップグレード

2022 年に開始予定の Run-3 に向けて、現在 ATLAS 検出器やトリガーシステムのアップグレードが行われている。以下では、エンドキャップ部初段ミュオントリガーに関連したアップグレードについて説明する。

3.2.1 初段ミュオントリガーアップグレードの概要

Run-3 のエンドキャップ部初段ミュオントリガーシステムの概念図を図 3.16 に示す。Run-2 では TGC EI/FI と Tile カロリメータを用いた Inner Coincidence により、フェイクトリガーの削減を行っていた。しかし、 $|\eta| > 1.9$ の領域では Inner Coincidence をとるためのトリガー用検出器がないため、図 3.17 に示すようにフェイクトリガーが多く残る。Run-3 からは前章の 2.2.3 節で説明した NSW の導入により、 $|\eta| > 1.9$ の領域で TGC BW と NSW のコインシデンスをとることが可能になるため、フェイクトリガーをより削減できる。

また、Run-2 における初段ミュオントリガーで発行した p_T 閾値 20 GeV のトリガーのうち、多くは閾値以下の p_T を持つミュオンによって発行されたものである。そのため、 p_T 判定の精度を上げることで p_T 閾値以下のミュオンによるトリガー発行数を減らすことができる。初段ミュオントリガーにおける p_T の判定は位置情報を用いて行っているため、位置分解能が良い検出器の情報を用いることで p_T 判定の精度を上げることができる。この p_T 閾値の判定はエレクトロニクスの処理性能の向上により、Run-2 の 6 段階での判定から Run-3 では 15 段階の判定に拡張される。これによりさらに p_T 判定の精度を上げることができる。また飛跡の荷電情報なども用いて、より詳細なトリガー判定を行う。それに加えて、位置だけでなく NSW で再構成した飛跡の角度情報 $\Delta\theta$ に対して閾値を設けることで、さらにトリガー性能が向上することが見込まれる。先行研究により、 p_T 閾値 20 GeV で現行のトリガーアルゴリズムを用いた場合と比較して、全初段ミュオントリガーレートを約 41% 削減できることがわかっている [28]。

$1.05 < |\eta| < 1.3$ の領域では Tile カロリメータ、TGC EI に加えて RPC BIS 7/8 が磁場領域より内側に導入されるため、コインシデンスをとる検出器の最適化を行うことでトリガーレートがさらに削減できる。先行研究により、RPC BIS 7/8 が設置されている領域で p_T 閾値 20 GeV のトリガーレートを約 80% 削減できることがわかっている [31]。

新たに導入される NSW や RPC BIS 7/8 を用いた場合に期待されるトリガー発行数の分布を図 3.18 に示す。NSW と RPC BIS 7/8 の導入により、 $|\eta| > 1.9$ の領域においてもトリガー発行数が削減されていることが分かる。

3.2.2 エレクトロニクスのアップグレード

Run-3 では新たなミュオン検出器が導入されるため、フロントエンド回路・トリガー判定ボードのアップグレードが行われる。以下では、アップグレードが行われる各部について説明する。

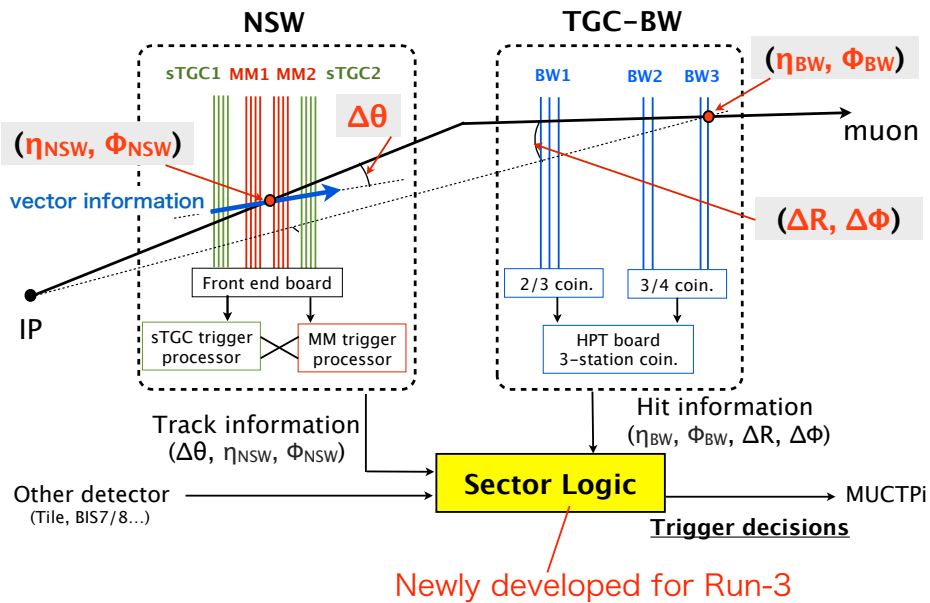


図 3.16 : Run-3 のエンドキャップ部初段ミュオントリガーシステムの概念図 [28]。TGC BW、TGC EI、Tile カロリメータに加えて NSW、RPC BIS7/8 の情報を用いて p_T 閾値を判定する。NSW は飛跡を再構成することができるため、飛跡の角度情報 $\Delta\theta$ も使用して p_T を判定する。

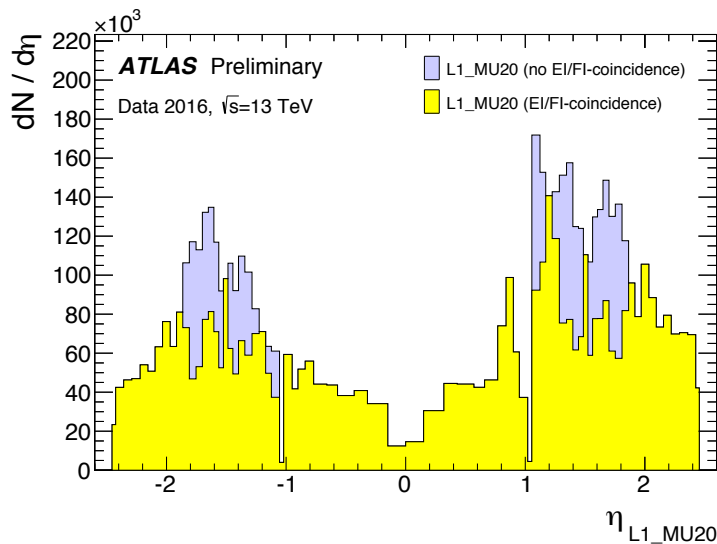


図 3.17 : Run-2 で取得した p_T 閾値 20 GeV におけるトリガー発行数の η 分布 [20]。青色の領域は TGC EI/FI を用いた Inner Coincidence を導入しない場合のトリガー発行数、黄色の領域は TGC EI/FI を用いた Inner Coincidence を導入した場合のトリガー発行数を示す。1.05 < $|\eta|$ < 1.9 の領域では TGC EI/FI を用いた Inner Coincidence によりトリガー発行数を削減できている。

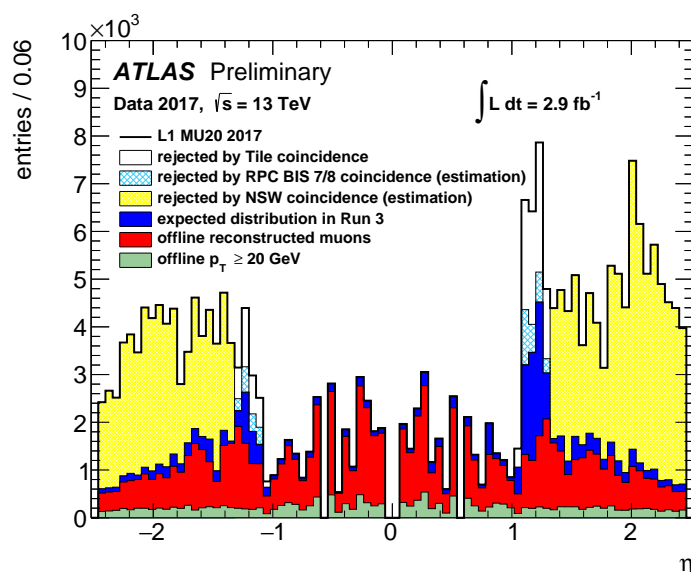


図 3.18 : Run-3 で期待される p_T 閾値 20 GeV におけるトリガー発行数の η 分布 [32]。白色、薄い青色、黄色の領域はそれぞれ Tile カロリメータ、RPC BIS 7/8、NSW を用いた Inner Coincidence を導入した場合に削減できるトリガー発行数を示す。青色の領域は Run-3 で期待されるトリガー発行数、赤色の領域は発行されたトリガーのうちオフラインで再構成されるミュオンの数を示す。緑の分布はオフラインで再構成されたミュオンのうち、 p_T が 20 GeV 以上のミュオンの数を示す。

New Sector Logic

New Sector Logic (New SL) は現行の SL に代わるトリガー判定回路であり、TGC BW の情報と磁場領域より内側にある検出器の情報を組み合わせて p_T の判定を行う。詳しくは 4 章で説明する。

TGC EI/FI Data Converter

Run-3 に向けたアップグレードでは NSW が導入される予定だが、検出器の生産の都合上 A-side のみに導入される可能性がある。その場合、C-side には現在使用されている Old Small Wheel (Old-SW) が残ることになる。この場合問題となるのが New SL に搭載されている G-Link ポートの数である。

Run-3 においても TGC BW と TGC EI、Tile カロリメータからの信号は G-Link を用いて受信する。一方、RPC BIS7/8 と NSW からの信号は GTX [34] と呼ばれる通信規格を用いて受信する。New SL は Old-SW の FI から信号を受信することを想定して設計されていないため、TGC BW と TGC EI、Tile カロリメータから信号を受信できるだけの G-Link ポートしか搭載されていない。そこで、G-Link を GTX に変換する TGC EI/FI Data Converter を導入し、FI からの信号を GTX に変換する。New SL は、GTX ポートが余っているため、FI からの信号を GTX ポートで受信することができる。TGC EI/FI Data Converter は、入力信号のタイミング調整や

信号を分配する Fanout ボードとしての機能を持っている。そのため、FI からの信号だけでなく EI の信号も GTX に変換し出力することで、EI の信号を分配する Fanout ボードが不要になる。NSW が全て導入された場合には、FI の信号を出力しないようにする。

Tile Muon Digitizer Board (TMDB)

Tile Muon Digitizer Board は Tile カロリメータのモジュール 8 つ分の情報を、3 つの New SL に送信する。New SL は 1 つの TMDB からデータを受信する。Run-2 と同様に、G-Link を用いてデータ通信を行う。

NSW Trigger Processor (NSW TP)

NSW Trigger Processor (NSW TP) は NSW で再構成した飛跡の位置や角度情報を New SL へ送信する。詳しいフォーマットや定義などは 4.3.4 節で説明する。

磁場領域におけるミュオンの曲がり方を考慮して、1 つの TGC トリガーセクターはエンドキャップ領域・フォワード領域ともに、2 つか 3 つの NSW TP から信号を受け取る。

RPC BIS 7/8 Pad trigger logic board

RPC BIS 7/8 Pad trigger logic board は、RPC BIS 7/8 の 3 層のヒット情報を用いて飛跡を再構成し、飛跡の位置や角度情報を New SL へ送信する。1 つの RPC BIS 7/8 チェンバーにつき 1 つのボードが設置されており、磁場領域におけるミュオンの曲がり方を考慮して 3 つの New SL に飛跡情報が送られる。

3.2.3 データ読み出しシステムのアップグレード

現行の SL のデータ読み出しでは、SL 上の FPGA でトリガー判定した結果を SLB ASIC に送る。読み出すデータは、Level-1 トリガーが発行された BC とその前後 1 BC の計 3 BC 分の全ての情報を送信する。SLB ASIC は LVDS で SSW へ、SSW は G-Link 通信で ROD へ、ROD は S-Link 通信で ROS へデータを送信している。SSW や ROD はハードウェアで実装されており、仕様の変更が容易でない。

Run-3 から導入される NSW や RPC BIS 7/8 から受け取ったデータはサイズが大きいため、それらを取り扱えるように新たなボードを開発する必要がある。Phase-1 Upgrade では、図 3.19 のようにデータ読み出しのシステムの変更も行う。SLB ASIC でのデータ保持や SSW でのデータ圧縮は New SL に設置された FPGA 上で実装し、データを Ethernet ケーブルで後段に送信する。読み出すデータは Run-2 時より増え、Level-1 トリガーが発行された BC とその前 1 BC、その後 2 BC の計 4 BC 分の全ての情報を送信する。Ethernet ケーブルでデータを送信するため、

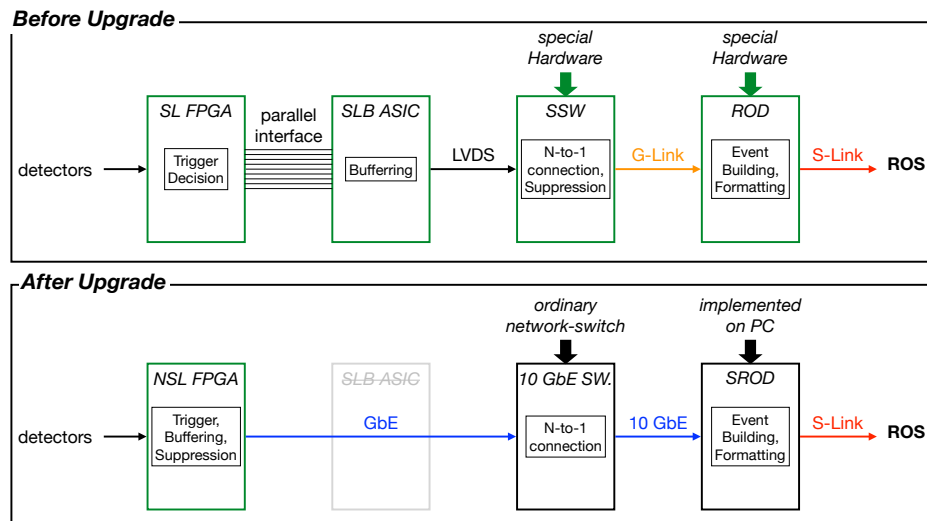


図 3.19 : Run-3 で用いられるエンドキャップミュオントリガーのデータ読み出しシステムの概念図 [28]。専用のハードウェアで実装していた処理を機能拡張のしやすい FPGA やソフトウェアで実装する。

SSW の N-to-1 connection の機能を市販のネットワークスイッチで行う。また ROD については、Run-3 では PC 上のソフトウェアベースでのデータ読み出しシステム Software-based ROD (SROD) へと移行する。このように FPGA やソフトウェアで実装することにより、容易に機能拡張できる。

Software-based Read-Out Driver (SROD)

Software-based Read-Out Driver (SROD) は、L1A の発行頻度である約 100 kHz で New SL から検出器のデータとトリガーデータを読み出し、データ整形・ROS への送信を行う。1 台の SROD は 12 台の New SL と 10 GbE に対応したネットワークスイッチを介して通信し、データを受信する。データを受信した後に同じイベント ID の情報を集め、定められたフォーマット通りにデータを整形し、ヘッダーとトレーラーを付加して ROS へ送信する。

第4章 トリガー判定ボード New Sector Logic

2022年より開始する Run-3 に向けた初段ミュオントリガーの改良のために、新しいトリガー判定用ボード New Sector Logic (New SL) の開発を行った。本章では New SL のデザインと、各検出器から New SL が受信するデータフォーマットについて説明する。

4.1 New Sector Logic の概要

ここでは、New SL に要求される性能とそれらの性能を満たすように開発したボードデザインについて説明する。

4.1.1 New Sector Logic に対する要求性能

New SL の主な役割は検出器から情報を受け取り、トリガー判定を行うことである。TGC BW のワイヤーの ΔR とストリップの $\Delta\phi$ の情報を用いて、ミュオンの RoI と p_T を決定する。また New SL で判定されたミュオンのトラックを各トリガーセクターにつき 4 つまで選択し、その結果を MUCTPI へ送信する。

ここで New SL に対する要求性能についてまとめておく。

① TGC BW の情報の受信

TGC BW 検出器及びフロントエンド回路は Run-3 で変更されない。そこで現在と同じく HPT ボードから TGC BW の情報を受け取る必要がある。

② 磁場領域より内側にある検出器のヒット・飛跡情報の受信

磁場領域よりも内側にある検出器のヒット・飛跡情報を用いることでフェイクトリガーを削減するため、各検出器から情報を受け取る必要がある。Run-2 でのトリガー判定に用いられている Sector Logic ボード (SL) は TGC EI/FI と Tile カロリメータから情報を受け取っている。Run-3 以降では、TGC FI の代わりに New Small Wheel から、また新たに RPC BIS 7/8 からも情報を受け取る。これら各検出器のフロントエンド回路から、異なる通信規格・データ転送速度で情報を受け取るため、それぞれに対応したデータ受信方法が必要となる。初段トリガーでは Fixed Latency システムが採用されており、異なるデータ転送速度 (異なる周波数のクロック) で送られてくる情報を一定の latency で正しく受け取る必要がある。

③ トリガー判定

New SL は各検出器から受信した情報を用いて p_T 閾値を判定し、トリガー判定を行う。Fixed Latency システムであるため、トリガー判定は一定の処理時間で行わなければならない。またトリガー判定の結果を MUCTPI ボードへと送信する必要があり、複数のミュオンのトラックがあれば、トラックの p_T が高い順に 4 つまで選んで送る。これらのロジックは FPGA に実装する。

④ 入力信号の読み出し

3.2.3 節で説明したように、New SL は各検出器から受信したデータを保持・圧縮して、後段の SROD へ送信する必要がある。

⑤ VME interface による制御

ATLAS のミュオンシステムは VME バスを用いてコントロールされているため、ミュオンの p_T 閾値変更など、コントロールのためのインターフェイスが必要である。

4.1.2 New Sector Logic のデザイン

ここでは New Sector Logic のデザイン、仕様について説明する。

図 4.1 の左図に開発した New SL ボードの写真を、右図に主な I/O インターフェイスと IC チップ、その配線の概略図を示す。要求性能①、②を満たすために、各フロントエンド回路から送られてくる通信規格に対応した入力ポートを搭載した。GTX は New Small Wheel、RPC BIS 7/8、TGC EI からデータを受け取るための入力ポートである。G-Link は TGC BW、Tile カロリメータからデータを受け取るための入力ポートである。また GTX 通信でデータを受信し、要求性能③を満たすために大規模なロジックを作成できる FPGA を用いた。GTX 通信はトリガー判定結果を MUCTPI へ送る際にも用いる。要求性能④のために、TCP/IP 通信を採用し、Ethernet ケーブル経由でデータを読み出すために PHY チップと出力ポート (RJ45 コネクタ) を搭載した。また要求性能⑤を満たすため、VME 9U 規格でボードが設計されている。

4.1.3 主な IC チップ

FPGA

トリガー判定を行うために FPGA を用いて回路設計を行う。New SL では GTX、G-Link などの多くの I/O が必要であること、コインシデンスロジックを実装するための BRAM などの必要なリソースの試算から Xilinx 社の Kintex-7 Series FPGA の XC7K410T というチップを採用した。表 4.1 に XC7K410T のリソースを示す。この FPGA は高速通信トランシーバーである GTX を 16 チャンネル分搭載しており、磁場領域より内側にある検出器からデータを受け取るために用いられる。ロジックセルは小規模な論理演算で用いられる。BRAM はメモリであり、データ保存や大規模な演算を行う場合に用いる。

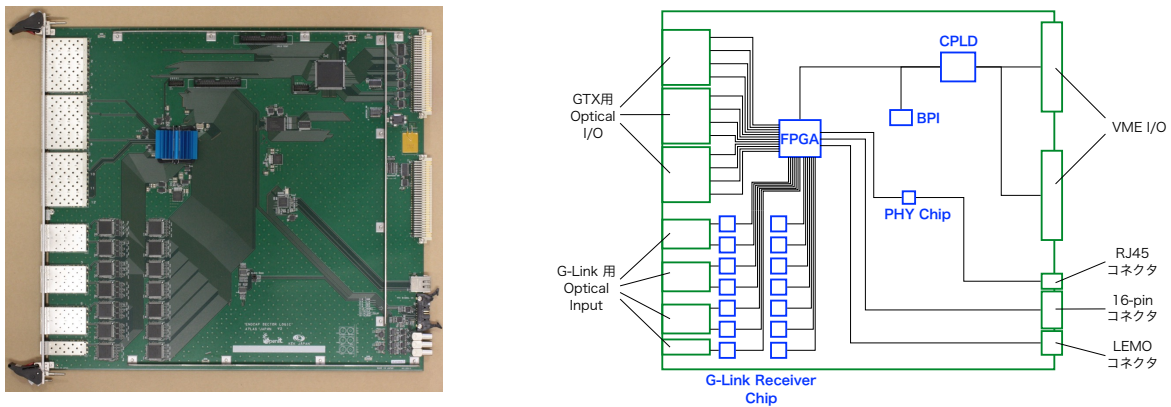


図 4.1 : (左) New Sector Logic の写真。(右) 主なチップと配線の概略図。緑色のブロックで I/O ポートを、青色のブロックで主なチップを示している。

表 4.1 : XC7K410T の仕様 [33]。

デバイス	ロジックセル	ブロック RAM (BRAM) (Kb)	GTX (チャンネル数)	ユーザー I/O pin 数
XC7K410T	406,720	28,620	16	500

CPLD

CPLD は VME バスを用いた FPGA などの制御 (以下 VME 通信と呼ぶ) のために用いる。New SL では Xilinx 社製の CPLD、CoolRunner-II Family の XC2C256-7PQ208C を採用した。CPLD は不揮発性メモリを有しているため、電源投入後にデザインの書き込みをする必要がなく、即時に VME 通信を開始することができる。CPLD を用いることで、電源投入後の FPGA への回路デザインの書き込み制御、及びその後の FPGA への VME 通信を行う。

G-Link Receiver Chip

HPT からの情報は G-Link で受信する。New SL では G-Link 受信チップとして現行の SL と同じく HDMP-1034A を搭載した。G-Link 受信チップは、シリアルで受信した信号をユーザーが供給したクロックに同期したパラレル信号に変換し、出力するチップである。New SL ではこの G-Link チップに 40 MHz の LHC クロックを供給することで、16-bit または 17-bit の TGC BW 及び Tile カロリメータのデータを LHC クロックに同期したパラレル信号として受け取り、FPGA でのトリガーロジックに用いる。

Ethernet PHY

Ethernet での通信に Ethernet PHY チップが必要であるため、New SL では Microchip Technology 社製の LAN8810i-AKZE を搭載した。PHY チップと FPGA を適切に繋ぎ、後述の SiTCP

技術を用いることにより、TCP/IP でのデータ通信が可能である。

水晶発振器

New SL ボード単体での運用を可能にするため、水晶発振器 MXO3-7050C を搭載した。LHC のクロック 40 MHz (正確には約 40.079 MHz) に合わせて、特別に周波数を 40.079 MHz にカスタムしたもの (Si5334C- B05812-GM) を用いた。このクロックは、仮に何らかの問題で外部からのクロックが停止した場合においても動かしたいロジック、主に TCP/IP 通信等 LHC との同期の必要のない部分のロジックの実装に用いる。

4.1.4 入出力ポート

ここでは、New SL に実装された入出力 (I/O) ポートについて説明する。

GTX 通信用 SFP+ モジュール

SFP+ は電気信号と光信号の変換を行い、データの送受信を行うためのモジュールであり、New SL では GTX 通信のためのインターフェイスとして用いられる。Avago Technologies 社の AFBR-709SMZ というモデルを採用した。FPGA には GTX 用の I/O は 16 チャンネル分あるが、New SL では 12 チャンネル分の SFP+ モジュールを搭載している。受信用の 6 チャンネルを New Small Wheel から、残りの 1 チャンネルずつを RPC BIS 7/8 と TGC EI からのデータ受信に用いる。送信用の 2 チャンネルを MUCTPI へトリガー判定結果を送信するために用いる。

G-Link 通信用 SFP モジュール

SFP モジュールは G-Link 通信のための光変換モジュールである。W-Optics 社の SAB-1AC1-111 を採用した。G-Link 通信では受信のみを行うため、14 ポート分の受信ポートを搭載している。12 チャンネル (フォワード領域トリガーセクター用 New SL では 6 チャンネル) 分は TGC BW からのデータ受信に用い、残りの 1 チャンネルは Tile カロリメータからのデータ受信に用いる。

16-pin コネクタ

16-pin を用いて、LVDS レベルで LHC クロックおよびイベント ID 情報を受け取る。

LEMO コネクタ

デバッグ用に設置した I/O。NIM レベルでの信号の入出力ができ、入力 2 本、出力 4 本を設置した。

RJ45 コネクタ

データの読み出し用として、Ethernet ケーブルを接続するために設置した。

4.2 New Sector Logic における新技術

4.2.1 GTX 通信

GTX トランシーバーは Xilinx 社の Kintex 7-series の FPGA に搭載されている高速通信用のトランシーバーである。今回用いる FPGA では、1 チャンネルのシリアル通信で最大 8.0 Gbps で通信することができる。GTX は Phase Locked Loop (PLL) を用いて基準クロック (REFCLK) から周波数の高いクロックを生成 (通倍) し、生成したクロックを用いてシリアル通信を行う。New SL が GTX で用いる PLL は Channel Phase Locked Loop (CPLL) といい、チャンネルごとに用意されている。

以下でトランスミッター (TX) 部分とレシーバー (RX) 部分での主な信号処理について説明する。

GTX TX

図 4.2 に GTX TX のブロック図を示す。GTX TX では FPGA 上のロジックで作成されたパラレルデータをシリアルデータに変換し、送信する。以下では、各ブロックについて説明する。

1) FPGA TX Interface

この部分では送信したいデータをパラレルのまま TX Interface に渡す。このパラレルデータは TXUSRCLK2 というクロックに同期して処理される。この TXUSRCLK2 は GTX TX に入力する基準クロック REFCLK をもとに生成される。また TX Interface への入力データ幅は、後述の 8B/10B 変換を用いる場合、16 bit、32 bit、64 bit の中から選択できる。必要な転送レートから、FPGA の性能に合わせた入力データ幅と TXUSRCLK2 の周波数の設定を行う。

2) 8B/10B Encoder

8B/10B 変換は IBM 社が開発した高速シリアル通信の際に用いられるデータ転送方式である。入力されたパラレルデータを 8 bit ごとに分解し、分解された 8 bit をあらかじめ定められたパターンに従って 10 bit に変換してデータを送る。この時に追加された 2 bit の情報は、受信側で受け取ったデータからクロックを復元するために用いられるため、8B/10B 変換によってデータとクロックの転送を 1 つの配線で行える。8B/10B Encoder は、Physical Coding Sublayer (PCS) というデータを符号化する部分で動くロジックである。この部分では PCS パラレルクロック (TXUSRCLK) を用いる。この TXUSRCLK も GTX TX に入

力する REFCLK をもとに生成するクロックで、TXUSRCLK2 と位相を合わせるために同じクロックから作成し、周波数が異なる場合は分周または逡倍する。TXUSRCLK の周波数はデータ転送レートと GTX TX への入力データ幅の設定によって、TXUSRCLK2 の周波数と同じまたは 2 倍のものを使用する。これらのクロックは位相・周波数の関係が分かっているため、次のような FIFO 構造を用いて位相差を吸収する必要はない。

3) Phase Adjust FIFO

8B/10B 変換後のパラレルデータをシリアルデータに変換するため、PISO ブロックに入力される。PISO ブロックに入力する際には、PISO ブロックでシリアルデータを送信するために用いられるシリアルクロックに対して、位相・周波数の調整が行われているクロックを用いる必要がある。そこで TXUSRCLK と同じ周波数の XCLK というクロックを用いる。XCLK と TXUSRCLK は同じ REFCLK から生成されるが、この 2 つのクロックの位相の関係は定まっていない。通常の場合、2 つのクロック間での位相・周波数の関係が一定でなければ、FIFO 構造を用いてデータの受け渡しを行う必要がある。そのために Phase Adjust FIFO を用いてデータの受け渡しを行う。

New SL では XCLK と TXUSRCLK のクロックソースとして GTX TX に入力する REFCLK を用いる。そのため New SL の設定では、XCLK・TXUSRCLK・TXUSRCLK2 は REFCLK をそのまま使用し、シリアルクロックは REFCLK を逡倍して使用する。この設定では全てのクロックの位相と周波数の関係は一定となるため、異なるクロック間でのデータの受け渡し部分で FIFO 構造を用いる必要はない。そこで Phase Adjust FIFO を省略できる。これにより FPGA TX Interface から TX Driver までで処理に必要な時間は一定になり、Fixed Latency の要請を満たす。

4) Parallel In Serial Out

Parallel In Serial Out (PISO) はパラレルで入力されたデータをシリアルに変換して送信するブロックである。XCLK に同期して入力されたパラレルデータは、TX シリアルクロックに同期してシリアルデータに変換され、送信される。

GTX RX

図 4.3 に GTX RX のブロック図を示す。GTX RX では受信したシリアルデータをパラレルデータに復元して FPGA RX Interface に出力する。以下では、各ブロックについて説明する。

1) RX Clock Data Recovery

Clock Data Recovery (CDR) では受信したシリアルデータからリカバリークロック (RX シリアルクロック) を抽出する。TX 側で 8B/10B 変換で追加された 2 bit の High/Low 信号

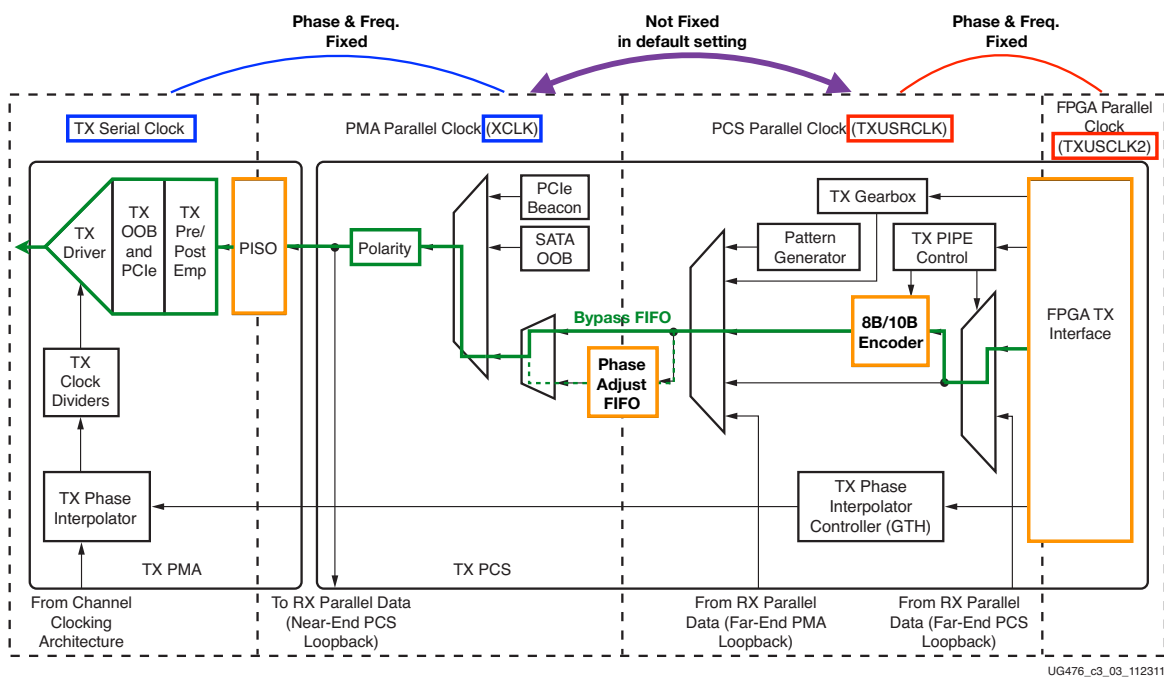


図 4.2 : GTX TX のブロック図 [34]。各点線で囲まれた部分は1つのクロックドメインに属しており、同じクロックドメイン内の信号処理は全て同じクロックにより行われる。データは FPGA TX Interface から順に左に送られ、各ブロックで処理されて TX Driver からシリアルデータとして出力される。緑色の実線はデータの流れを示している。オレンジの枠で囲まれたブロックは特に重要な処理を担当するため、本文で説明している。

がクロックを復元できるように埋め込まれている。データと合わせた 10 bit の受信データを、基準となるクロックを使ってデータサンプリング・エッジサンプリングすることでリカバリクロックを復元する。

2) Serial In Parallel Out

Serial In Parallel Out (SIPO) ではシリアルクロックと XCLK を用いてシリアルで入力されたデータをパラレルに変換する。受信するシリアルデータはシリアルクロックに同期しており、出力するデータは XCLK に同期している。この XCLK はシリアルクロックから生成されており、位相・周波数の関係は確定しているため、ここで FIFO 構造を入れる必要はない。

3) Comma Detect and Align

Comma Detect ロジックは受信したパラレルデータの中から Comma という特別なパターンを識別する。この時、Comma としてどのようなパターンを用いるかは、TX 側と RX 側で同じものを使う必要がある。Comma を発見すると、それ以降のデータは Comma を起点として規定ビットずつ読まれ、1 つの Word を復元することができる。これを「Word Alignment」と呼ぶ。特に、8B/10B 変換を用いている場合は、Comma を起点として 10-bit ずつ読み取り、次の 8B/10B Decoder ロジックに出力する。

4) 8B/10B Decoder

8B/10B 変換パターンに従って、10 bit のデータを 8 bit のデータへ復元する。ここでは Comma Word に対してフラグをつける。これにより後段で Comma の情報を用いたロジックを使用することができる。

5) RX Elastic Buffer

この buffer は前段で用いられた XCLK と後段で用いられる RXUSRCLK の位相差を吸収する部分である。GTX TX 部分の Phase Adjust FIFO と同じような機能であり、New SL では Fixed Latency の要請を満たすため、図 4.3 に示すように省略している。そこで RXUSRCLK とその後段で用いられる RXUSRCLK2 として XCLK を用いることで周波数と位相を同じにする。これによりシリアルデータの受信から FPGA RX Interface までの処理に必要な時間を一定にする。

4.2.2 SiTCP

SiTCP とは、FPGA を Ethernet と接続する技術で、これを用いることで TCP/IP を用いたデータ転送をハードウェアで実装することができる。SiTCP は Xilinx FPGA 上に実装できるライブラリとして提供されており、この特徴は比較的小きな回路規模 (最大約 3000 slice = 約 20000

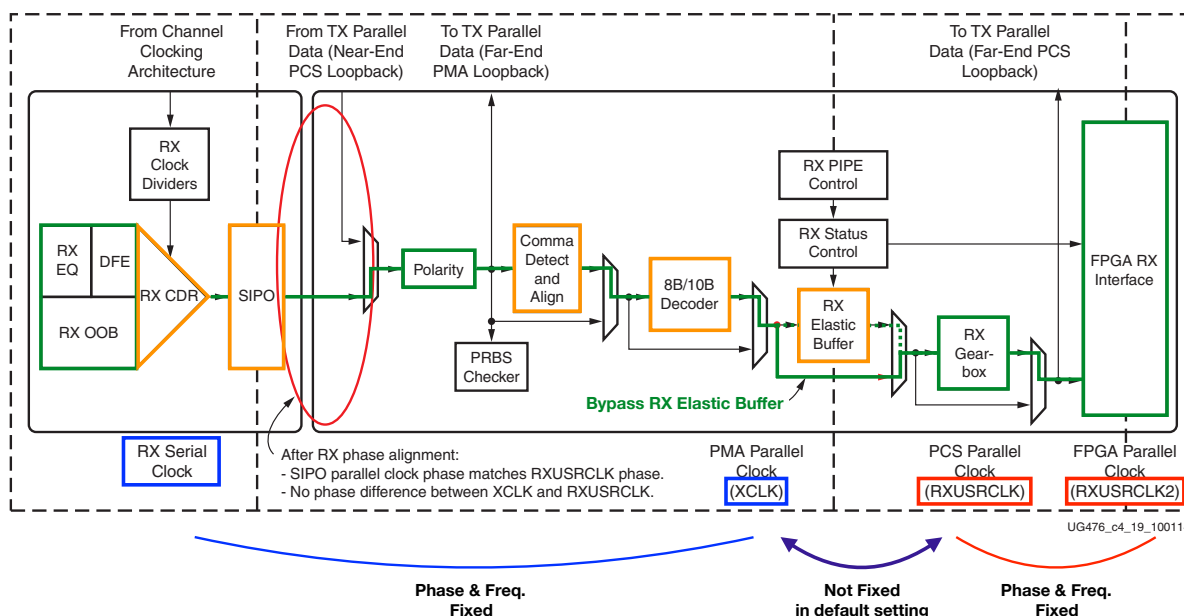


図 4.3 : GTX RX のブロック図 [34]。各点線で囲まれた部分は1つのクロックドメインに属しており、同じクロックドメイン内の信号処理は全て同じクロックにより行われる。データはRX CDR から順に右に送られ、FPGA RX Interface にパラレルデータとして出力される。緑色の実線はデータの流れを示している。オレンジの枠で囲まれたブロックは特に重要な処理を担当するため、本文で説明している。

ロジックセル) で実装でき、イーサネット上限値の 1 Gbps での安定通信を実装できる点である。また、必要な外付け部品が Ethernet PHY チップと MAC アドレスを格納する EEPROM のみと少ない点も利点である。

図 4.4 に、SiTCP を用いたデータの読み出しの流れを示した。検出器からの情報を用いて処理を行うボードに、ユーザー回路と合わせて SiTCP を実装することで、Ethernet 通信を通して標準的な PC でデータ読み出しが可能である。PC からのコントロールでボードにアクセスすることも可能である。また、図 4.5 にツイストケーブル (UTP) を用いる場合のハードウェア上での実装例を示した。このように、FPGA 上に SiTCP を実装し、FPGA 外部には PHY チップを置くだけで容易にデータ通信機能を実装できることがわかる。

New SL ではこの新しい技術を用いて TCP/IP でのデータ読み出しを行う。以下、SiTCP 技術を用いた通信のことを SiTCP 通信と呼ぶ。

4.3 New Sector Logic が受信するデータ

New SL は TGC BW と磁場領域より内側にある検出器の情報を用いてトリガー判定を行う。ここでは New SL が受け取るデータについて説明する。

New SL は TGC BW だけでなく、磁場領域より内側に設置された TGC EI、Tile カロリメー

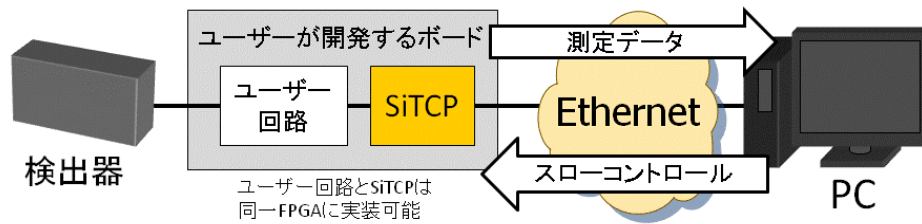


図 4.4 : SiTCP の物理実験での使用例。ユーザー回路の情報を SiTCP 技術を用いて直接 PC で読み出すことが可能である [35]。

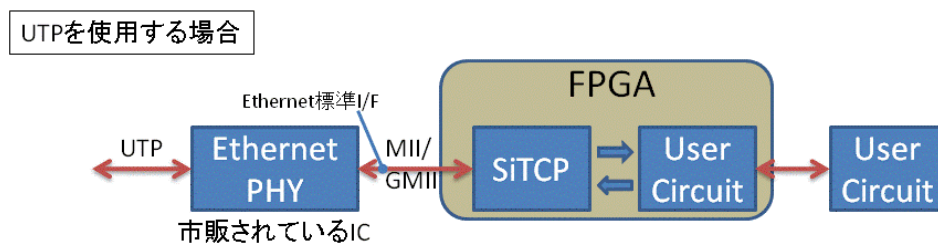


図 4.5 : 標準的なツイストケーブル (UTP) を用いる際の、SiTCP のハードウェアでの実装方法 [35]。FPGA 上に SiTCP を実装し、外付けチップとして市販の PHY チップを置くだけでデータ通信機能を実装できる。

タ、RPC BIS 7/8、New Small Wheel から情報を受け取る。図 4.6 に示すように、それぞれの検出器のフロントエンド回路から受け取る情報は、通信規格やデータ転送速度が異なる。以下では、各検出器から受け取るデータフォーマットについて説明する。

4.3.1 TGC から受け取るデータフォーマット

TGC BW から受け取るデータフォーマットについて説明する。TGC BW で得られたヒット情報は、HPT ボードでのワイヤーとストリップで独立したコインシデンスロジックを経由して New SL に送られる。データフォーマットを表 4.2 に示す。HITID と POS が飛跡の位置情報を表しており、 R と ϕ にデコードされ、RoI を決定するために用いる。Sign と ΔR 、 $\Delta\phi$ は飛跡の曲がり具合の情報を表しており、Coincidence Window (CW) で行う p_T 判定に用いる。H/L flag は HPT ボードで行われる HPT コインシデンスがとれたかどうかを表している。

TGC EI からは R と ϕ の位置情報のみを受け取る。データ転送速度に制限があるため、PS ボードでは 8 channel の OR をとったものを送信する。データフォーマットを表 4.3 に示す。

4.3.2 TMDB から受け取るデータフォーマット

Tile カロリメータは ϕ 方向に 64 分割されたモジュールで構成されており、 R 方向に分割された各セルごとにエネルギーを測定している。New SL でのトリガー判定に必要な情報は図 4.7 に

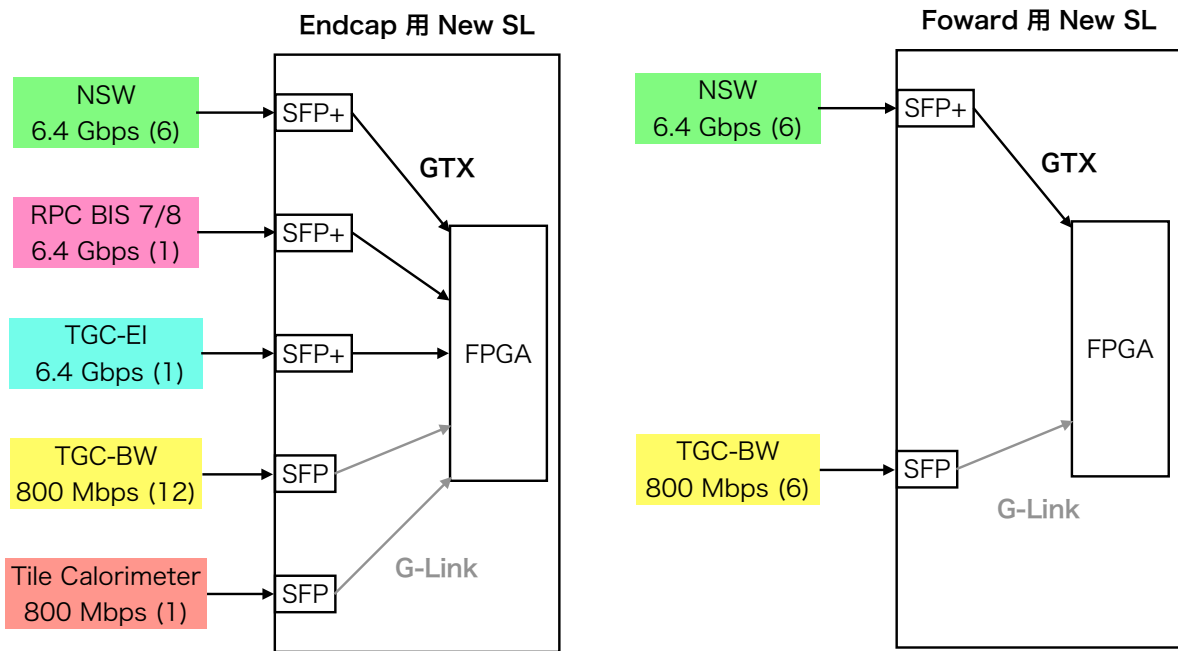


図 4.6 : New SL の受信データの規格とデータ転送速度。括弧内の数字は必要なポート数。

表 4.2 : HPT ボードから受け取る TGC BW でのミュオンの位置情報と磁場での曲がり具合の情報。

Bit	Wire (R)	Strip (ϕ)
0	$\Delta R [0]$	$\Delta \phi [0]$
1	$\Delta R [1]$	$\Delta \phi [1]$
2	$\Delta R [2]$	$\Delta \phi [2]$
3	$\Delta R [3]$	Sign
4	Sign	H/L
5	H/L	POS
6	POS	HITID[0]
7	HITID[0]	HITID[1]
8	HITID[1]	HITID[2]
9	HITID[2]	Not Used

表 4.3 : TGC EI から受け取るミュオンヒット情報。

Bit	Signal
0	EI strip ch24-31 OR
1	EI strip ch16-23 OR
2	EI strip ch8-15 OR
3	EI strip ch0-7 OR
4	EI wire ch16-23 OR
5	EI wire ch8-15 OR
6	EI wire ch0-7 OR

示すように、 $1.0 < |\eta| < 1.3$ の領域を覆う D5、D6 の情報だけである [36]。TMDB では Tile カロリメータのモジュールごとに D5、D6 で測定されたエネルギーをデジタル化し、3 bit の情報に変換して New SL へ送信する。1 つの TMDB は 8 モジュールの Tile カロリメータの情報を処理し、1 つの New SL は TMDB から 4 モジュール分の情報を受け取る。

TMDB から受け取るデータフォーマットを図 4.8 に示す。3 bit の “Mod” は Tile カロリメータの各モジュールにおける D5、D6 で測定されたエネルギー、およびそれらの和が閾値を超えたかどうかの結果を格納する。4 bit の BCID (Bunch Crossing ID) は、バンチを識別する番号として用いられる。

4.3.3 RPC BIS 7/8 から受け取るデータフォーマット

RPC BIS 7/8 は 3 層構造になっており、2-out-of-3 コインシデンスで得られたミュオンの位置情報と複数の層のヒット情報を用いた角度情報を送信する。RPC BIS 7/8 のフロントエンド回路は 1 BC ごとに 4 トラック分の情報を送る。

1 トラック分のデータフォーマットを表 4.4 に、1 BC ごとに受け取るデータフォーマットを図 4.9 に示す。 η index、 ϕ index はミュオンの位置を示し、 $\Delta\eta$ 、 $\Delta\phi$ は角度情報を表す。2/3 flag は 3 層のうち、どの層にヒットがあったかを表すものである。reserved は予備の bit である。この 24 bit でミュオンの 1 トラック分の情報を表す。図 4.9 の CRC とは Cyclic Redundancy Check の略であり、データ転送の際にエラーを検出するために用いられる。

表 4.4 : RPC BIS7/8 で再構成した飛跡のデータフォーマット [31]。1 つのトラック情報を 24 bit で表す。

情報	η index	ϕ index	$\Delta\eta$	$\Delta\phi$	2/3 flag	reserved
ビット幅	6	6	3	3	2	4

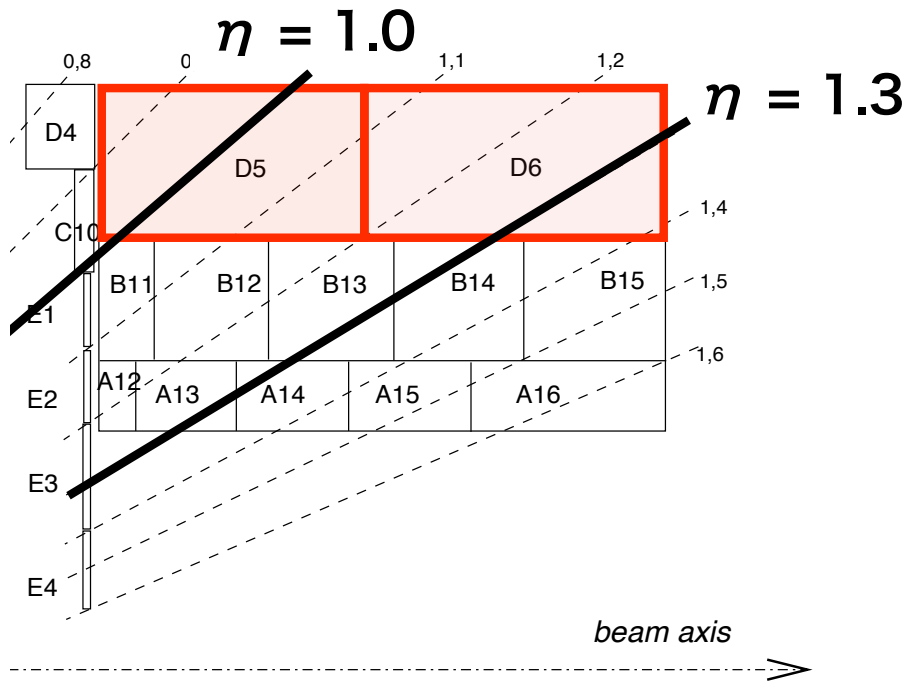


図 4.7 : Tile カロリメータのセルの配置 [16]。D 層に入射する粒子のほとんどがミューオンであり、D5、D6 の情報は TGC BW とコインシデンスをとるために用いられる。

Data format from Tile Muon Digitizer Board (TMDB) to Endcap Sector Logic

Word(16 bit)	first byte								second byte									
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Word-0	BCID[3:0]				Mod3[2:0]				Mod2[2:0]				Mod1[2:0]				Mod0[2:0]	

800 Mbps

図 4.8 : TMDB から受け取るデータフォーマット [31]。

Data format from RPC BIS 7/8 Pad trigger logic board to Endcap Sector Logic

Words	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2		
Word-3	track-1	
Word-4	track-2	
Word-5		
Word-6	track-3	
Word-7	BCID(8 bit)	CRC(8 bit)

8b/10b encoding × 16 bytes = 6.4 Gbps

図 4.9 : バンチ衝突ごとに RPC BIS 7/8 から受け取るデータフォーマット [31]。BCID (Bunch Crossing ID) は、バンチを識別する番号として用いられる。CRC (Cyclic Redundancy Check) は、データ転送の際にエラーを検出するために用いられる。各 track の中身のフォーマットは表 4.4 に示している。

4.3.4 New Small Wheel から受け取るデータフォーマット

New Small Wheel (NSW) も RPC BIS 7/8 と同じく、ミュオンヒット位置と角度情報を含んだトラック情報を New SL に送信する。1つの NSW TP は 8つのミュオンのトラック情報を 2本の光ファイバーを用いて New SL へ送る。

1トラック分の情報を表 4.5 に、NSW TP が 1 BC ごとに New SL へ送るデータフォーマットを図 4.10 に示す。 η や ϕ のビット幅は、Level-1 トリガーで用いる NSW の分解能 ($\eta \sim 0.005$ 、 $\phi \sim 10$ mrad) から決められている。 $\Delta\theta$ は図 4.11 のように定義される。ミュオンが衝突点の中心からまっすぐに NSW まで飛んだ場合は $\Delta\theta = 0$ となる。しかし、実際は衝突点に広がりがあることや NSW に到達する前にカロリメータなどで多重散乱を起こすなどの理由で、 $\Delta\theta$ は 0 を中心として広がりを持つ。ほとんどの場合、 $|\Delta\theta| < 15$ mrad であり、Level-1 トリガーで要求される分解能が 1 mrad であるので、 $\Delta\theta$ は 5 bit のビット幅で表される。sTGC type と MM type は、それぞれ 8 層ずつある sTGC と MM でのコインシデンス情報を表す。sTGC、MM の 8 層中、コインシデンスを取れた層が多い方を選択し、2 bit で表現する。図 4.10 の ID は、NSW TP 自身の ID 情報を示している。

表 4.5 : NSW で再構成した飛跡のデータフォーマット [31]。

情報	η position	ϕ position	$\Delta\theta$	sTGC type	MM type	reserved
ビット幅	8	6	5	2	2	1

Data format from New Small Wheel Trigger Processor to Endcap Sector Logic

Words	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2		
Word-3	track-1	
Word-4	track-2	
Word-5		
Word-6	track-3	
Word-7	ID(4bit)	BCID(12 bit)

8b/10b encoding × 16 bytes = 6.4 Gbps

図 4.10 : バンチ衝突ごとに NSW から受け取るデータフォーマット [31]。BCID (Bunch Crossing ID) は、バンチを識別する番号として用いられる。ID は、送信した NSW TP を識別する番号として用いられる。各 track の中身のフォーマットは表 4.5 に示している。

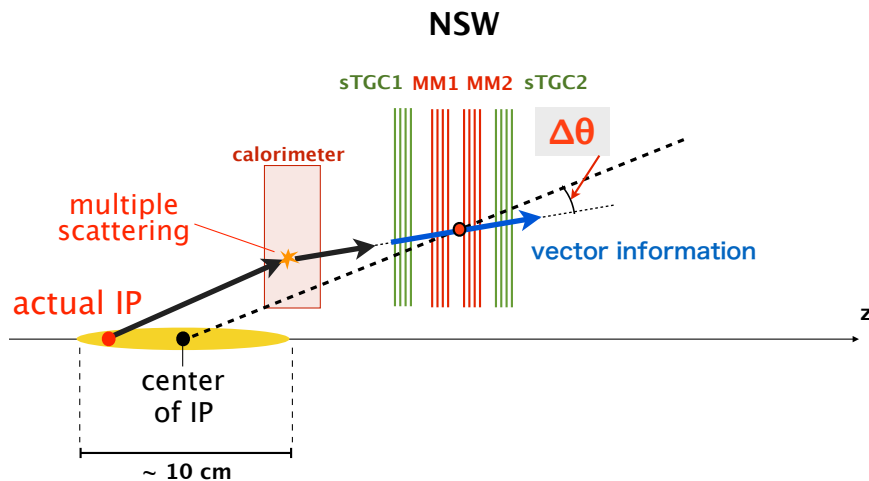


図 4.11 : $\Delta\theta$ の定義 [28]。衝突点の中心からヒット位置まで伸ばした直線と、実際の New Small Wheel で得られたトラックとの角度差で定義される。

4.4 New Sector Logic から送信するデータ

New SL はトリガー判定の結果を MUCTPI ボードへ送信する。また Level-1 トリガーが発行された BC とその前後の BC での全ての情報は Ethernet ケーブルで SROD へと送信する。ここでは New SL が送信するデータフォーマットについて説明する。

4.4.1 MUCTPI へ送信するデータフォーマット

New SL は 1 BC ごとにトリガー判定を行い、その結果を MUCTPI ボードへ送信する。New SL が 1 BC ごとに MUCTPI へ送信するデータフォーマットを図 4.12 に示す。MUCTPI へのデータ送信には GTX 通信を用いる。New SL が送信する 2 種類の Comma は、MUCTPI が Word Alignment に用いる。Global flag には、4 つ以上のミュオンの候補があったことを示すフラグが 1 bit、それ以外の bit は予備である。他にはエラー検出用の CRC とバンチ識別のための BCID を送信する。また New SL は 1 BC ごとに表 4.6 に示したミュオントラックの情報を 4 つ送る。ミュオントラックの情報には、TGC BW でのヒット位置を表すための 8 bit の RoI 情報と、Level-1 トリガー判定で設けられる 15 段階の横運動量閾値を表すために 4 bit の p_T 情報が含まれる。またミュオンの電荷情報を表すための 1 bit と、磁場領域より内側にある検出器とコインシデンスが取れたかなどを示す 3 bit のフラグ情報も含まれる。

表 4.6 : ミュオントラックの情報 [31]。

情報	RoI	p_T	charge	flag
ビット幅	8	4	1	3

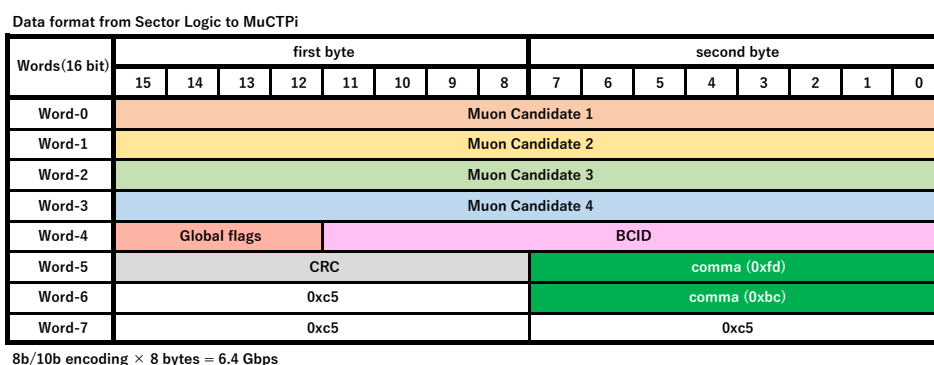


図 4.12 : MUCTPI へ送信するデータフォーマット [31]。4 つのミュオントラック情報と BCID、Global flag、CRC 情報を送る。

4.4.2 SROD へ送信するデータフォーマット

New SL は Level-1 トリガーが発行された BC とその前 1 BC、その後 2 BC の計 4 BC 分の全ての情報を送信する。送信する際には、データの圧縮や整形処理を行う。このロジックの詳細については後の 5.4 節で説明する。

図 4.13 が、New SL から SROD に送信するデータフォーマットである。New SL から SROD へ送信するデータの長さは、データ圧縮処理により可変長になる。SROD では イベントごとの情報をまとめて後段に送るため、データの始まりと終わりを判別して 1 イベント分の情報を抜き出す必要がある。そのため、データの最初と最後にヘッダー・フッターを付加している。BCID は、LHC のバンチ構造を利用した ID 情報で、ある特定のバンチを BCID = 0 として、そこから数えて何バンチ目の交差にあたるかを示している。L1ID は、LHC のランが開始してから何回 L1A 信号が発行されたかを示す ID 情報である。SLID は、SL 自身の ID 情報である。その他の情報についてはデータ圧縮処理がなされるため、そのデータがどのような情報を表すかを判断する 16 bit の data tag と 16 bit の data を合わせた 32 bit から構成される。

Words (16-bit)	Data Tag	Bunch Tag
Word 0	Header (0xB0D0)	
Word 1	0000	L1ID (12-bit)
Word 2	0000	BCID (12-bit)
Word 3	0000	SLID(12-bit)
Word 4	Zero-Suppressed data	
Word (2N-2)	Every 32-bit word starts with "1111"	
Word (2N-1)	0x0000	
Word 2N	Footer (0xE0D0)	

図 4.13 : SROD へ送信するデータフォーマット [28]。ID 情報と Level-1 トリガーが発行された BC とその前後を含めた計 4 BC 分の全ての情報を送る。

第5章 New Sector Logic に実装するトリガー及び読み出し用ファームウェアの開発

本章では、New Sector Logic のトリガー及び読み出し処理を実装するためのファームウェアの開発について述べる。まず 5.1 節で開発したファームウェアの概要を説明する。5.2 節、5.3 節、5.4 節では、New SL ファームウェアをインターフェイス部分・トリガー部分・読み出し部分の3つに分けて順に説明する。

5.1 New SL に実装するファームウェアの概要

ファームウェアとは FPGA に与える回路情報のことを指し、FPGA にファームウェアをダウンロードすることでロジックや配線を書き換え、様々な機能を与えることができる。ファームウェアは専用のソフトウェアを用いてコンパイルされ、FPGA にダウンロードされる。このコンパイル過程で、ユーザーの定めたロジック及び配線・配置等の制約は回路の情報に焼き直される。本研究では、この開発・コンパイル環境として Xilinx 社の提供する“Vivado”と呼ばれるソフトウェアを用いた [37]。

ファームウェアは回路を記述するものであるため、実際にどのようにして回路上に実装されるのかを考慮した開発が必要である。特に、FPGA では論理回路は同期回路としてクロックに同期した形で実装される。したがって、信号がどのクロックに同期しているか、クロック間をまたぐ場合にどのように処理されるかを考える必要がある。

図 5.1 に、開発した New SL ファームウェアのブロック図を示す。ファームウェアは大きく 3 つの部分に分けられる。1 つ目がデータの送受信を担当する部分で、図 5.1 の外につながる矢印と接続されている“Delay”、“GTX RX Interface”、“GTX TX Interface”の部分である。主にシリアルデータを受信、または送信するための機能を担当する。2 つ目がトリガー部分で、“Trigger Firmware”と示されたブロック部分である。受信データをもとにトリガー判定を行い、その結果を出力する。3 つ目が読み出し部分で“Readout Firmware”というブロックで示されている。データの保持・圧縮・整形を行い、SiTCP を用いて外部に送信する機能を担当する。以下では、それぞれの部分について説明する。

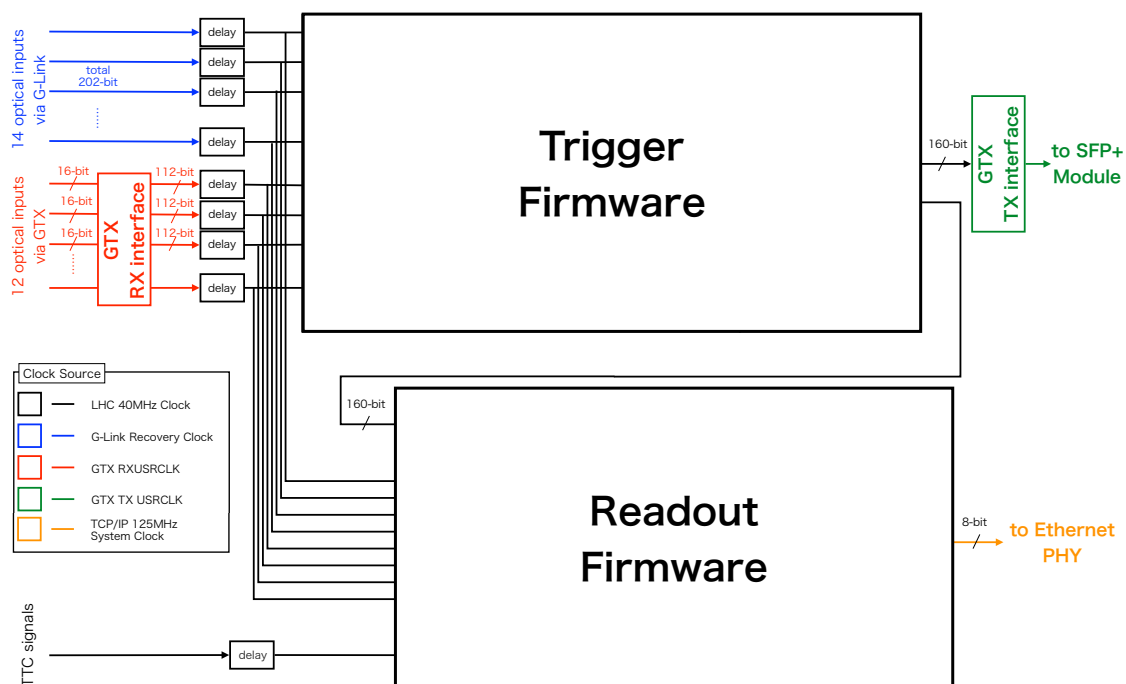


図 5.1 : New Sector Logic の FPGA に実装されるファームウェアの概要。

5.2 GTX/G-Link 送受信ファームウェア

5.2.1 GTX 受信ファームウェア

GTX 受信ファームウェアの役割は、GTX で受けた信号を一時的に保存し、それを 40 MHz の LHC クロックに同期した形で後段のトリガーファームウェア及び読み出しファームウェアに送信することである。GTX RXUSRCLK に同期して受信した信号を、LHC クロックに同期した信号として出力するので、この部分でクロックドメインの変更が行われる。通常クロックドメインを変更する際は FIFO を挟むことで、2 クロック間で信号のやりとりを直接行わないようにする。しかし、New SL では Fixed Latency システムの要求を満たすために、この部分に FIFO を用いることはできない。したがって、FIFO を用いずに 2 クロック間のデータの受け渡しを確実にを行うため、以下に説明するような実装を行った。

GTX 受信ファームウェアは 2 つの部分に分けられる。1 つが GTX の RXUSRCLK に同期して受信されるデータを 128 bit の形に変更して出力する GTX RX Interface 部分である。もう 1 つが GTX RX Interface から出力される 128 bit のデータを 40 MHz に同期した信号に変更し、適切な遅延をかけることで全 12 レーンからの信号のタイミングを調整する delay 部分である。

図 5.2 に、GTX 受信部分の信号処理のイメージ図を示した。GTX からのデータは GTX RXUSRCLK に同期して受信される。開発したファームウェアでは、160 MHz の RXUSRCLK を用いて 32 bit のデータを受け取る。このとき受信されるデータは、128 bit を 1 word とすると 1/4 word ずつ 4 回に分けて 160 MHz のクロックに同期して受信される。図 5.2 では word-A を A-1、A-2

、A-3、A-4の4回に分けて受信している。RX Interface 部分では、どの部分が A-1 に対応するか、つまりどこに Comma Word があるかを識別して、Comma Word を見つけたらそこを起点に GTX から受信した 4 クロック分のデータを 128 bit にまとめて出力する、という機能を実装した。ここで、RX Interface の出力データは RXUSRCLK で数えて 4 クロックに 1 回値が更新されるようなデータであるので、この段階ではまだ RXUSCLK に同期したデータである。

RX Interface から出力された 128 bit データは、そのまま Delay モジュールに入力される。この Delay モジュールでは、データを 40 MHz の LHC クロックに同期した信号に変更する。クロックドメインを変更するには、LHC クロックの立ち上がりで入力データを読み、それを出力するという機構を入れる必要がある。これを「ラッチ」と呼び、ここでは Delay モジュールへの入力データを LHC クロックでラッチしている。ここで注意しなければいけないのが、LHC クロックと RXUSRCLK の位相関係はファイバー内の信号伝搬による遅延に依存するため分からないということである。例えば 2 クロックの位相関係が図 5.2 のようになっていた場合、LHC クロックの立ち上がりでラッチすると入力データは安定しない。これは、前のデータから新しいデータへの更新がなされている最中に LHC クロックでその値をラッチしようとするからである。このような位相関係の場合、LHC クロックをそのまま用いてデータをラッチするとデータ転送に失敗してしまう。そこで、LHC クロックに同期した 160 MHz クロックを用意して、LHC の 40 MHz クロックの立ち上がり間の 160 MHz の 4 つの立ち上がりのどの部分でラッチするかを選択できるような実装を行った。こうすることで、160 MHz クロックのある立ち上がりでラッチしたデータが壊れていた場合、その立ち上がりから 160 MHz で 2 クロック分進んだタイミングでラッチすると、データ更新タイミング間のちょうど真ん中で入力データをラッチすることができる。Delay モジュールではユーザーが外部から 160 MHz クロックのどの立ち上がりでラッチしたデータを用いるかをあらかじめ決めておくことができるようにしている。各々の GTX レーンに対して正しいエッジを選択しておくことで、クロックドメインをまたぐ確実なデータの受け渡しを実現した。最後に、選択された信号に対して 40 MHz クロックの 1/2 クロック単位で遅延をかけ、出力する。これにより、レーンごとのケーブル長等による遅延を吸収し、同じ BC に属するデータのタイミングを合わせ、一斉に後段に送ることができる。

以上をまとめると、RX Interface と Delay 回路で適切に処理された同じ BC の信号は、LHC クロックに同期したそろった信号となる。この信号が後に説明するトリガーファームウェアおよび読み出しファームウェアへと入力される。

5.2.2 GTX 送信ファームウェア

GTX 送信ファームウェアについて説明する。GTX で送信するトリガー判定情報は、LHC の 40 MHz クロックに同期してトリガーファームウェア部分から出力される。一方、GTX TX へはデータを GTX TXUSRCLK に同期させて入力させる必要があるため、クロックドメインの変更を行う。GTX 受信ファームウェアと同様に、FIFO を用いると latency が一定とならないため、

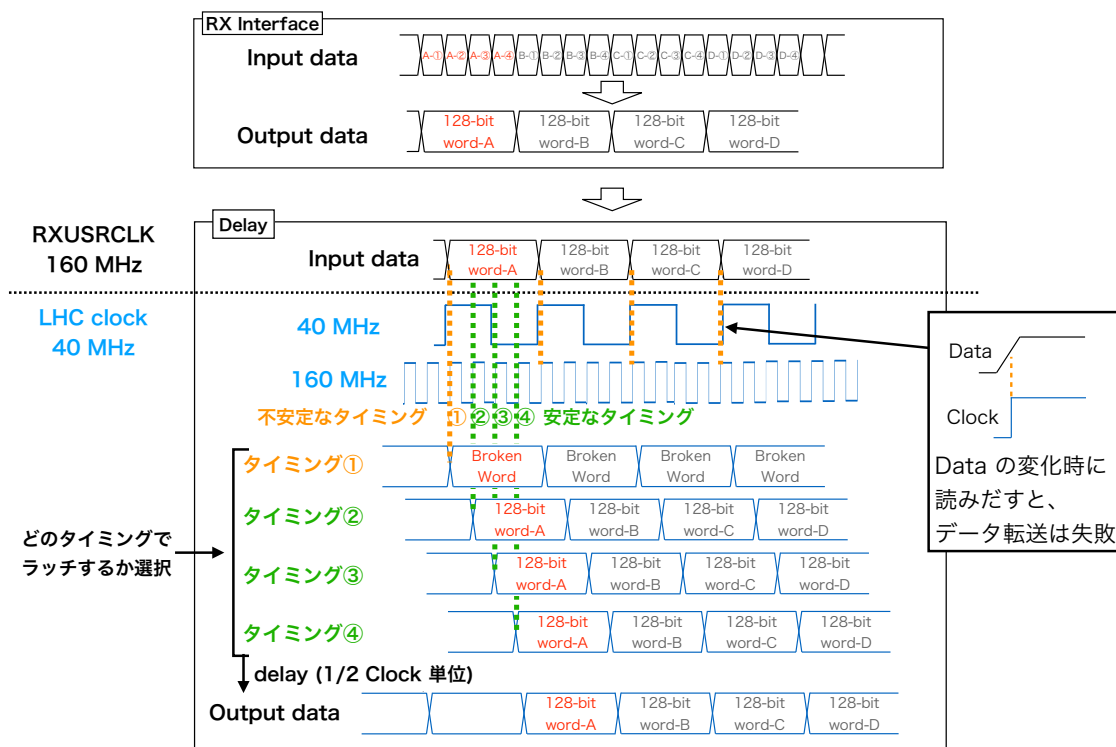


図 5.2 : GTX RX ファームウェアによる処理。データおよびクロックの線の色は同期しているクロックの違いを表している。

FIFO を用いずに実装する必要がある。GTX TXUSRCLK の周波数は 160 MHz を選択した。この 160 MHz の TXUSRCLK は New SL ボード上で作られた 160 MHz の基準クロックを元に、GTX トランシーバ内で生成される (周波数は同じなので、位相調整が行われるのみである)。基準クロックのクロックソースは LHC 40 MHz クロックであるので、結局 TXUSRCLK は LHC 40 MHz クロックから生成されていることになる。クロックから新たなクロックを生成する処理は完全に latency が一定なので、LHC クロックと TXUSRCLK の位相の関係は常に一定である。この点は受信ファームウェアと異なる。

図 5.3 に、GTX TX Interface モジュールの信号処理の概念図を示した。TX Interface へは、トリガー判定結果を図 4.12 のようにフォーマットした 128 bit の情報が 40 MHz LHC クロックに同期して入力される。これを、160 MHz の TXUSRCLK に同期した 32 bit word 4 つに分割して送信するのが、このモジュールの役割である。TX Interface では、まず 40 MHz に同期した 128 bit の情報を、160 MHz に同期した 128 bit の情報に変更する。図 5.3 のタイミング 1 と書かれた部分に注目すると、TX Interface への入力データは赤色の 160 MHz の立ち上がりでラッチされ、TXUSRCLK に同期した形で保存されていることがわかる。その後はこのラッチされたデータを 4 回に分けて出力するが、ここはクロックドメインの変更がないので Vivado が最適に配線することができる。

上記のロジックを導入するときには、入力データをラッチするときのクロックのエッジの選択

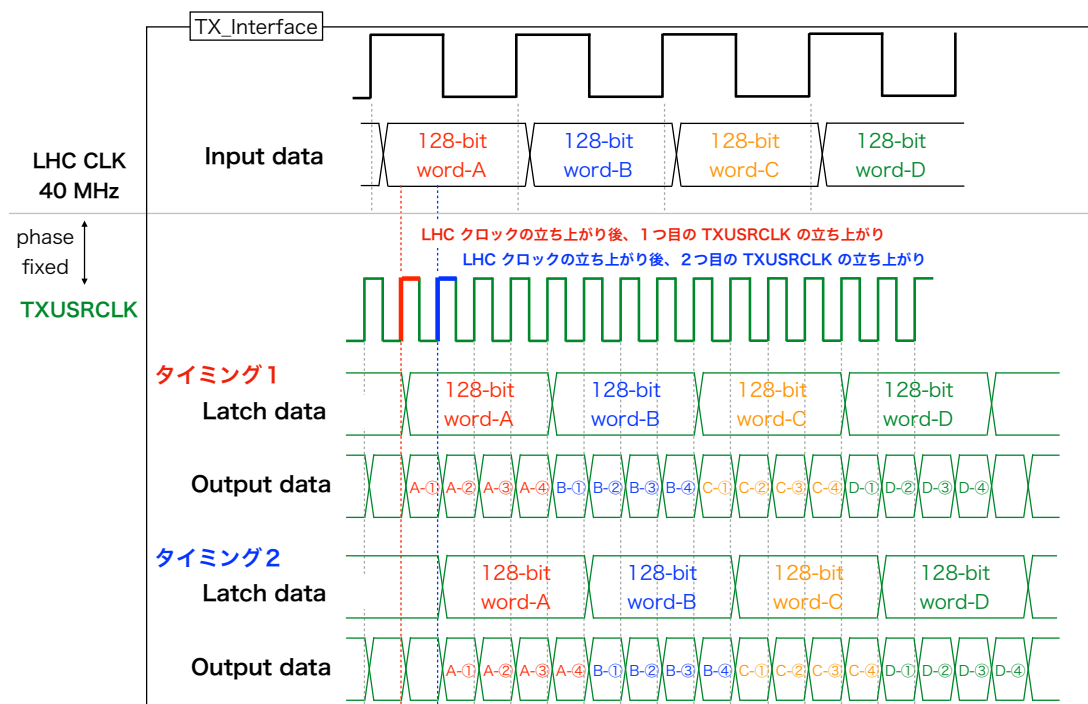


図 5.3 : GTX TX ファームウェアによる処理。データおよびクロックの線の色は同期しているクロックの違いを表している。

をしないと、送信 latency が変わってしまうということを注意しなければならない。仮に LHC クロックの立ち上がり後、1つ目の TXUSRCLK 立ち上がり (図 5.3 の赤色のクロック立ち上がり) で情報をラッチした場合、タイミング 1 に示されているようなタイミングで送信することとなる。一方、LHC クロックの立ち上がり後、2つ目の TXUSRCLK 立ち上がり (図 5.3 の青色のクロック立ち上がり) で情報をラッチした場合は、タイミング 2 に示されているようなタイミングとなる。タイミング 1 とタイミング 2 を見比べると、送信データの latency が異なることがわかる。3つ目、4つ目の立ち上がりで送信される場合も、latency がそれぞれ異なる。どの立ち上がりでラッチされるかは、通常 TX Interface の回路ロジックが動き出した瞬間に決まる。ロジックが動き始めたときの初めのクロックの立ち上がりは上記 4つのタイミングのいずれになるかによって、送信 latency が変わってしまう。これはつまり、FPGA へのファームウェアのダウンロードの度に、もしくはロジックのリセットを行う度に latency が変わってしまうということを意味する。これを避けるために、TXUSRCLK のどの立ち上がりでラッチするかを決めておく必要がある。そこでロジックのリセット完了後に、入力データの更新が行われない最も安定しているタイミング 2 でラッチするシーケンスを導入した。これにより、常に一定の latency でのデータ送信が可能となった。

5.2.3 G-Link 受信ファームウェア

G-Link 受信ファームウェアは、GTX の場合と異なり Delay モジュールのみである。これは、GTX Interface で行っているような、信号の並列化の処理がすでに G-Link チップでなされているからである。しかし、G-Link 信号と LHC クロックの位相関係は一定でないため、GTX の場合と同様に入力データをラッチする 160 MHz クロックのエッジを選択する仕組みは必要である。Delay モジュールの実装方法は、入力データのデータ幅が 16 bit または 17 bit であることを除けば GTX の delay モジュールと同様である。

5.3 トリガーファームウェア

この節ではまずトリガーファームウェアに対する要求について述べ、要求を満たすためのファームウェアロジックの概要を述べる。その後、トリガーファームウェアの各部分について説明する。

5.3.1 トリガーファームウェアに対する要求

2.2.2 節で説明したように、Level-1 トリガーは Fixed Latency システムを採用しているため、トリガー判定にかかる時間は全てのバンチ衝突に対して常に一定でなければならない。また $2.5 \mu\text{s}$ 以内にトリガー判定を行わなければならない。

表 5.1 に New SL がトリガー判定に用いることのできる時間を示す。ここでは TGC BW からデータを受信するまでにかかる時間、バンチ衝突から New SL にデータが届くまでの時間が一番長い、すなわちトリガー判定に使える時間が一番短い場合の NSW トリガーセクターの latency を示す。Bunch Crossing (BC) はバンチ交差間隔の時間で、25 ns である。New SL が NSW のデータを受信するまでにかかる時間は、バンチ衝突から 41.4 BC (約 $1 \mu\text{s}$) 後であり、シリアルで受信したデータをパラレルに戻すための処理に 2.5 BC かかる。その後、各検出器からの受信データのタイミングを合わせるための delay 処理に 1 BC かかる。2 BC 分の時間をかけて検出器の位置のズレの補正やコインシデンスをとるために、NSW から受信したデータを変換し、1 BC 後には TGC BW とコインシデンスをとり、 p_T へと変換される。1 BC の時間をかけて、コインシデンス後に残ったミュオントラックの中から MUCTPI ボードへ送る候補を選び、さらに 1 BC かけて送信用のデータフォーマットへ変換する。

NSW から受信したデータをパラレルに戻す処理までにかかる時間 (衝突から 44 BC) と、MUCTPI へ送信するためデータをシリアルに変換するための時間 (衝突から 50 BC) は決まっているため、New SL では 150 ns 以内で要求される全ての処理を終えなければならない。

表 5.1 : New SL がトリガー判定に用いることができる時間。(1 BC = 25 ns)

New Small Wheel			Big Wheel TGC		
nsec	BCs	Total	nsec	BCs	Total
Receive signal from NSW		41.4	Receive signals from BW		37
Optical Rx + De-serializer	2.5	44	Optical Rx + De-serializer	2	39
Variable Delay	1	45	TGC R-Phi coincidence (LUT)	2	41
Decoding/Alignment of NSW data (LUT)	2	47	Waiting for NSW signals	6	47
			BW - NSW coincidence (LUT)	1	48
			Track selection	1	49
			p_T encoding	1	50
			Serializer (128 bit/clock., 6.4 Gb/s) + Optical Tx	2	52
			Optical fibre to MUCTPI (10 m)	2	54

5.3.2 トリガーファームウェアの概要

トリガーパスの概要を図 5.4 に示す。まず TGC-BW Coincidence で、TGC BW から受信した情報のみを用いてミュオン位置 (RoI) の決定と p_T の判定を行う。この部分で決めた RoI 情報は、磁場領域より内側にある検出器で得られたミュオンの飛跡情報をデコードするためのモジュールである Decoder へと送られる。Decoder では磁場領域より内側にある検出器と TGC BW の相対的な位置のずれの補正も行う。また、コインシデンスロジックへ入力するために飛跡情報の変換を行う。デコード済みの飛跡情報と RoI 情報は BW-Inner Coincidence に送られ、さらに精度の良い p_T 判定を行う。これらの処理を各 SSC で並列に行い、Track Selector で MUCTPI ボードへ送るミュオンのトラックを最大 4 つ選ぶ。これを New SL が処理する 2 トリガーセクターで並行して行う。以下では、ファームウェアで実装した Run-3 でのトリガーロジックについて、それぞれの部分を順に説明する。

5.3.3 TGC-BW Coincidence の実装

TGC-BW Coincidence では TGC BW の情報のみを用いてミュオンの p_T 判定を行う。受信データは Run-2 と変わらないので、基本的なロジックは変化せず、M1 - M3 間の $dR : d\phi$ コインシデンスを用いて p_T 判定を行い (3.1.3 節参照)、ミュオントラックの位置も決定する。

要求性能

Run-2 での TGC-BW Coincidence の概要を図 5.5 に示す。TGC-BW Coincidence は p_T の計算と RoI の決定を SSC ごとに行う。

TGC-BW Coincidence は HPT ボードから受信したデータを用いて p_T の判定を行う。 p_T の判定に用いる R 方向の位置情報は SSC あたり 1 つしか送られてこないが、 ϕ の情報は最大 4 つ分受け取る可能性がある。図 5.6 のように、別の SSC に入射したミュオンの ϕ 情報によってコインシデンスがとれ、1 つの SSC に対して最大 4 つのミュオンがヒットしたように見えてしまうことがわかっている [41]。しかし実際には 1 つの SSC に対して、2 つ以上のミュオンが入射

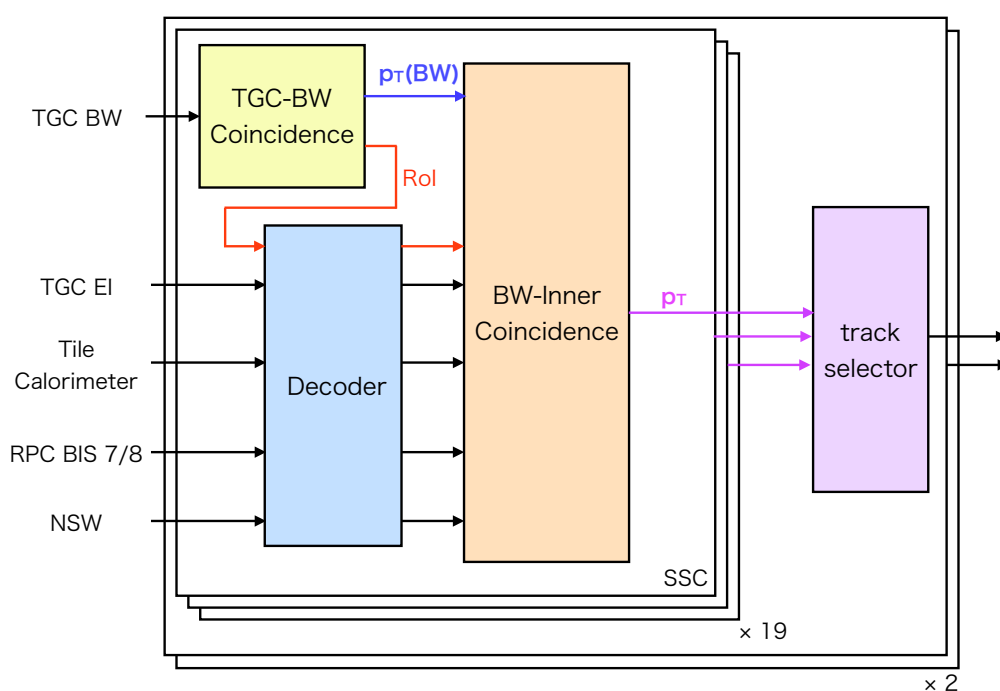


図 5.4 : トリガーファームウェアの概要。赤は位置を表す RoI 情報。青は TGC BW 単体で判定した p_T 。TGC BW の RoI 情報と磁場領域より内側に設置された検出器で得られたミュオンの飛跡情報を用いて、より詳細な p_T の判定を行う。これらの処理は各 SSC ごとに並列で行われ、Track Selector で MUCTPI へ送信するミュオンの候補を選ぶ。

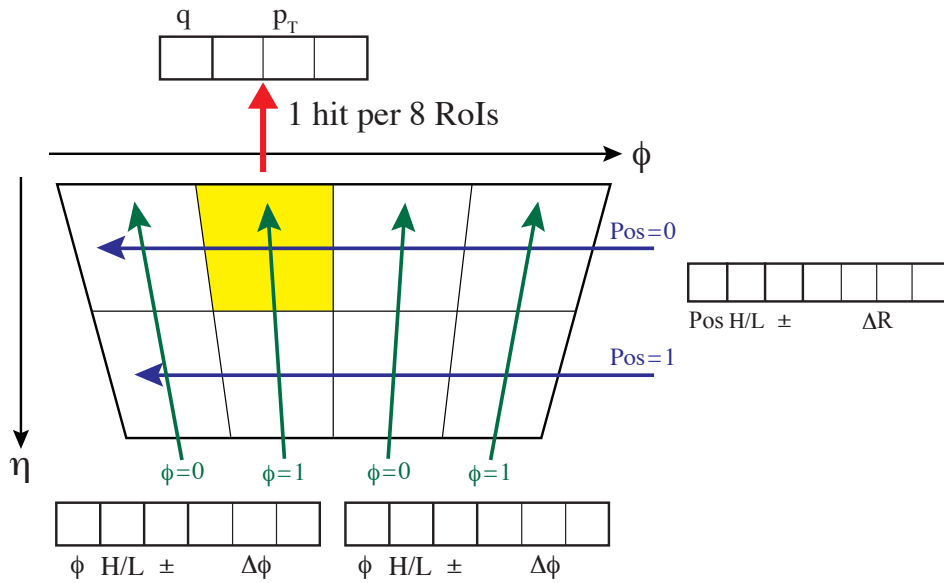


図 5.5 : Run-3 における TGC-BW Coincidence の概要。8 RoI (1 SSC) の中から 1 つのミュオンの RoI 情報と p_T を決定する。

することは稀であり、このままでは実際にミュオンが入射した数以上のトリガーを発行してしまうので、Run-3 でも Run-2 同様、1 SSC に対して最大 1 つのミュオンの候補を選ぶ。

表 5.1 に示したように、New SL は TGC BW で得られたヒット情報をバンチ衝突から 37 BC 後に受け取り、39 BC 後には p_T 計算のために用いることができる。47 BC 後から NSW とのコインシデンスロジックが開始されるため、TGC-BW Coincidence のロジックに使える時間は $47 - 39 = 8$ BC (200 ns) となる。

ミュオンのヒット位置と p_T の決定

Run-2 でのミュオンのヒット位置の決定法について図 5.7 を用いて説明する。Run-2 では、TGC BW の R と ϕ 情報を用いて p_T を判定する前に、4 つの ϕ のヒット情報をまず 2 つずつに分ける。その ϕ 情報を表すもののうち、HPT コインシデンスがとれたかを表す H/L flag を見て、HPT コインシデンスがとれた ϕ 情報を優先的に選ぶ。同じ quality の場合は、あらかじめ決められた優先順位で 1 つの ϕ 情報を選ぶ。このようにして選ばれた 2 つの ϕ 情報を用いて $dR : d\phi$ コインシデンスで p_T を判定し、得られた 2 つのミュオンのうち p_T が高いものを選ぶ。同じ p_T の場合、 ϕ の小さいものを選ぶ。このようにして 1 SSC の中で 1 つのミュオンのトラックを選ぶ。

Run-3 では TGC-BW Coincidence のロジックを変更する。New SL で用いる FPGA にはメモリなどのリソースが十分な数あるため、すべての ϕ 情報を用いて p_T 判定を行える。そのため図 5.8 のように最大 4 つの ϕ 情報を用いて p_T を判定し、その中から p_T の高いもの、 ϕ の小さいものという順に選ぶ。また、3.1.3 節で説明したように、TGC-BW Coincidence では LUT を

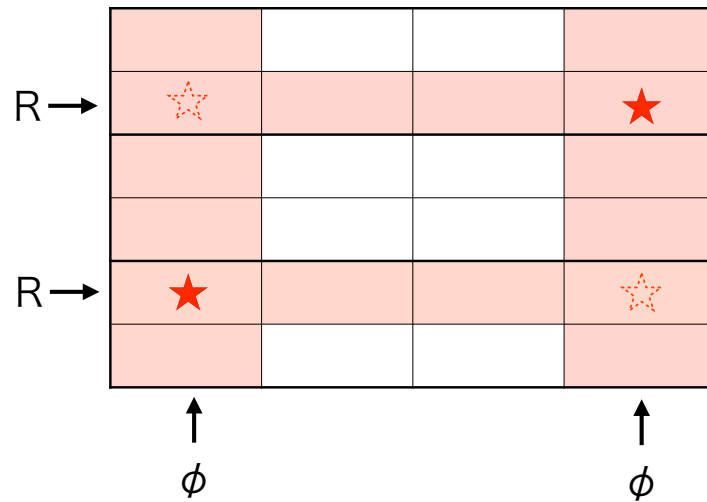


図 5.6 : TGC-BW Coincidence で判定されるようなフェイクヒット [41]。本物のミュオンが赤色の星の場所にヒットしたとしても、 R と ϕ の情報を用いてコインシデンスをとると、点線の星の部分にもミュオンがヒットしたように見えてしまう。1 マスが 1 つの RoI を表す。

BRAM で実装する。

TGC-BW Coincidence では、LUT を用いて p_T を判定するため、40 MHz のクロックを 1 クロック (= 1 BC) と、SSC 中の複数のミュオンの候補から 1 つ選ぶために 1 クロックを使う。TGC-BW Coincidence ロジックで生じる latency は合計 2 BC であり、要求される時間内に収まっている。

5.3.4 BW-Inner Coincidence の実装

BW-Inner Coincidence では TGC-BW Coincidence で判定されたミュオンのトラックと磁場領域より内側にある検出器で得られた飛跡情報を組み合わせたトリガー判定を行う。図 5.9 に磁場領域より内側にある検出器が覆っている領域を表す。BW-Inner Coincidence では、RoI ごとにコインシデンスを要求する検出器が異なる。赤色や紫色の領域には Tile カロリメータも設置されている。そのため、それぞれの RoI は次に示すもののうち、どれかに当てはまる。

- $1.0 < |\eta| < 1.3$
 - Tile カロリメータのみとのコインシデンスをとる
 - TGC EI と Tile カロリメータとのコインシデンスをとる
 - RPC BIS 7/8 と Tile カロリメータとのコインシデンスをとる
- $|\eta| > 1.3$

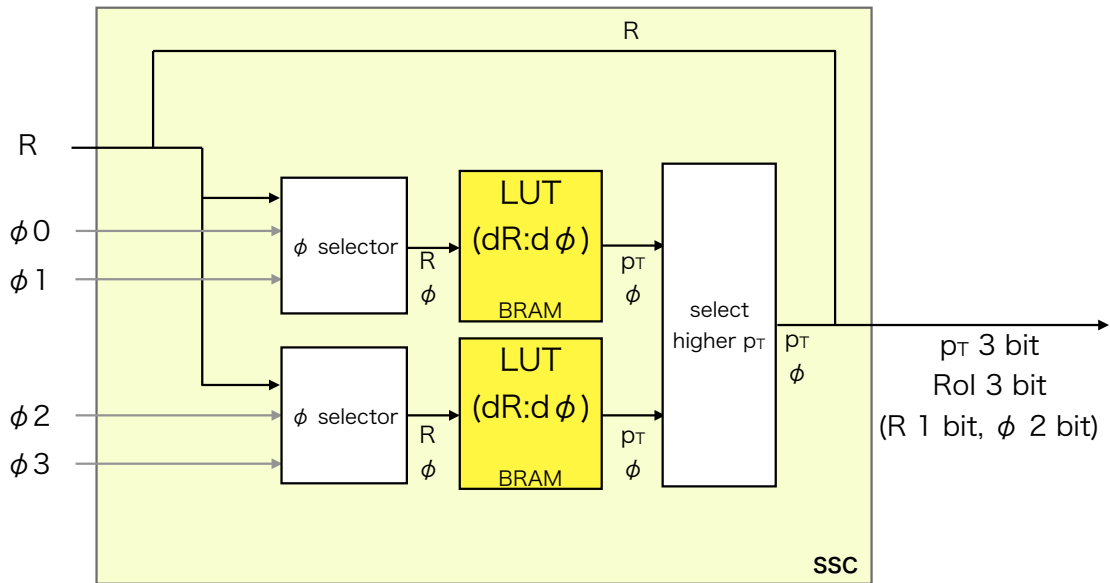


図 5.7 : Run-2 における TGC-BW Coincidence のロジック (1 SSC 分)。LUT で p_T の判定を行う前に ϕ selector で ϕ の情報の数を 2 つに減らす。その後、2 つの ϕ の情報を用いて LUT で p_T の判定を行い、2 つの p_T から高いものを選ぶ。

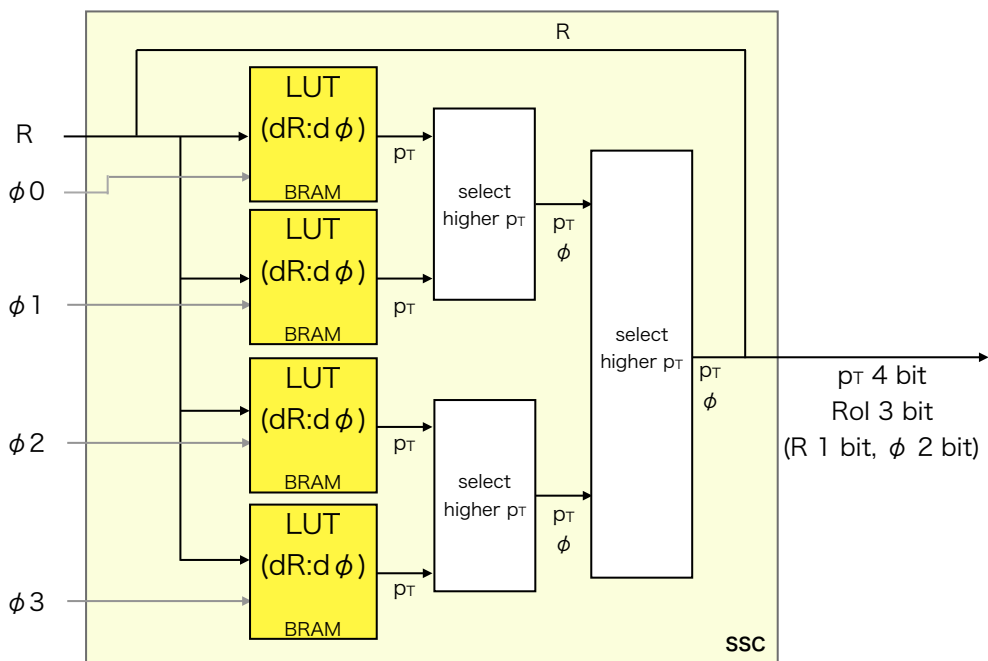


図 5.8 : Run-3 における TGC-BW Coincidence のロジック (1 SSC 分)。すべての ϕ の情報を用いて LUT で p_T の判定を行う。MUCTPI に送信する p_T が 15 段階になるので p_T の bit 数が 4 bit に増える。

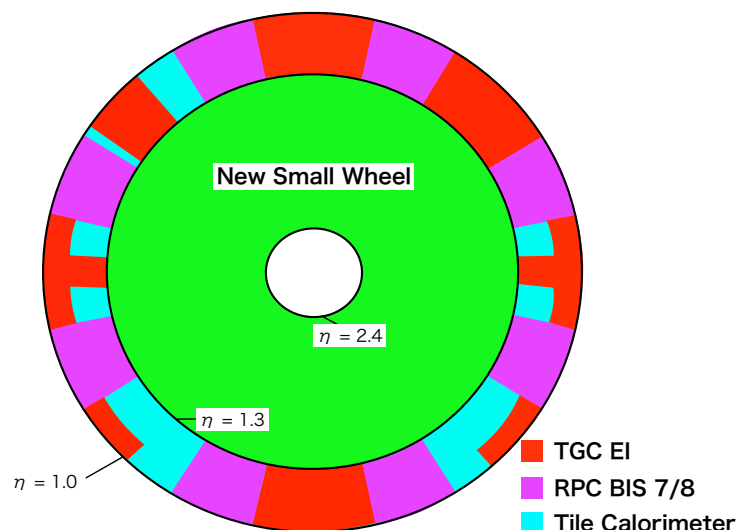


図 5.9 : TGC BW とコインシデンスを要求する磁場の内側の各検出器の覆う領域。 $1.0 < |\eta| < 1.3$ の領域に TGC EI、Tile カロリメータ、RPC BIS 7/8 が設置されている。赤色や紫色の領域も含んだ $1.0 < |\eta| < 1.3$ の全 ϕ 領域に Tile カロリメータは設置されている。 $|\eta| > 1.3$ の領域は NSW が設置されている。

– NSW のみとのコインシデンスをとる

BW-Inner Coincidence はコインシデンスを要求する磁場領域より内側の検出器によらず一定の時間で、また表 5.1 に示したようにバンチ衝突から 48 BC 後までにトリガー判定を終えなければならない。Decoder での処理は衝突から 46 BC 後に終わるため、2 BC 以内にトリガー判定を行う必要がある。

以下では、新たに実装する特に重要な BW と NSW とのコインシデンス、また 6 章の試験に関わる BW と TGC EI とのコインシデンスについて詳しく説明する。BW と RPC BIS 7/8 とのコインシデンスについては、先行研究^[31]でロジックの開発・実装がなされているので、説明を省略する。また Tile カロリメータとのコインシデンスについても先行研究^[36]で確立されているので、ここでは述べない。

BW-NSW Coincidence の実装

ここでは、まず NSW を用いたトラック情報を用いたコインシデンスロジックについて説明した後、実際の実装方法について各部分に分けて説明する。

(1) New Small Wheel のトラック情報を用いたトリガーロジック

ここでは NSW の情報と TGC BW の情報を組み合わせたトリガーロジックについて説明する。

New SL は、NSW からミュオンの位置情報 (η, ϕ) と角度情報 $\Delta\theta$ を受け取る。Level-1 トリガーに用いることのできる分解能は η が 0.005、 ϕ が 10 mrad、 $\Delta\theta$ が 1 mrad である。基本的な

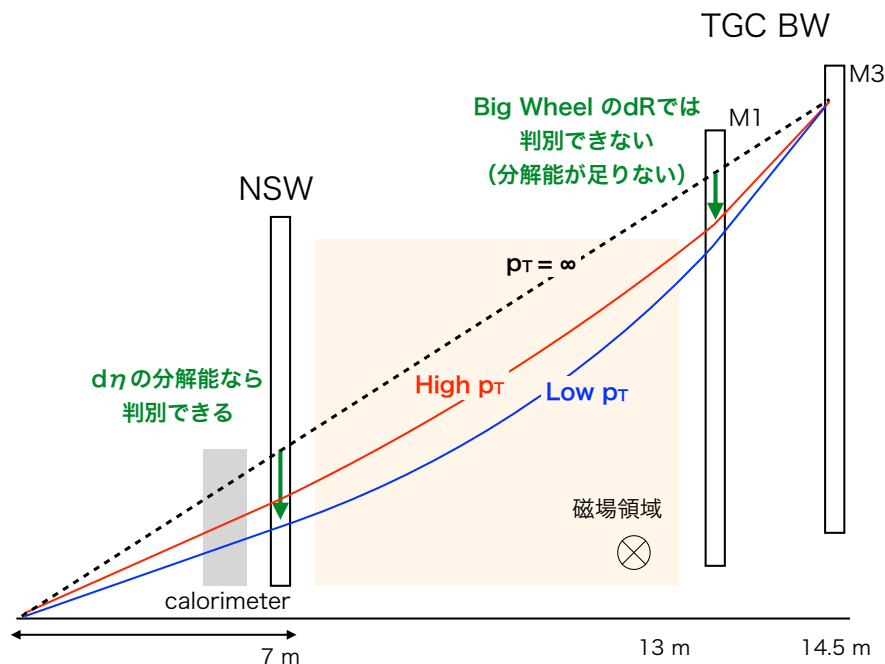


図 5.10 : NSW の位置情報を用いたトリガーロジックの概要 [28]。BW の位置情報と NSW の位置情報から $d\eta$ と $d\phi$ を定義し、 $d\eta : d\phi$ の CW を用いて p_T を判定する。

トリガーロジックとしては図 5.10、5.11 に示すように、位置情報の Coincidence Window (CW) と角度情報の CW を用いてトリガー判定を行う。

位置情報を用いる場合には TGC BW の位置情報 (η_{BW} , ϕ_{BW}) と NSW の位置情報 (η_{NSW} , ϕ_{NSW}) を用いて、 $d\eta = \eta_{BW} - \eta_{NSW}$ と $d\phi = \phi_{BW} - \phi_{NSW}$ を定義し、 $d\eta : d\phi$ の CW を作成する。 p_T 閾値 20 GeV のトリガー (L1MU20) で用いる CW は、1 イベントに p_T が 20 GeV または 40 GeV の 1 つのミューオンのみが発生するようなモンテカルロシミュレーションサンプルを用いて作成した $d\eta : d\phi$ のヒット分布を 99 % 以上含むように定義されている。 $d\eta : d\phi$ のヒット分布を図 5.12 に、CW を作成するために用いたヒット分布と CW を図 5.13 に示す。赤く塗られた部分が最終的な CW である。

角度情報を用いる場合には $d\eta : d\theta (= \Delta\theta)$ の CW を用いる。こちらの CW も位置情報を用いる場合と同じく、要求する閾値以上の p_T を持つミューオンのヒット分布を 99 % 以上含むように定義する。 $d\eta : d\theta$ のヒット分布を図 5.14 に、CW を作成するために用いたヒット分布と CW を図 5.15 に示す。

(2) Decoder の実装

図 5.4 の Decoder 部分について説明する。Decoder では、NSW と TGC BW の相対的な位置の補正を行う。

New SL は NSW からミューオンのトラック情報を受け取り、 p_T の判定を行う。 p_T 判定を行う

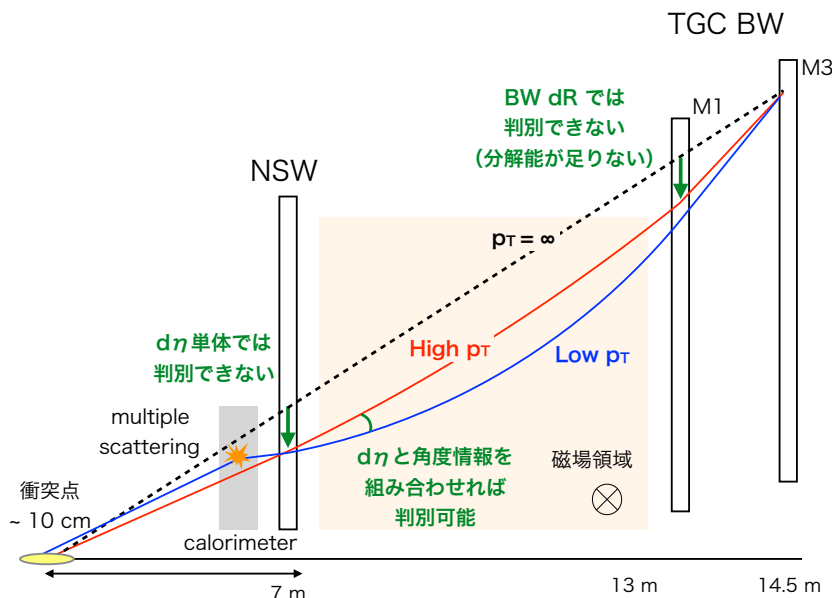


図 5.11 : NSW の角度情報を用いたトリガーロジックの概要 [28]。BW の位置情報と NSW の位置情報から $d\eta$ を定義し、NSW の角度情報 ($\Delta\theta$) とともに $d\eta : d\theta$ の CW を用いて p_T を判定する。

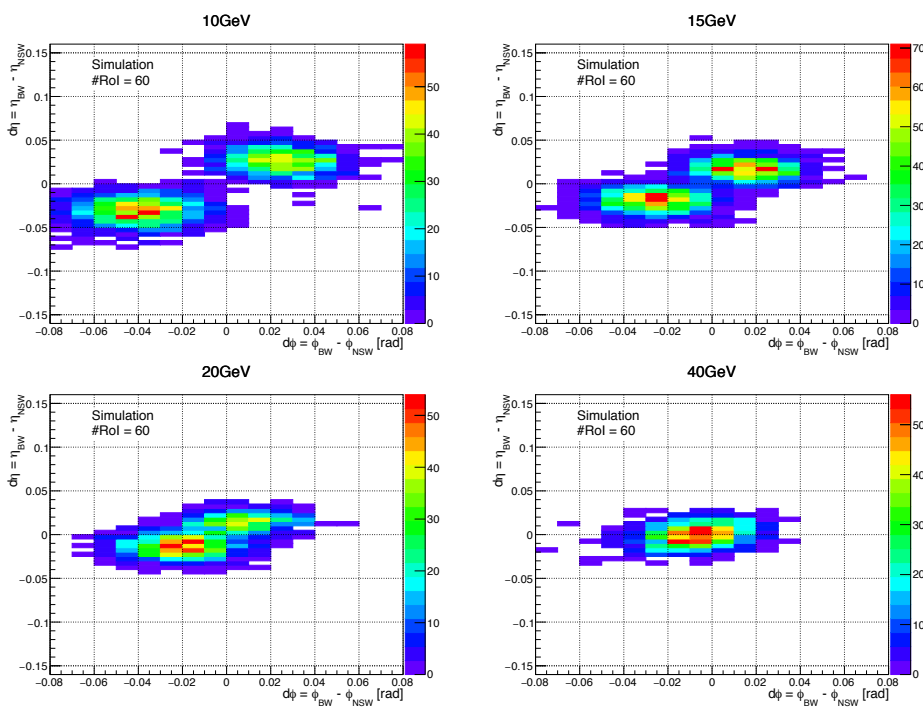


図 5.12 : 各 p_T のサンプルミュオンによるヒット位置の分布 [28]。TGC の RoI 番号 60、 $\eta \sim 1.46$ の RoI にヒットがあった場合の例。

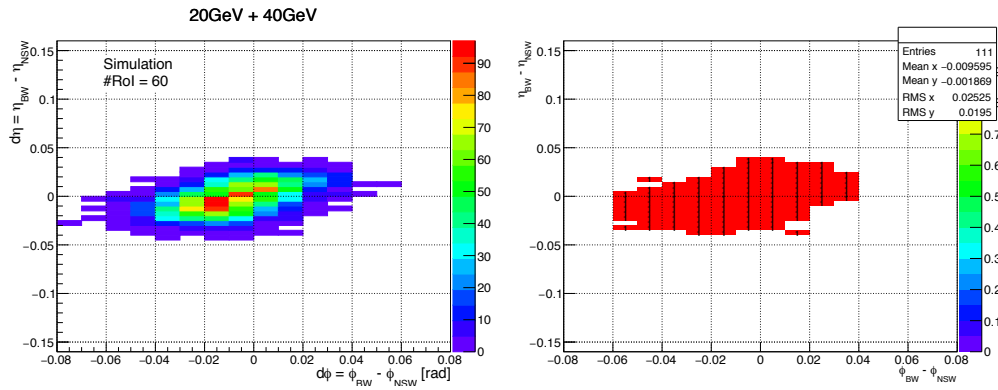


図 5.13 : (左)RoI 60 番での $p_T = 20$ 及び 40 GeV のミュオンによる $d\eta : d\phi$ のヒット分布。(右) ヒット分布の 99 % を含むように定義した $d\eta : d\phi$ の Coincidence Window^[28]。

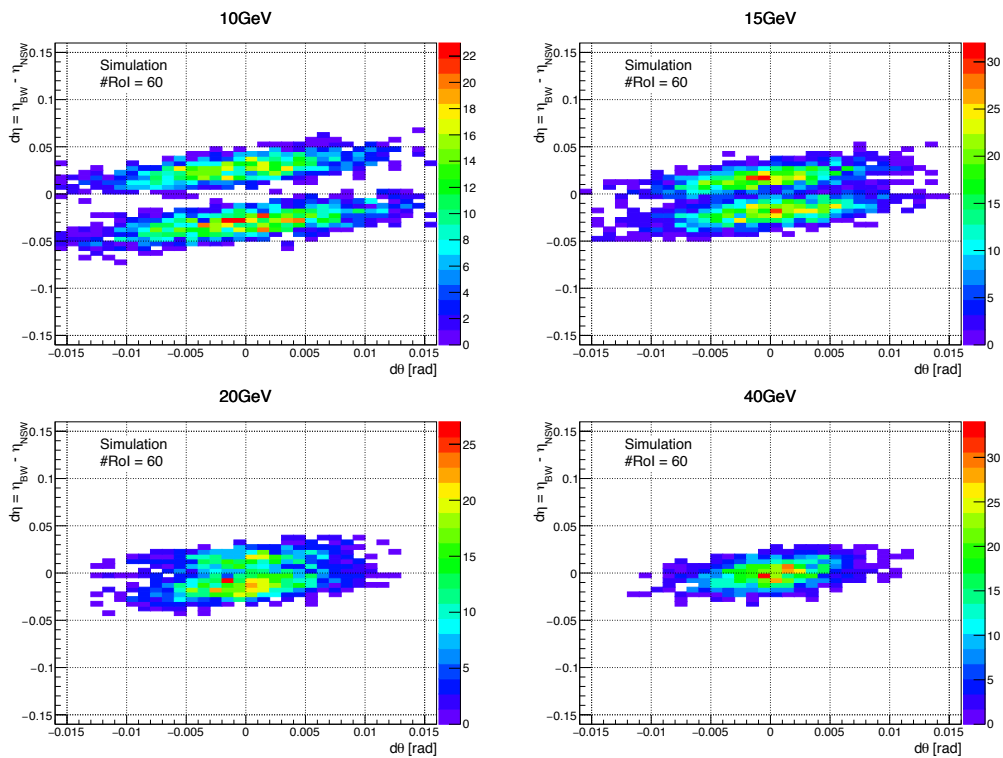


図 5.14 : 各 p_T のサンプルミュオンによるヒット位置と角度の分布^[28]。TGC の RoI 番号 60、 $\eta \sim 1.46$ の RoI にヒットがあった場合の例。

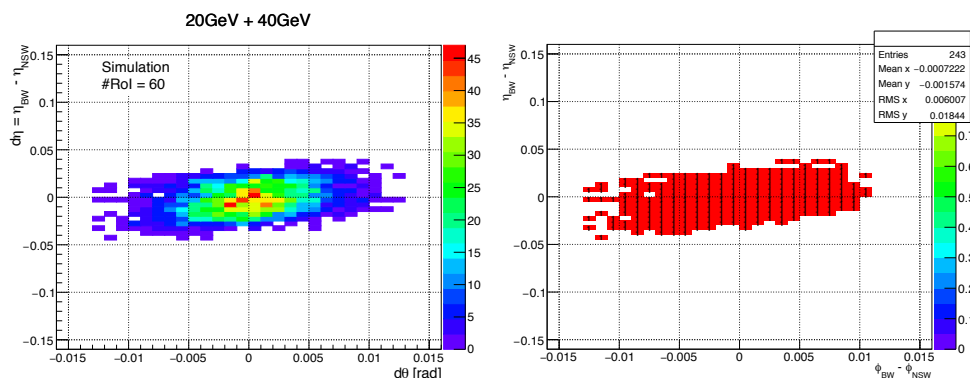


図 5.15 : (左)RoI 60 番での $p_T = 20$ 及び 40 GeV のミュオンによる $d\eta : d\theta$ のヒット分布。(右) ヒット分布の 99 % を含むように定義した $d\eta : d\theta$ の Coincidence Window^[28]。

ためにはトラックの位置 (η, ϕ) から TGC BW のヒット位置と磁場領域より内側でのミュオントラックの位置の差 $(d\eta, d\phi)$ へと変換する必要がある。ここではトラックの位置情報を変換するロジックについて説明する。

まず、New SL が NSW から受け取る最大トラック数について説明する。3.2.2 節で述べたように、1 つの New SL は 3 つの NSW TP から最大 24 トラックの情報を受け取る。TGC BW で判定された 1 つのミュオンと NSW で再構成された 1 つのトラック情報を用いて p_T 判定を行うが、この段階では TGC BW のトラックと NSW のトラックの対応がとれていない。そのため TGC-BW Coincidence で判定された各ミュオンの候補に対して、NSW で再構成されたすべてのミュオントラックの $(d\eta, d\phi)$ を計算する必要がある。しかし図 5.12 に示すように、TGC BW で判定されたミュオンに対して要求する NSW のトラック情報は、 $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲内のもののみである。また、図 5.16 に示すように New SL が NSW から受けとるトラック情報のうち、 $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲内に入り得る最大のトラック数は 16 であるため、TGC BW の 1 つのミュオンに対して 16 トラック分の $(d\eta, d\phi)$ を計算できるロジックであれば良い。また TGC BW で判定されたミュオンが複数ある場合にも対応できるように、各 SSC ごとに独立して判定を行う。

また NSW で再構成されたミュオンのトラックが近い位置に複数ある場合、どのミュオントラックが TGC BW でのミュオンの候補とマッチングがとれるのかコインシデンスをとるまでわからない。最悪の場合、NSW から受信する 16 個のトラック全てがコインシデンスを要求する範囲内に存在する可能性もある。そこでコインシデンスロジックとしては、TGC BW で判定された 1 つのミュオンの候補に対して 16 個のトラックとコインシデンスをとれるようなロジックを実装する必要がある。そのため Decoder では BW-NSW Coincidence へ送るミュオンのトラック数を減らす処理を行わない。

図 5.17 に NSW のトラック情報を変換するための Decoder ロジックのブロック図を示す。NSW の各トラック情報は、TGC BW との相対的な位置のずれを補正するため alignment モジュール

ルに入力される。補正されたトラック情報は、 p_T の判定を行うために TGC BW で判定されたミュオンとの位置情報 (η, ϕ) との相対位置 $(d\eta, d\phi)$ の情報へと変換される。

NSW のトラック情報の η, ϕ の 1 bit は、それぞれ 0.005、0.01 rad に対応している。TGC BW のミュオンとの相対位置を表す $d\eta, d\phi$ は、NSW のトラック情報と同じ 8 bit、6 bit で表され、それぞれ $|d\eta| < 0.635$ 、 $|d\phi| < 0.31$ rad の位置を bit 情報で表現できる。しかし NSW の場合、 p_T 判定を行うために用意する CW は $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲である。そのため $d\eta$ の符号を表す 1 bit と $|d\eta|$ の大きさを表す 5 bit の計 6 bit があれば、 p_T 判定に必要な $|d\eta| < 0.15$ を表すことができる。同じように $d\phi$ も 4 bit あれば十分である。そこで Decoder では $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$ rad の範囲内のトラック情報に対して、各 2 bit の余分な情報を削る処理を行う。また 4 bit の $d\phi$ は 0 ~ 15 の 16 パターンを表現できるが、 p_T 判定に必要なパターン数は分解能 0.01 rad を考慮すると、-0.07 rad ~ +0.07 rad の 15 である。そのため 4 bit で表される $d\phi$ のうち、1 つのパターンは p_T 判定には不必要である。この不必要なパターンをコインシデンスロジックに入力しても、意味のある p_T 情報を出力しないようにする。これらの処理は全ての NSW のトラックに対して各 SSC で並行して行う。

Decoder の処理は 1 BC 以内で行われ、要求値の 2 BC 以内を満たし、衝突から 46 BC 後に処理を終えることができる。

(3) BW-NSW Coincidence 実装の概要

BW-NSW Coincidence 実装について、概要を述べる。ここでは 50 ns (2 BC) 以内に NSW の 16 個のトラック情報を用いて p_T を判定する必要がある。このような要求性能を満たすために考えられるロジックの実装方法は大きく分けて 2 通りあり、1 つは並行して p_T の判定を行う方法、もう 1 つは順番に p_T の判定を行う方法である。TGC-BW Coincidence と同様に p_T の判定は BRAM を用いた LUT で実装するため、並行して p_T 判定を行う場合には大量の BRAM を使う必要がある。順番に p_T 判定を行う場合、50 ns 以内に 16 個の全てのトラック情報とコインシデンスをとるロジックを実装することが難しくなるので、図 5.18 に示すように 2 つのパスを用意して、320 MHz のクロックを用いて順番に 2 トラックずつトリガー判定を行う。最後に全ての結果をまとめ、40 MHz のクロックに同期して出力するロジックを実装する。

State 部分では図 5.19 で定義するステート情報を各ロジックに分配する。これは以下で説明するようにイベントの境界を表す情報を与えるために必要である。

(4) NSW Track Selector

NSW Track Selector のブロック図を図 5.20 に示す。320 MHz のクロックを用いて p_T の判定を行うため、8 つのトラック情報から p_T の判定に用いるトラック情報を順に 1 つずつ選ぶ必要がある。ステート情報は 320 MHz のクロックに同期して変化しているため、ステート情報のみを用いて出力したいトラック情報を選択することができる。配線の遅延などを考慮して、1 つ目のトラックは図 5.19 の 2 で p_T 判定を行うように実装する。それにより 8 つ目のトラックは図 5.19

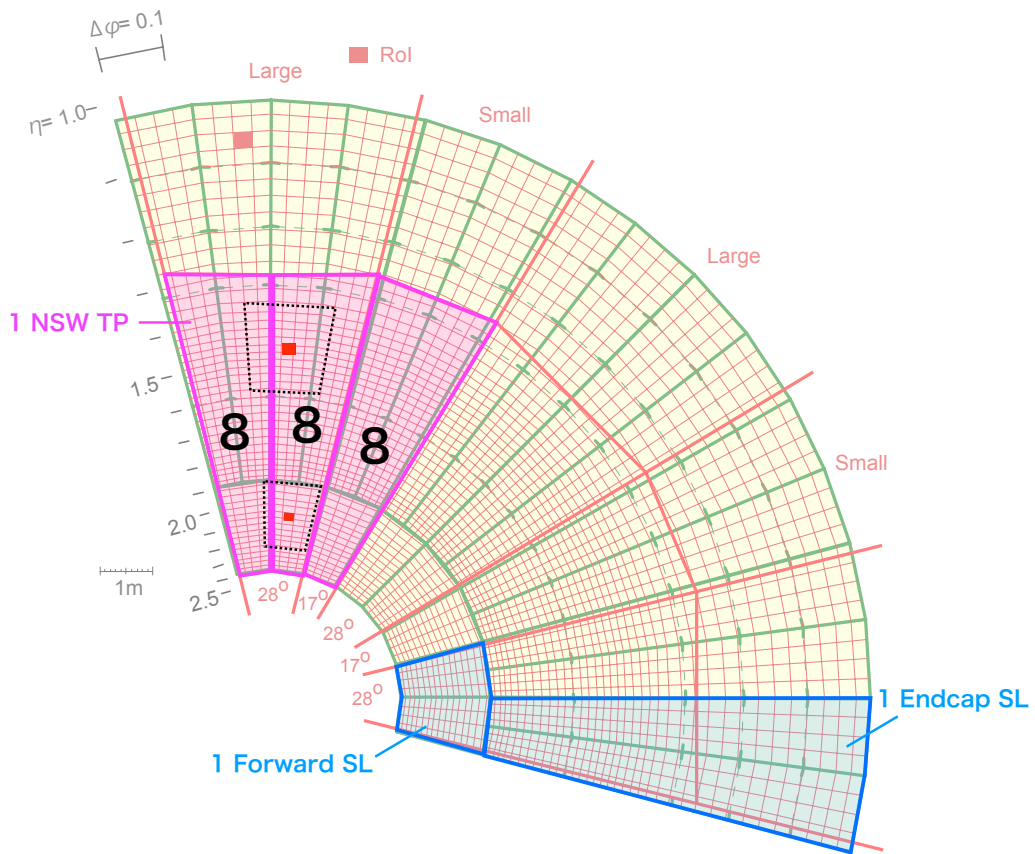


図 5.16 : 1つの RoI と対応する NSW で再構成されたミューオントラックの数。1つの NSW TP は最大 8 トラック分の情報を New SL へ送る。赤色の RoI に入射したミューオンに対してコインシデンスを要求し得る範囲を点線で示した。この 範囲内に入るトラックの数は 16 トラック分 (NSW TP 2 つ分) である。

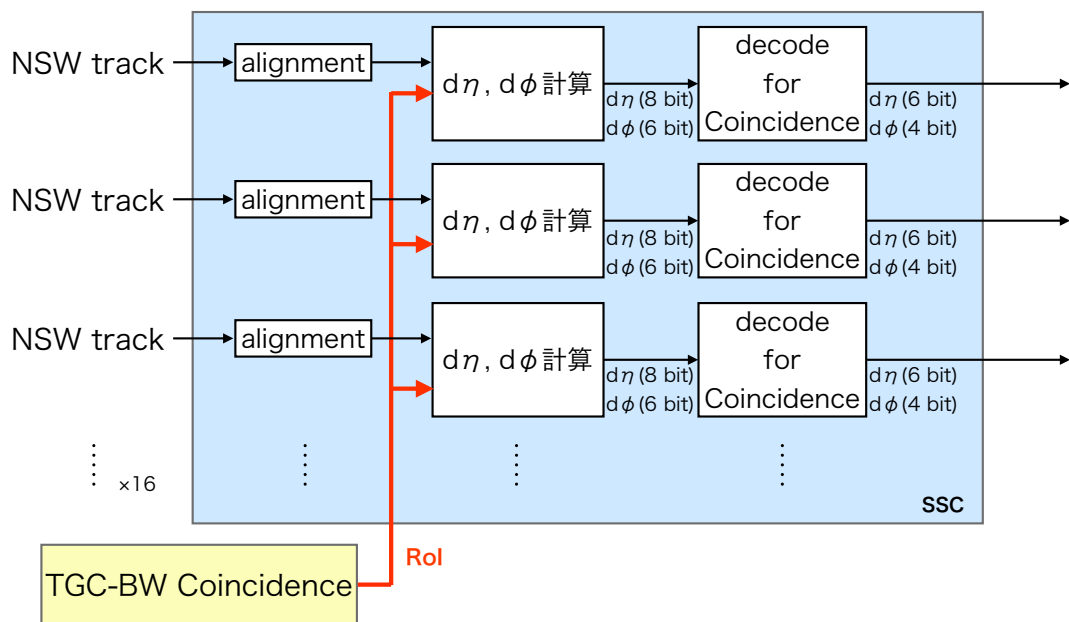


図 5.17 : New Small Wheel のトラック用 Decoder(1 SSC 分) のブロック図。“alignment” で TGC BW と New Small Wheel の相対的な位置のずれを補正し、TGC-BW Coincidence で決定した RoI 情報を使って $d\eta$ 、 $d\phi$ を計算する。計算後のトラック情報はコインシデンスロジックにかける範囲内のものであれば余分な bit を削る。コインシデンスを要求する範囲外のものであればコインシデンスをとれないようなパターンへ変換する。

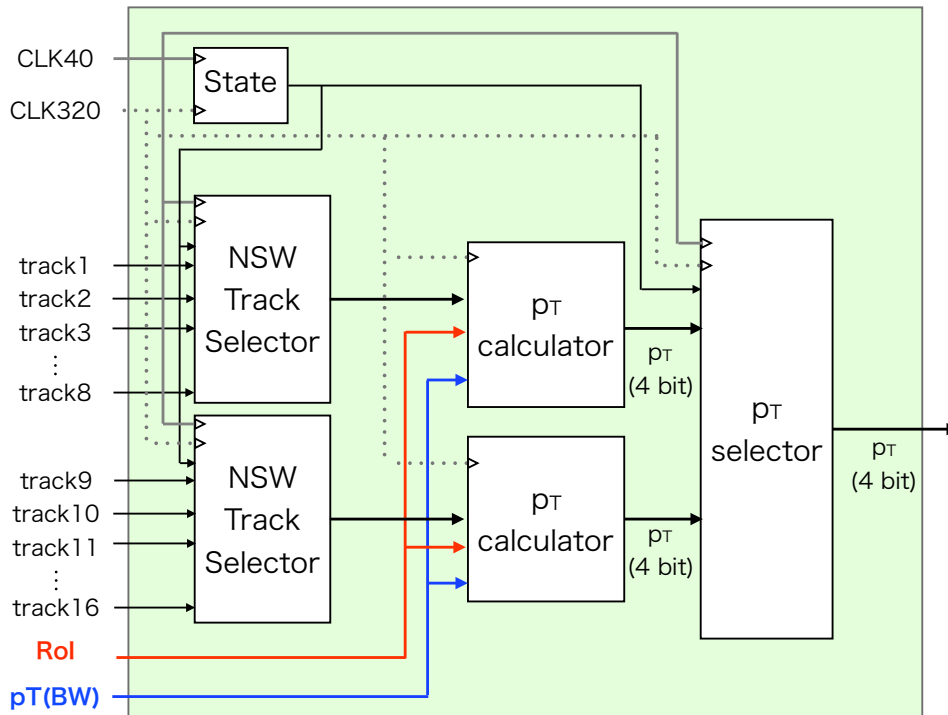


図 5.18 : NSW のコインシデンスロジックのブロック図。最大 16 トラックとコインシデンスをとる可能性があるため 320 MHz のクロックを用いてロジックを動かす。2 つのロジックを同時に走らせることで 16 トラックとのコインシデンスを可能にする。“State” の部分では各ロジックに送る状態情報を生成する。“NSW Track Selector” でトラックを 1 つずつ選び、“ p_T Calculator” でそのトラック情報をもとに p_T 判定を行う。最後に“ p_T Selector” で判定される合計 16 トラック分の p_T の中から一番高い p_T を選びだす。

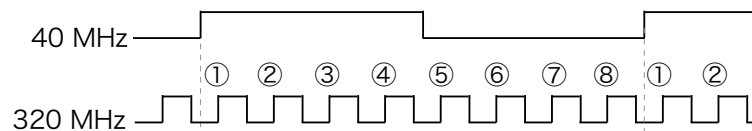


図 5.19 : コインシデンスロジックで用いる 40 MHz と 320 MHz のクロックで得られる 8 つのステート。1 ~ 8 について各ロジックで別の処理をする部分が存在する。1 つ目のトラック情報を用いた p_T の判定はクロックの位相や配線などを考慮し、2 のクロックの立ち上がりを用いる。8 つ目のトラック情報は 1 のクロックの立ち上がりで p_T を判定する。

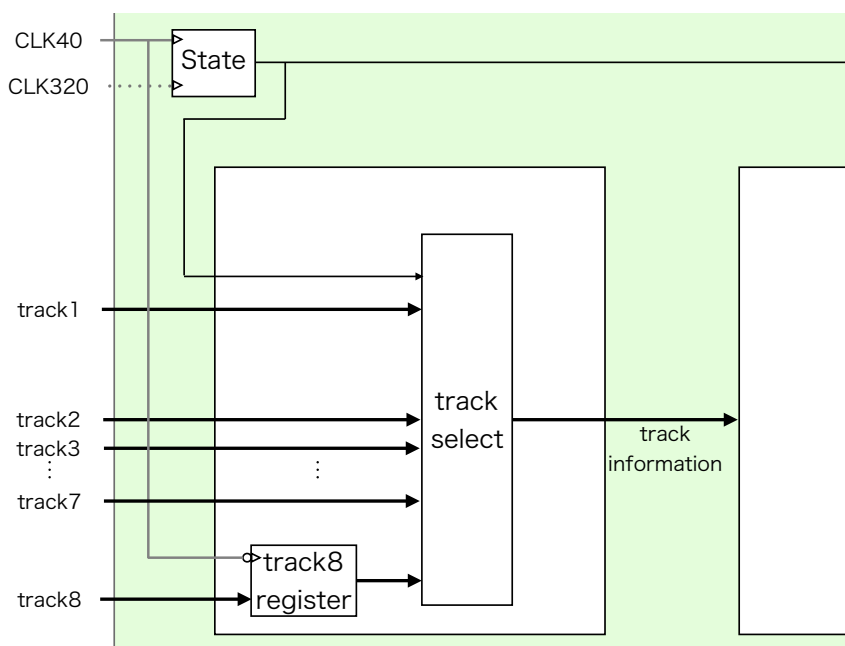


図 5.20 : NSW Track Selector のブロック図。図 5.19 の 8 つのステート情報に対応して、8 つのトラック情報を track1 から順に 1 つずつ後段へと送る。track8 は図 5.19 の 1 のクロックの立ち上がりで p_T を判定するため、情報を失わないように一時的に保存する必要がある。

の 1 で p_T 判定を行うことになるが、トラック情報は 40 MHz のクロックに同期しているため、1 では次のバンチの情報に変わってしまうため、8 つ目のトラック情報を一時的に保存するようにする。

(5) p_T Calculator

p_T Calculator のブロック図を図 5.21 に示す。New SL は NSW から (η, ϕ) の位置情報と $\Delta\theta$ の角度情報を受け取る。前述したように、これらの情報と TGC BW の RoI で 2 つの p_T の判定を行う。これらの判定に使う CW はメモリを用いて LUT として実装する。LUT を用いて各々の p_T を判定しただけでは、TGC BW とのコインシデンスは完了しておらず、TGC-BW Coincidence で判定された p_T と合わせて “ p_T merger” で最終的な p_T の値を決定する。この p_T merger もメモリを用いた LUT で実装する。またこれらの LUT の入力には NSW Track Selector から受け取る 320 MHz のクロックに同期したトラック情報を用いる。

p_T Calculator では BRAM を用いた LUT で Coincidence Window を実装して p_T の判定を行う。ここで BRAM の使用量を見積もっておく。エンドキャップ領域のトリガーセクターでは SSC の数が 19 個あり、フォワード領域のトリガーセクターでは SSC の数は 8 個なので、エンドキャップ領域用 New SL に実装するコインシデンスロジックの方が BRAM の使用量が多い。よって BRAM 最大使用量の見積もりはエンドキャップ領域用の New SL について行う。

まず位置情報を用いた $d\eta : d\phi$ コインシデンスで使う BRAM の数について説明する。1 つの LUT への入出力は RoI を表す 3 bit、トラックの $d\eta$ を表す 6 bit、 $d\phi$ を表す 4 bit の合計 13 bit の入力と 4 bit の p_T の出力である。この場合の BRAM の使用量は $213 \times 4 = 32 \text{ Kb}$ となる。BRAM の使用量の最小単位は 18 Kb であるので、BRAM 使用量は 36 Kb となる。

次に角度情報を用いた $d\eta : d\theta$ コインシデンスで使う BRAM の数について説明する。1 つの LUT への入出力は RoI を表す 3 bit、トラックの $d\eta$ を表す 6 bit、 $d\theta$ を表す 5 bit の合計 14 bit の入力と 4 bit の p_T の出力である。この場合計算した BRAM の使用量は $214 \times 4 = 64 \text{ Kb}$ となり、実際の使用量は 72 Kb となる。また p_T merger は TGC BW、NSW の各 4 bit の p_T の入力から 4 bit の p_T と 1 bit の Inner flag を出力するため、BRAM の使用量は $212 \times 4 = 16 \text{ Kb}$ となり、実際の使用量は 18 Kb となる。ここで、Inner flag とは p_T merger で選択された p_T が BW-NSW Coincidence によって得られたものである時に立つ bit 情報である。

これらの結果から 1 つの p_T Calculator で使用する BRAM は 126 Kb となる。また、1 つの BW-NSW Coincidence には 2 つの p_T Calculator を実装し、1 トリガーセクター (19 SSC) の中で BW-NSW Coincidence を実装する SSC の数は、 $|\eta| > 1.3$ の領域の 14 個である。1 つの New SL は 2 トリガーセクターのトリガー判定を行うため、BRAM 使用量は $126 \times 2 \times 14 \times 2 = 7056 \text{ Kb}$ となる。これは FPGA に実装されている BRAM の約 25 % である。

このロジックは 2 つのパスで並列で判定を行っているが、さらにもう 1 パス追加すると LUT の使用数が増え BRAM 使用量が 12.5 % 増えてしまう。そのため、320 MHz のクロックを用いて 2 つのパスで並列に p_T の判定を行うことにした。

(6) p_T Selector

p_T Selector について図 5.22 を用いて説明する。この部分では 320 MHz のクロックに同期して順に判定される合計 16 トラック分の p_T の中から一番高い p_T を選び出す。

p_T の選び方としては、2 つのパスで並列に判定された p_T の内の高い p_T のものを選び、さらに今までに判定された中で一番高い p_T と比較して、一番高い p_T を持つミューオンを選ぶ。この処理を 8 回繰り返すことで 16 個の p_T の中から一番高い p_T を選び出すことができる。ただし 320 MHz のクロックを用いているため、ステート情報を用いて 40 MHz のイベントの境界の情報を与え、前のイベントでの情報で判定された p_T との比較を行わないようにしている。また 320 MHz のクロックに同期したコインシデンス結果を 40 MHz のクロックに同期させるために、2 つのレジスタを用いて同期させる。

BW-NSW Coincidence において、1 トラックとのコインシデンスをとるために必要な処理時間は、 p_T Calculator で 2 クロック、 p_T Selector の中の p_T comparator で 2 クロックの合計 4 クロックである。しかし実際は FPGA の中の BRAM の物理的な位置を移動させることができないため、 p_T Calculator での判定に用いる 2 つの LUT 用 BRAM から p_T merger の LUT 用 BRAM へ、320 MHz の 1 クロック (3.125 ns) 以内に 4 bit の p_T を送ることは難しい。そこで CW を用いて判定した p_T を p_T merger へ送る前に、一度レジスタに保存するようにする。この

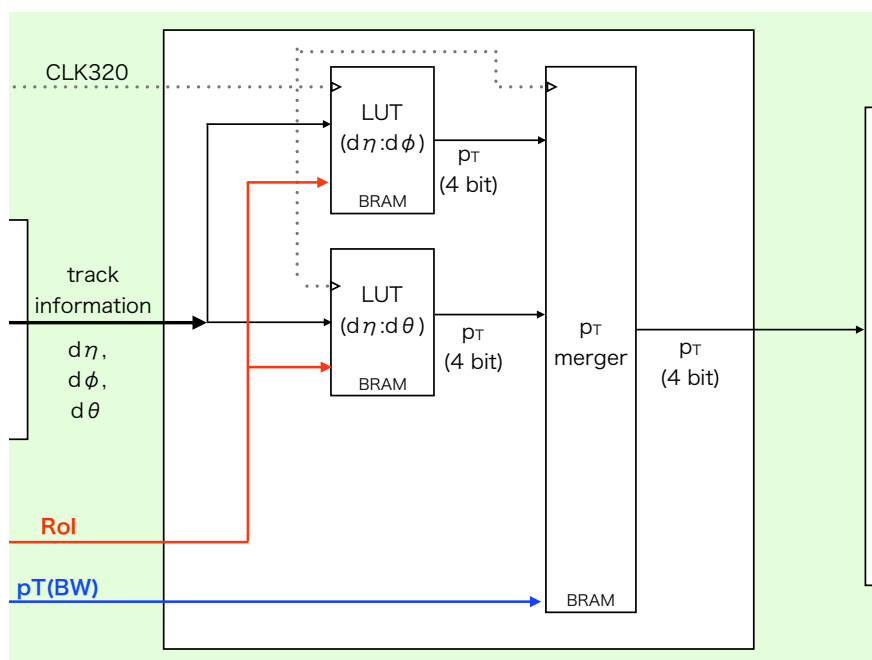


図 5.21 : p_T Calculator のブロック図。NSW の位置情報・角度情報を用いた CW を実装した LUT により、2 つの p_T の判定を行う。TGC BW の情報のみで判定した p_T 、NSW の位置情報で判定した p_T 、NSW の角度情報で判定した p_T を用いて最終的な p_T を決定する。

処理を行うことで latency として 320 MHz の 1 クロックだけ処理が遅くなるが、6.25 ns 以内に p_T の情報を送ればよい。このようにすることでタイミングの制約がゆるくなり、BRAM の配置に自由度が生まれ、正しくデータを送ることができる。同じように p_T merger と p_T comparator の間でも一度レジスタにデータを保存する。これにより 1トラックとのコインシデンスをとるために必要な処理時間は 6 クロックとなる。この処理を順に 8 回繰り返すため、合計で 13 クロック (40.625 ns) かかる。40 MHz のクロックに同期させる処理の latency も含めて、50 ns で全ての処理を終えることができる。

BW-EI Coincidence の実装

ここでは TGC EI の情報と TGC BW の情報を組み合わせたトリガーロジックについて説明する。

1 つの New SL は、TGC EI/FI Data Converter から TGC EI 3 チェンバー分のミュオンヒット情報を受け取る。図 3.3 に示すように、TGC EI は TGC BW の全領域を覆ってはいない。そのため BW-EI Coincidence は TGC EI に覆われた RoI にヒットしたトラックに対してのみ EI ヒットを要求する。

TGC EI チェンバーのヒット要求に対する概念図を図 5.23 に示す。表 4.3 より 1 チェンバーは η 方向に 3 分割、 ϕ 方向に 4 分割した 12 個のマスに分けられている。TGC EI のヒットとは、

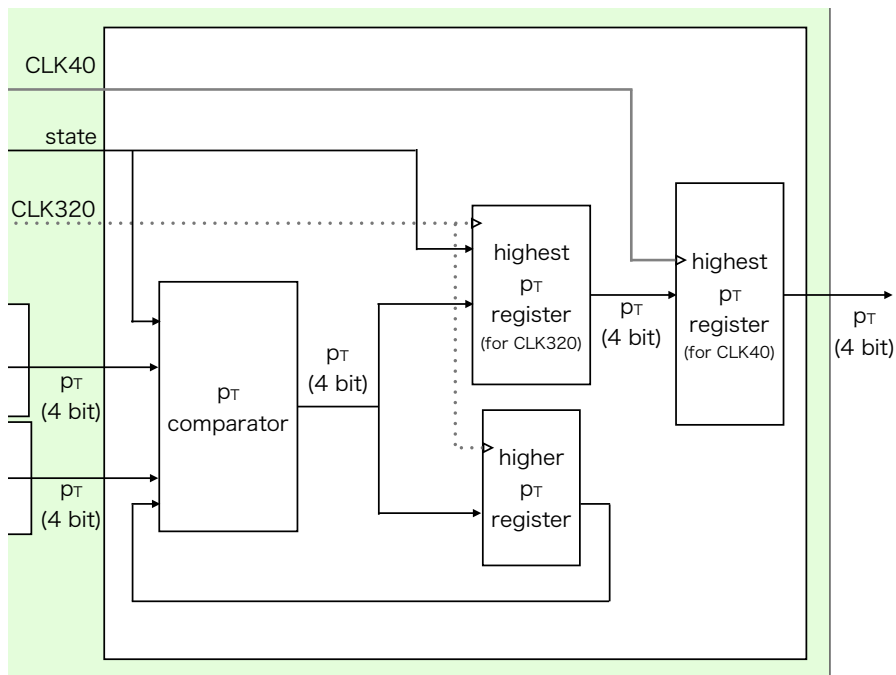


図 5.22 : p_T Selector のブロック図。この部分では 1 BC で得られた 16 個の p_T のうち高いものを選ぶ。 p_T comparator は今までに判定された p_T と新しく判定された 2 つの p_T の合計 3 つの比較を行う。 $higher p_T register$ は p_T comparator で選ばれた高い p_T を保存し、次に送られてくる p_T と比較するために一時的に保存する場所である。 $highest p_T register$ はステート情報を用いて 16 個の p_T のうち一番高い p_T を 40 MHz のクロックに同期させるために用いる。

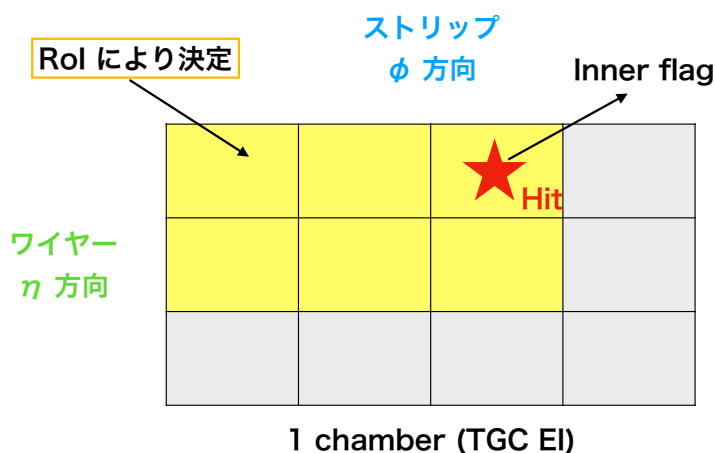


図 5.23 : BW-EI Coincidence の概念図。1 チェンバーは η 方向に 3 分割、 ϕ 方向に 4 分割した 12 個のマスに分けられており、トラックの RoI によりヒットの要求位置が決定する。要求された位置のヒットの有無により、Inner flag の値が決まる。

ワイヤーとストリップの両方にヒットがあったことを示す。

ここではまず TGC-BW Coincidence によって得られたミュオンの RoI から EI のチェンバーのどの部分にヒットを要求するかが決まる。その部分にヒットがあれば Inner flag を立て、ヒットがなければ立てない。この Inner flag は BW-NSW Coincidence のものと同じものであり、この処理時間は 40 MHz クロックで 1 クロック (25 ns) である。これは、50 ns 以内という処理時間に対する要求を余裕を持って満たしている。それ以外の p_T や RoI などの情報はレジスターにそのまま保存され、Track Selector での処理にタイミングが合うよう調節して出力される。

このロジックでは、各 SSC ごとに TGC-BW Coincidence によって得られたミュオンが TGC EI チェンバーのどの部分にヒットを要求するかどうかを設定しておく必要がある。この設定はコントロールレジスタを用いて行い、SSC 単位で設定できるように実装した。

5.3.5 Track Selector の実装

Track Selector に要求される機能は TGC の 1 つのトリガーセクターで判定された複数のミュオンのうち、MUCTPI ボードに送るべき最大 4 つの候補を選ぶことである。MUCTPI ボードへ送信するための候補の選別とデータのエンコードの処理を 50 ns 以内に行わなければならない。

エンドキャップ領域トリガーセクター用 New SL に実装した Track Selector のブロック図を図 5.24 に示す。Track Selector は 3 段階でミュオンの候補を絞る。初段のモジュールである candidate selector は、SSC から送られてくる情報から、コインシデンスのとれていない SSC のものを捨てる。これにより後段の comparator へ送る情報を減らす。New SL は HPT ボードから受け取る TGC BW の情報を用いてミュオンの RoI を決定している。しかし HPT ボードはデータ転送速度の限界により、すべてのミュオンの R 情報を送れているわけではない。図 5.25

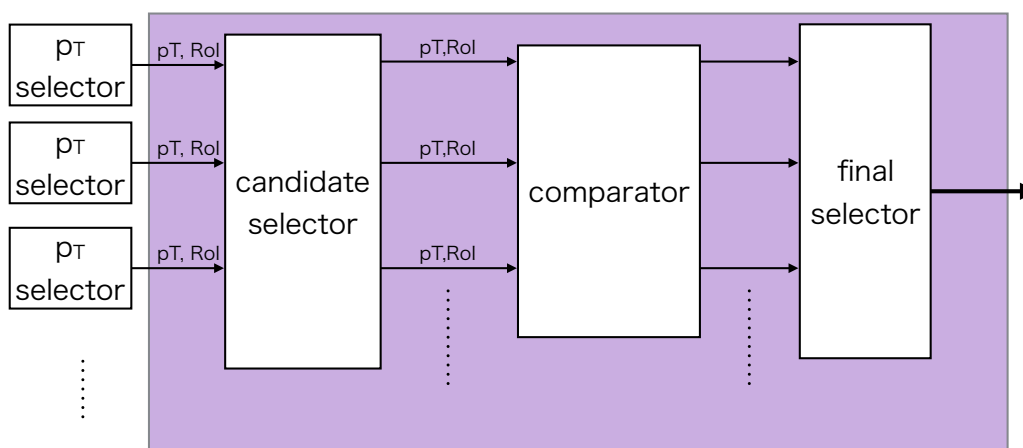


図 5.24 : エンドキャップ領域トリガーセクター用 New SL に実装した Track Selector のブロック図。19 個の SSC からミュオンの候補を選び出す candidate selector、選ばれた候補の p_T を総当たりで比較する comparator、comparator の結果を用いて後段に送る 4 つの候補を選ぶ final selector の 3 段階で構成されている。フォワード領域用 New SL では candidate selector のみ実装されている。

に示すようにある HPT ボードに属する SSC のグループの中で最大 2 個の R 情報しか送ることができない。そのためエンドキャップ領域用 New SL が受け取ることができる TGC BW の R 情報の制限を用いて、19 個の SSC のコインシデンス結果の中から、SSC0 で 1 つ、SSC1-6、SSC7-12、SSC13-18 の中から各 2 つずつの合計 7 つまでを選び出す。またフォワード領域用 New SL では最大 4 つの R 情報しか受け取らないので、candidate selector の時点で 4 つまでミュオンの候補を絞ることができるため、図 5.24 の後段の処理は必要ない。

candidate selector では HPT ボードから受信するデータフォーマットを用いて、後段の comparator へ送るコインシデンス結果を選ぶだけでなく、MUCTPI ボードへ送るためのエンコード処理も行う。各 SSC ごとに判定されたミュオンの位置情報は SSC 中の位置情報 (RoI) を表すために 3 bit で表現されている。しかし MUCTPI ボードへ送るミュオンの RoI 情報はトリガーセクター内の位置を示す必要があるため、8 bit の情報へとエンコードする必要がある。HPT ボードのデータフォーマットを利用して後段の処理に不要なデータを捨ててしまうと SSC 情報が失われてしまうため、RoI 情報のエンコード処理はこの部分で行う。

candidate selector で絞られた最大 7 つのミュオンのうち MUCTPI ボードへ送信できるのは 4 つまでである。4 つの候補の選び方はミュオントラックの p_T が高いもの、同じ p_T の場合は R の大きいものを優先的に選ぶように実装した。これらの優先順で選ぶために comparator モジュールを使う。comparator では ${}^7C_2 = 21$ 通りの総当たりで優先順位の比較を行う。このようにして得られた 21 個の比較結果を用いて final selector で 4 つのミュオンを選び出す。

Track Selector はこれらの処理を 40 MHz での 1 クロック (= 1 BC) で完了することができる。そのため、latency に対する要求値の 2 BC と比較して 1 BC の余裕をもつことができる。

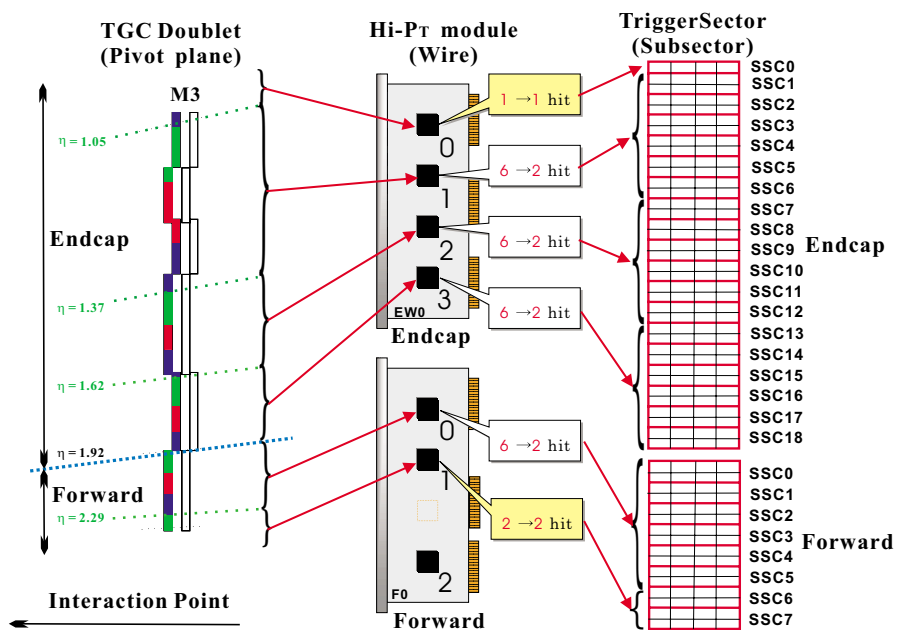


図 5.25 : HPT ボードから受け取るデータと TGC BW の SSC の関係^[41]。1 枚の HPT ボードに属する SSC のグループの中で最大 2 個の R 情報しか送ることができない。エンドキャップ領域用 New SL が受け取る R 情報は、SSC0 で 1 つ、SSC1-6、SSC7-12、SSC13-18 それぞれで各 2 つずつである。フォワード領域用 New SL が受け取る R 情報は、SSC0-5、SSC6-7 それぞれで各 2 つずつである。

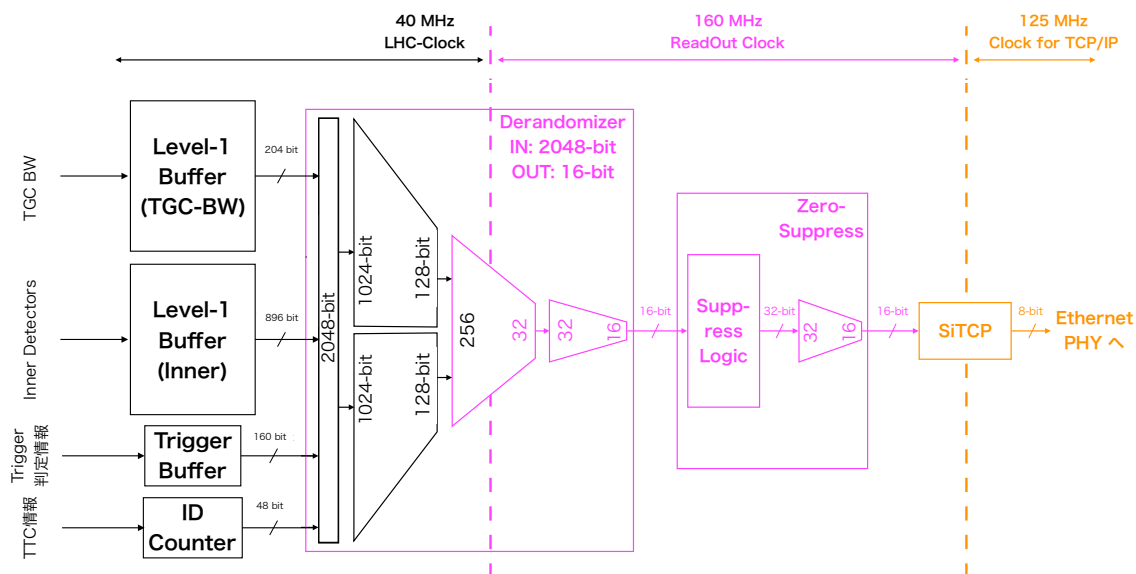


図 5.26 : 読み出しファームウェアの概念図。L1A 信号を受け取ると、信号に対応した BC のデータを読み出し、整形・圧縮後、SROD へと送信する。

5.4 読み出しファームウェア

New SL はトリガー判定を行うだけでなく、受信データとトリガー判定結果の読み出しも行う。L1A 信号を受け取ると、信号に対応した BC のデータを読み出し、整形・圧縮後、SROD へと送信する。開発した読み出しファームウェアのブロック図を、図 5.26 に示した。読み出しファームウェアは Level-1 Buffer、Trigger Buffer、ID Counter、Derandomizer、Zero Suppress、SiTCP の 6 つのモジュールからなる。

5.4.1 Level-1 Buffer, Trigger Buffer

Level-1 Buffer、Trigger Buffer では、L1A が発行するまで全てのデータをバッファに保存し、トリガーが発行された場合にその BC と前 1 BC、後 2 BC の計 4 BC 分のデータを読み出す。この 2 種類のバッファをまとめて、L1 Buffer と呼ぶ。L1A が New SL に入力されるまで十分にデータを保持しておくるように、L1 Buffer として深さ 128 のメモリを用意した。

Level-1 Buffer は New SL が受信した各検出器からの情報を保存しておくためのバッファである。コインシデンスロジックの都合により、TGC BW と磁場領域より内側にある検出器の情報は Delay モジュールから LHC クロック 2 つ分ずらすため、Level-1 Buffer は 2 つに分けられる。4.3 節の各検出器からの入力データフォーマットから、TGC BW 用 Level-1 Buffer の入力 bit 幅は 204 bit、磁場領域より内側にある検出器用 Level-1 Buffer の入力 bit 幅は 896 bit とした。

Trigger Buffer は New SL で判定したトリガー情報を保存しておくためのバッファである。トリガー判定は受信データを用いて行うので、受信データそのものに対してトリガー計算に要し

た論理遅延分、遅れて出力される。この遅延を吸収するために、Level-1 Buffer と Trigger Buffer は別のメモリを用意した。Trigger Buffer の入力 bit 幅は、図 4.12 と New SL は 2 トリガーセクターを担当することから、160 bit とした。

また、L1A が入力した時にメモリのどの深さのデータを読み出せば良いかは L1A の到着するタイミング及びトリガー判定にかかる時間に依存するため、読み出す深さを調節することで同じイベント・同じ BC の各情報を後段の Derandomizer に送信することができる。

5.4.2 ID Counter

受信データとともに、そのデータの ID 情報を付与して送る必要がある。この ID 情報を元に HLT は他の検出器と同じイベント・同じ BC の情報を共有し、より高い精度のトリガーを行うためである。ID には Bunch Crossing ID (BCID) 及び Event ID の 2 種類がある。

BCID は、LHC のバンチ構造を利用した ID 情報で、ある特定のバンチを BCID = 0 とし、そこから数えて何バンチ目の交差にあたるかを示す情報を持つ。LHC 1 周は 3564 個のバンチに相当するので、BCID を表すのに必要なビット幅は 12 bit である。BCID は 0 から 3563 までで定義されており、16 進数で表示すると 0x0 から 0xDEB となる。LHC のバンチ交差は 40 MHz で行われているため、この BCID は 40 MHz 毎に 1 ずつ数を増やす。

Event ID は、LHC のランが開始してから何回 L1A が発行されたかを示す ID 情報である。L1A の回数を数える ID 情報なので、L1ID とも呼ばれる。L1ID は NewSL では 12 bit まで数えており、L1ID をリセットする信号を受信したら、再び 0 に戻す。後段の読み出し回路では L1ID を常に監視しておいて、L1ID が 0 に戻ったら Extended L1ID と呼ばれるカウンターでその回数を数えて、L1A と合わせて 24 bit の ID 情報で全イベントを識別する。

これらの ID を付与するために New SL で必要な情報は、BCID を数えるための 40 MHz の LHC クロック、BCID のリセット信号 (BCID Reset、BCR)、L1ID を数えるための L1A、L1ID のリセット信号 (Event Counter Reset、ECR) の 4 つである。これらの情報は TTC (Trigger、Timing、Control) システムから受信する。TTC システムは、トリガー信号 (L1A) 及びタイミング信号 (LHC クロック、BCR、ECR)、コントロール信号 (Test Pulse、BUSY) を合わせて全トリガーシステムに供給する。

New SL では 16-pin フラットケーブルで TTC 信号を受信し、FPGA に入力している。ID Counter 部分ではこれらの情報から ID 情報を生成し、データを読み出すタイミングと合わせて次の Derandomizer へ入力する。ID Counter では、BCID Counter は LHC クロックの立ち上がりのたびにカウントアップし BCR でリセットする 12 bit カウンター、L1ID Counter は LHC クロックの立ち上がり時 L1A 信号が受信されている時のみカウントアップし、ECR でリセットする 12 bit カウンターとして、それぞれの値を出力するような実装となっている。

5.4.3 Derandomizer

L1A が発行されたイベントに対しては、Level-1 Buffer、Trigger Buffer 及び ID Counter からの出力をまとめて 2048 bit としたのちに、FIFO にデータを保存する。この FIFO は 40 MHz で 2048 bit の情報を受信し 160 MHz 読み出しクロックに同期した 16 bit で出力するものであり、これを Derandomizer と呼ぶ。Derandomizer を構成するために用いる FIFO は、使用するリソースの量を最小にし、デッドタイムを出さないように十分な深さを持つ必要がある。

はじめにリソースの最適化に関して説明する。FIFO は FPGA の BRAM を用いて実装され、リソース使用量は入出力 bit 数や深さによって決まる。今回は入力 bit 数が出力 bit 数より大きいため、入力 bit 数がリソース使用量の見積もりに重要となり、また最大入力 bit 数は 1024 bit で、かつ出力幅は入力幅の 1/8 までである。これらの制限により、初段の FIFO は最低 2 つを並列に並べる必要がある。入力 bit 幅が 72 bit ごとに 36 Kb の BRAM を 1 個使用するため、入力 bit 数が 1024 bit の FIFO を使用する 場合、BRAM を 14.5 個使用し、合計で 29 個使用する。この場合、BRAM の使用数をこれ以上増やさずに設定できる最大の深さは 512 である。1024 bit の入力で深さが 512 の FIFO では、出力 bit 数によらず BRAM の使用量は同じである。そのため、BRAM 使用量を減らすために 2 段目の FIFO での入力 bit 数を減らして、出力 bit 数は 128 bit にする。2 段目の FIFO としては入力が 256 bit の FIFO を考える。この FIFO では初段と同様に、深さが 512 以下であれば、出力 bit 数によらず BRAM 使用量は変わらない。また 3 段目の FIFO での BRAM 使用量を減らすため、出力 bit 数は 32 bit にする。3 段目の FIFO は、入力 bit 数が 32 bit、出力 bit 数が 16 bit で決まっており、深さは 512 以下であれば BRAM の使用量は変化しない。

今までは、BRAM の使用量に注目して各 FIFO の深さを 512 にしたが、この深さが十分であるか確認するために Queueing 理論を用いる。入力の平均レート λ 、出力の平均レート μ 、深さ N の FIFO の場合に、FIFO が全てデータで満たされる確率 τ を求めるために用いる。入力がランダムに行われると仮定すると、深さ N のうち n が埋まっている確率 P_n は、

$$P_n = \frac{(1 - \rho) \rho^n}{(1 - \rho^{N+1})}$$

と表される。ここで用いられる ρ は、 $\rho = \mu/\lambda$ である。 τ の定義は $n = N$ となる確率であるので、

$$\tau = P_N = \frac{(1 - \rho) \rho^N}{(1 - \rho^{N+1})}$$

となる。

この FIFO では設定の都合上深さ 512 を設定できるが、FIFO がオーバーフローしないために初段の FIFO の深さ 400 まで満たされると、デッドタイムを作る Busy 信号を出力するようにする。これは Busy 信号を出力してからデータ取得が止まるまでの時間を考慮して、ある程度の余裕もたせて深さを設定した。3 段の FIFO はカスケード接続し、1 つの FIFO であると考えることができる。この場合、入力 bit 数が 2048 bit、出力 bit 数が 16 bit、深さが $400 + 512/8 + 512/8/8 = 472$

の FIFO とみなせる。この FIFO では、入力のレートは L1A レート 100 kHz、1 回の L1A で 4 BC 分読みだすので 400 kHz となる。1 イベントあたり 2048 bit 入力されるので、FIFO に入力される情報は 819.2 Mbps である。出力のレートは Derandomizer の入力レートと同じであると考えて、160 MHz で 16 bit ずつ読みだすため、2560 Mbps である。したがって $\rho = 0.32$ となる。これを用いて計算すると、 τ は $N = 472$ では約 1.8×10^{-234} となる。この結果から、Derandomizer の FIFO には十分な深さが用意され、FIFO の入力 bit 幅から決まる BRAM の使用量についての最適化がなされていることがわかる。

5.4.4 Zero Suppress

Zero Suppress はデータを圧縮するためのロジックである。特にデータの中で 0 の割合が多い場合にデータの圧縮率が高くなるロジックであり、基本的には 0 でないデータのみを送信するようにしてデータ転送量を減らす。図 5.27 に Zero Suppress の Suppress ロジックの概念図を示す。

Suppress ロジックは 16 bit ずつのデータ (1 cell 分) を Derandomizer から読み出し、その 16 bit の中に 1 があるかどうか確かめる。1 がなく全て 0 であれば、その 16 bit のデータは捨てられる。1 があれば、その 16 bit が 1 イベントのデータの何 cell 目であるかを識別するための 16 bit の cell 情報を付け加えて、32 bit のデータへと変換する。0 を多く含むデータの場合、追加で付け加えられる 16 bit の cell 情報の方が、捨てられる 16 bit のデータよりも少ないため、データ送信量を減らすことができる。

表 5.2 に Suppress ロジック後のデータフォーマットを示す。前述の通り、16 bit のデータに 16 bit の cell 情報を付け加えて 32 bit へと変換する。16 bit の cell 情報は、SROD で 16 bit のデータが何の情報を表すか識別するための 4 bit の Data Tag、L1A 信号によって読み出されたデータがどのバンチ (Previous、Current、Next、NextNext) のイベントであるかを表す 4 bit の Bunch Tag、何 cell 目のデータであるかを表す 8 bit の cell address で構成されている。図 4.13 に示すように、ID 情報につけられる Data Tag は 4 bit の 0000 に、データにつける場合には 4 bit の 1111 にすることで SROD 側で誤ってイベントの開始・終わりを検知しないようにしている。

Suppress ロジックで圧縮・整形された 32 bit のデータは、SiTCP 通信を行うために 16 bit ずつに分解する必要がある。32 bit ごとに FIFO に保存し、16 bit ずつ読み出すことによりデータの分割を行う。FIFO を利用することで Busy 信号を出しにくく、データロスなく読み出しを行うことができる。5.4.3 節で述べたように、FIFO を実装するにあたって重要なことは、使用する BRAM の量とデッドタイムを作らない十分な深さである。Suppress ロジックを挟んで Derandomizer の FIFO と Zero Suppress の FIFO をうまくカスケード接続することにより、1 つの大きな FIFO とみなすことができる。これにより Zero Suppress の FIFO の深さを考慮するために Busy 信号を出す確率は、Derandomizer の Busy 信号を出す確率 ($\rho = 0.32$ の場合、 10^{-234}) \times (Zero Suppress の FIFO が全てデータで満たされる確率) で表される。そのため Derandomizer 自体が Busy 信号を出す確率が十分に低いため、Zero Suppress の FIFO の深さはあまり気にしなくて良い。ま

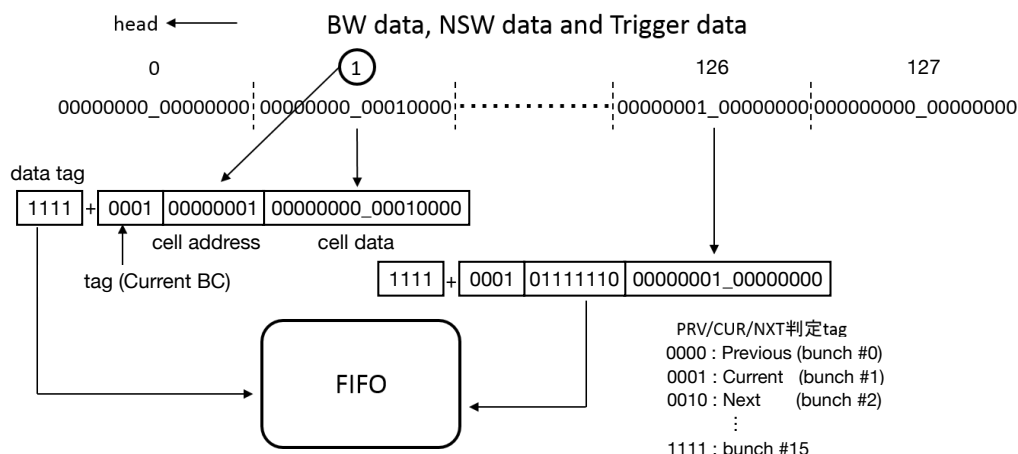


図 5.27 : Zero Suppress ロジックの概念図。[40]16 bit ごとにデータの圧縮を行う。

表 5.2 : Zero Suppress 後のデータフォーマット。[31]16 bit の cell data に 16 bit の cell 情報を付け加えて 32 bit で 1 つのデータへと変換する。

情報	Data Tag	Bunch Tag	cell address	cell data
ビット幅	4	4	8	16

た、使用する BRAM の量は深さを考慮しなければ入力 bit 数によって決まるため、入力 bit 数 32 bit で深さ 512 の最適化された FIFO を実装する。

5.4.5 SiTCP

4.2.2 節で説明した通り、SiTCP は FPGA を Ethernet に接続する技術である。SiTCP を実装した FPGA と Ethernet PHY Chip を正しく接続することにより、少ないリソース使用量で Ethernet 経由のデータ送信を行うことができる。Gigabit Ethernet で用いるクロックの周波数は 125 MHz と決まっており、これは読み出しクロックの 160 MHz と異なるため、FIFO 構造を用いて周波数の差を吸収する。また、SiTCP のデータを PHY チップに受け渡すインターフェイス部分へはデータ幅 8 bit で送信する必要があるため、この FIFO でデータ幅の調整も行う。前節と同様に、Derandomizer の FIFO から SiTCP の FIFO をうまくカスケード接続することで 1 つの大きな FIFO とみなすことができるため、Derandomizer 自体が Busy 信号を出す確率が十分に低いことから SiTCP の FIFO の深さはあまり気にしなくて良い。したがって、入力 bit 数 16 bit、出力 bit 数 8 bit で深さ 512 の最適化された FIFO を実装する。図 5.28 に SiTCP モジュールの概要を示す。

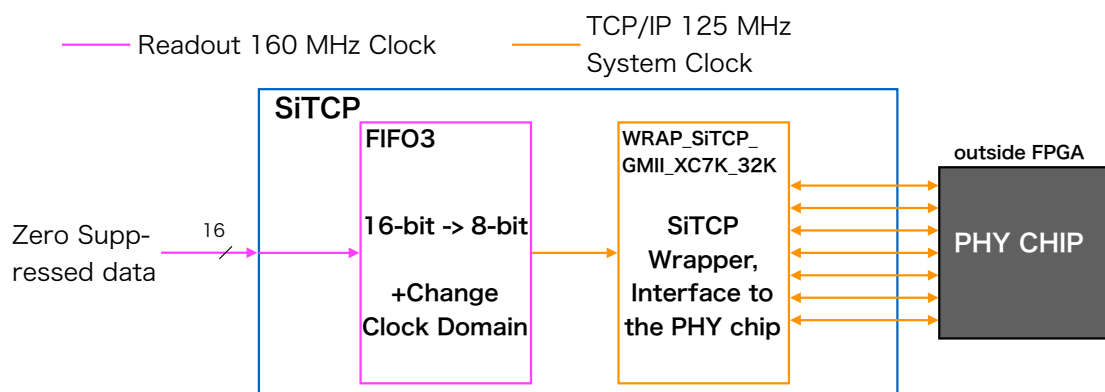


図 5.28 : 実装した SiTCP モジュールの概要。

第6章 初段ミュオントリガーシステムの検証 試験

Run-3 に向けて、アップグレードされた初段ミュオントリガーシステムが正しく機能し、要求する性能を満たしているかを試験しなければならない。特に New SL については、各検出器や後段のシステムと正しくデータ通信ができるか、開発したファームウェアの各ロジックが正しく動作するか、要求されている latency を満たしているかを確認する必要がある。そのため、実際に TGC のフロントエンド回路からのデータを New SL で受信して試験を行った。また後段の SROD へ受信データとトリガーデータを送信し、正しいタイミングで読み出しができていないかの試験も並行して行った。これらの試験は New SL を含んだ、フロントエンドから読み出しまでのシステム全体を通しての試験であり、Run-3 のための初段ミュオントリガーシステムの検証と言える。

本章では、まず New SL に関する接続試験について説明し、特に NSW、TGC、SROD との接続試験についてセットアップと各動作試験の内容を述べる。

6.1 New SL に関する接続試験

New SL は各検出器から情報を受け取り、トリガー判定の結果を MUCTPI へ、受信データとトリガーデータを SROD へ送る。New SL とデータ通信を行う検出器は TGC BW、TGC EI、Tile カロリメータ、NSW、RPC BIS 7/8 の 5 種類であり、それぞれ通信規格や速度、受信するタイミングが異なる。そのため、New SL で正しくトリガー判定を行うためには、それぞれの検出器との接続試験を行う必要がある。Fixed Latency システムの要請を満たすために正しく安定したデータ通信を行うことができているか、またトリガーロジックが機能するために正しいタイミングでデータが入力されているかを確認する。これは後段の MUCTPI との接続試験についても同様である。SROD との接続試験については Fixed Latency の要請がないが、可変長で大量のデータを高頻度で読み出すことができるか確認する必要がある。

図 6.1 に現在の New SL の接続試験状況のまとめを示す。各検出器との接続試験については、まずテストベンチでデータ通信安定性試験を行い、その後実際の運用に用いるシステムでの試験を行う。データ通信安定性試験は、テストデータを用いて長時間のデータ通信を行いエラーがないか、また受信-送信間の時間 (latency) が変化しないかの確認を行う。実際の運用に用いるシステムでは、正しくケーブル接続がなされているか、正しくデータ通信がなされているか、正しいタイミングでデータの入力ができているかの順で確認試験を行う。SROD との接続試験について

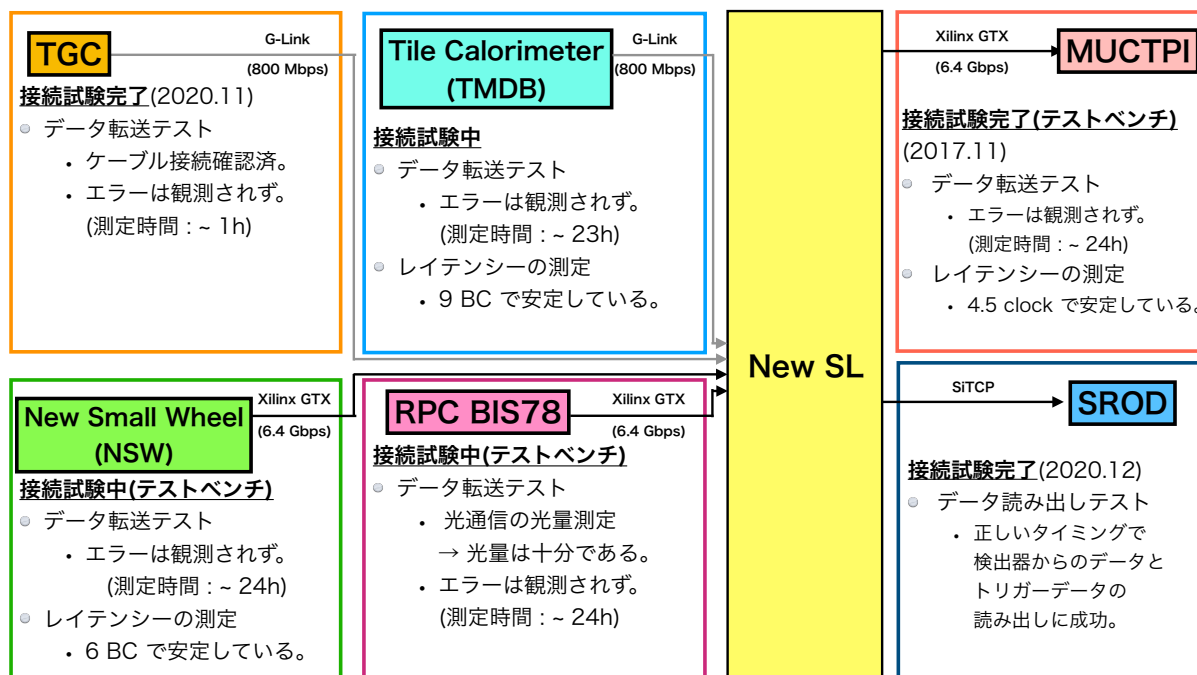


図 6.1 : New SL に関する接続試験の試験状況の概要。

は、各検出器とのデータ通信と異なりトリガー信号 (L1A) が入力されたタイミングで読み出しを行うので、正しい BC の受信データ・トリガーデータを読み出せているかを確認してから、長時間のデータ通信でのデータ安定性試験を行う。現在、各システムと New SL との接続試験は進行中であり、完了した試験について図 6.1 にまとめている。この中から特に NSW、TGC、SROD との接続試験について、以下で説明する。その他の接続試験については試験状況の確認のみにとどめ、ここでは説明を省略する。

6.2 NSW との接続試験

New SL は 1 枚につき 6 つの GTX チャンネルを用いて NSW からのミュオントラック情報を 1 BC ごとに受信する。NSW から受信するデータフォーマットは図 4.10 である。NSW からのデータ受信には GTX 通信を用いる。

6.2.1 Bit Error Ratio 測定

New SL と NSW TP ボード間でのデータ送受信に失敗する頻度の測定を行った。Bit Error Ratio (BER) とは送信したデータと受信したデータが一致しないような事象 (ビットエラー) の割合を示し、(ビットエラー)/(送信されたビット数) で表される。BER の測定のために、Vivado の IBERT^[42] (Integrated Bit Error Ratio Tester) IP Core を利用した。IP Core とは、ある機能の部分回路のブロックを表し、ソフトウェアで自動で設定されるため、細かいデザインをする必要

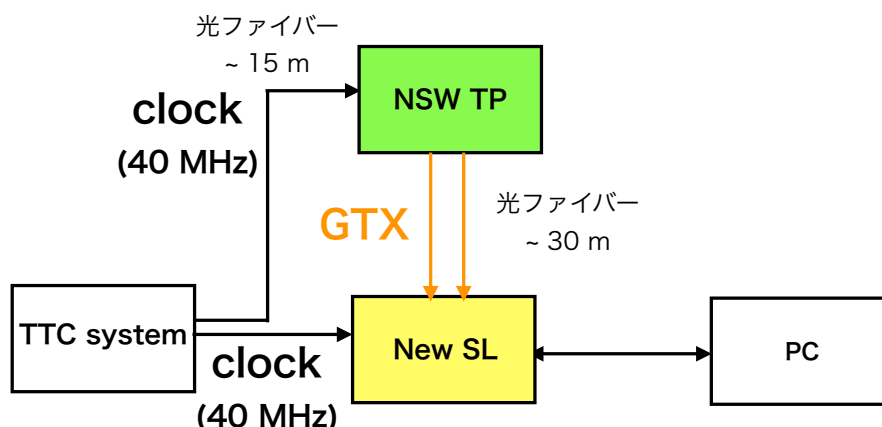


図 6.2 : New SL と NSW の接続試験のセットアップ。共通のクロックは TTC system から受けとる。

がない。IBERT は Xilinx 社が提供している IP Core で、GTX での BER 測定や Eye Pattern テストなどを GUI を用いて行える。IBERT では送信用のデータのランダムパターンを生成し、GTX TX を用いて出力する。受信側ではパターンチェッカーを用いて受信データにエラーがないか確認する。

図 6.2 に NSW との接続試験のセットアップを示す。New SL と NSW TP ボードは TTC system から 40 MHz のクロックを受けとり、そのクロックをもとに GTX 通信でデータの送受信を行う。今回は GTX 2 チャンネル分を用いた IBERT による BER 測定を 24 時間行った。データ転送レートは実際のデータ通信で用いる 6.4 Gbps で行った。BER 測定の結果、ビットエラーは一度も検出されず、転送したビット数から BER の上限値 1.6×10^{-14} が得られた。

次に、IBERT を用いて Eye Pattern の検証を行った。Eye Pattern は図 6.3 の左側のようなシリアル通信で受信される波形を重ねて書いたものである。Eye Pattern の描画では縦軸に電圧を、横軸には時間をとる。横軸の時間の範囲としては 1 bit データを転送するために要する時間 (1 UI) をとる。図 6.3 の左図に示すように電圧の高低の差が大きく、信号の立ち上がりが早いほど線で囲まれた面積が大きくなる。データ転送レートが高いほど立ち上がりの時間は Serial Clock の 1 クロックに比べて長くなるため、線で囲まれる面積は (c) のように小さくなる。この形を Eye Pattern と呼び、この「目」のような形が大きく開いているほど、安定した通信であることを表す指標として用いる。

図 6.4 に NSW TP から送信したテストデータを用いて New SL ボードで作成した Eye Pattern を示す。チャンネル間で大きな差異はなく、Eye Pattern は十分大きく、安定したデータ通信ができていることを確認した。

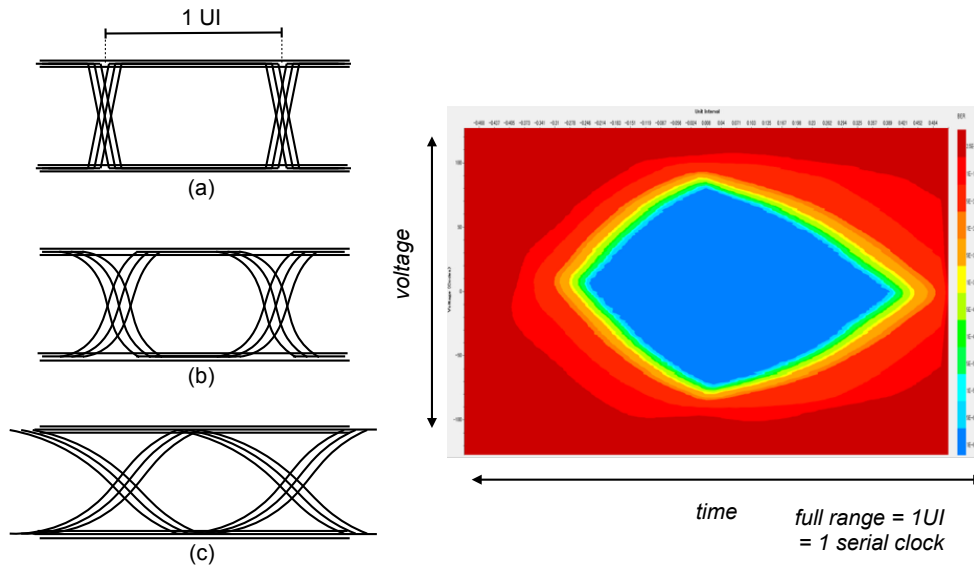


図 6.3 : (左) Eye Pattern の概念図。(右) IBERT を用いて得られた Eye Pattern の例 [42]。左図では (a)、(b)、(c) の順で転送速度が高い。

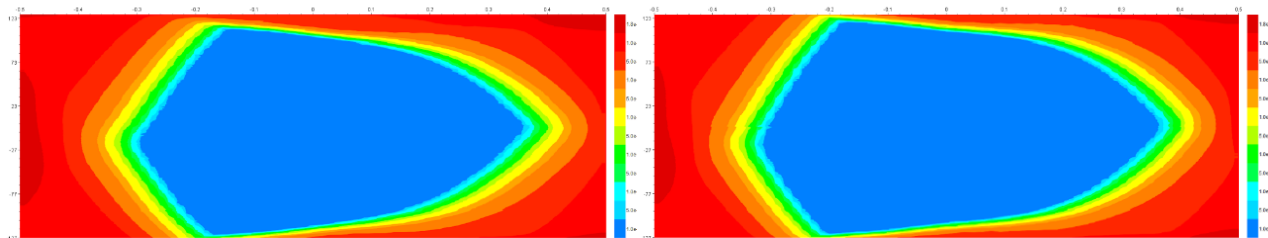


図 6.4 : NSW TP から送ったテストパターンを用いて New SL で得られた Eye Pattern(2 チャンネル分)。

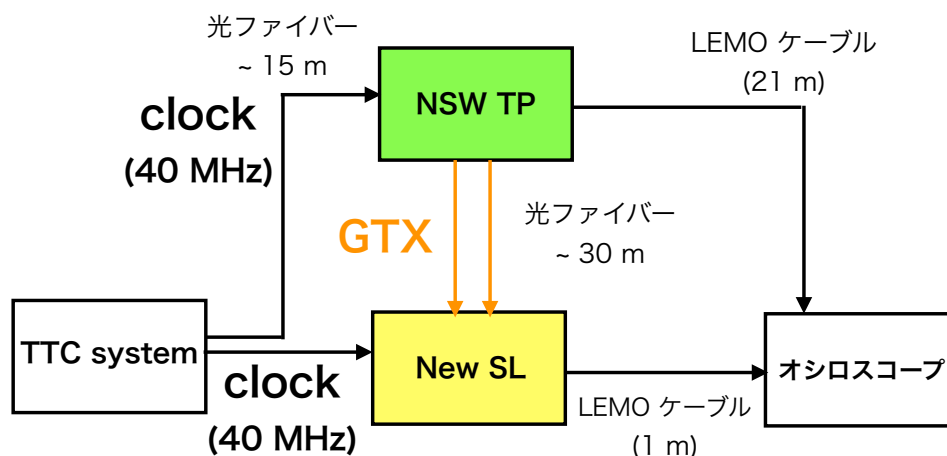


図 6.5 : New SL と NSW の latency 測定のセットアップ。NSW TP は BCID = 0 の情報を送信するときに、New SL は BCID = 0 の情報を受信したときに 25 ns の NIM 信号を出力する。オシロスコープでそれらの信号の時間差を見る。

6.2.2 Latency 測定

NSW TP から New SL へミュオンの飛跡情報を送信する際には、データ送信から受信までに要する時間が常に一定である必要がある。そのため latency の測定、および一定の latency でデータの送受信を行えているか確認した。

試験のセットアップを図 6.5 に示す。NSW TP は BCID = 0 の情報を送信するときに、40 MHz のクロックに同期した NIM 信号をオシロスコープに送信する。また、New SL は BCID = 0 の情報を受信したときに、40 MHz のクロックに同期した NIM 信号をオシロスコープに送信する。この時、New SL では NIM 信号の出力に 50 ns 要する。2 つのボードから受け取った NIM 信号の立ち上がりの時間差によって latency を測定した。

オシロスコープで得られた波形を図 6.6 に示す。TTC system から各ボードまでのケーブル長は同じ長さのものを用いている。図 6.6 から、得られた 2 つの信号の時間差は 247 ns であった。そのうちケーブルによる信号伝搬時間と New SL での NIM 信号の出力にかかる時間を考慮して、今回得られた latency は $247 - (21 - 1 - 30) \times 5 \text{ (ns/m)} - 50 = 147 \text{ ns}$ (約 6 BC) であった。また、各ボードのリセットによる latency のふらつきは確認できず、一定の latency でデータ送受信ができていることを確かめた。

6.3 TGC・SROD との接続試験

6.3.1 セットアップ

図 6.7 に TGC 検出器を用いた New SL と TGC・SROD との接続試験についてのセットアップを示す。



図 6.6 : オシロスコープで得られた波形。青の波形が NSW TP が BCID = 0 の情報を送信したタイミングで、緑の波形は New SL が BCID = 0 の情報を受信したタイミング。この 2 つの信号の時間差から latency の測定を行う。黄の波形は TTC system から受け取る 40 MHz クロックで、紫の波形は New SL 内の 160 MHz クロックである。

New SL への入力データとして、TGC BW と TGC EI からの信号を用いる。TGC BW、TGC EI とともに PS ボード上の SLB ASIC で作り出したテスト信号を検出器からの信号として、一定のタイミングで一回ずつ出力する。New SL はケーブル接続の確認試験では全 72 枚を使用し、その後の試験ではエンドキャップ領域用 1 枚を使用した。1 枚のエンドキャップ領域用 New SL は TGC BW からの信号を G-Link 12 レーンで、TGC EI からの信号は TGC EI/FI Data Converter を通して GTX 1 レーンで受信する。1 枚のフォワード領域用 New SL は TGC BW からの信号を G-Link 6 レーンで受信する。本来は New SL のトリガーデータをもとに最終的に CTP が L1A 信号を出力するが、ここでは読み出し試験のために、New SL 内でトリガーデータが生成された時のみ NIM 信号を TTC システムに入力し、その信号をもとに L1A を出力する。TTC システムのセットアップは詳細を省略するが、L1A を受信し ID 情報と同期させて New SL に受け渡す。TTC Fan-out モジュールはこの TTC 信号を NewSL に分配するためのモジュールである。New SL で受信された情報は、トリガーが発行されたイベントのみ SROD に送信される。SROD ではイベントフォーマット及び ID 情報を確認し、受信した計 4 BC 分の情報をまとめて保存する。

6.3.2 TGC-SL 間のケーブル接続の確認試験

New SL ボードにはエンドキャップ領域とフォワード領域のトリガーセクター用の 2 種類があり、どちらも 1 枚のボードが 2 つのトリガーセクターから情報を受け取りトリガーの判定を

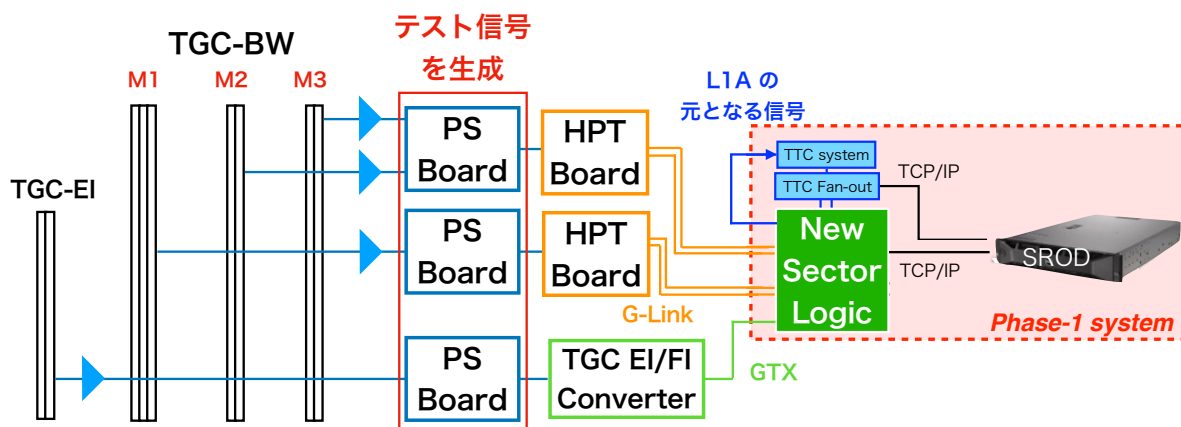


図 6.7：初段ミュオントリガーシステムの検証試験のセットアップ。TGC BW、TGC EI ともに PS ボード上の SLB ASIC でテスト信号を作り出し、一定のタイミングで一回ずつ出力する。New SL 内でトリガーデータが生成された時のみ NIM 信号を TTC システムに入力し、その信号をもとに L1A を出力する。

行う。そのため、エンドキャップ領域用 New SL は両サイド合わせて 48 枚、フォワード領域用 New SL は 24 枚である。1 枚のエンドキャップ領域用 New SL は TGC BW からの信号を G-Link 12 レーンで、TGC EI からの信号は TGC EI/FI Data Converter を通して GTX 1 レーンで受信する。1 枚のフォワード領域用 New SL は TGC BW からの信号を G-Link 6 レーンで受信する。そのため、New SL に接続された TGC 検出器からの信号を受信するケーブルは、計 $48 \times (12 + 1) + 24 \times 6 = 768$ 本存在する。トリガー判定が正しく行われるには、もちろんこの全ての接続が正しくなされている必要がある。

ケーブル接続が正しくなされているかの確認のために試験を行った。まず、ある 1 枚の New SL が情報を受け取るトリガーセクター 2 つの領域でのみテスト信号を出力する。ここで出力するテスト信号は、New SL の各レーンで受信するデータが存在し、それぞれのレーンで異なるものとなっている。そのため、それらのトリガーセクターに対応する New SL が各レーンでそれぞれ正しい入力データを受信できていれば、ケーブル接続が正しくなされているということになる。New SL では G-Link、GTX の各レーンの受信データを 40 MHz の LHC クロックに同期した FIFO に保存し、保存したデータを読み出すことで各レーンでの受信データが正しいものかを確認した。この操作を全 New SL 1 枚ごとに行い、ケーブル接続が正しくなされているかを調べた。確認の結果、全 768 本の接続のうち 762 本で正しくなされていたが、6 本については接続が入れ替わっていた。この入れ替わりは全て 1 枚の New SL 内で起こっていて、異なる New SL 間で入れ替わっているようなことはなかった。この結果から、誤ったケーブル接続がなされていた箇所を修正して再度試験を行い、接続が正しくなっていることを確認した。

6.3.3 TGC-SL 間のデータ通信安定性試験

5.2.1、5.2.3 節で述べたように、各検出器からの受信データは GTX、G-Link 固有のユーザークロックから LHC クロックへのクロックドメインの変更を行う必要があるため、正しいタイミングでデータをラッチしなければならない。ここでは TGC BW、TGC EI からデータを受信するモジュールの各レーンのデータ読み出しタイミングの決定と、そのタイミングでの読み出しの安定性試験について説明する。

データ通信の安定性を調べるため、各検出器のフロントエンド回路からは一定のタイミングで決められたデータを送信するように設定した。この入力データは、後の試験でも同じデータの入力を行っている。New SL では受信モジュールの各レーンについて、図 5.2 のような 4 つのタイミングで受信データの読み出しを行う。ここでは LHC の 40 MHz クロックの立ち上がり間の 160 MHz の 4 つの立ち上りを、1 つ目の立ち上がりから順にタイミング 1、2、3、4 と呼ぶ。各レーン各タイミングでの読み出し結果について、送信データと異なればカウントするエラーカウンターを New SL 内に用意した。

データ送信レートは約 11 kHz で約 1 時間の計測を行った。各レーン各タイミングでのエラーレートの値をまとめたものを表 6.1 に示す。TGC BW のフロントエンド回路から 1 つの New SL へのケーブルの長さは全て同じ長さに揃えてあり、またファームウェア内での各レーンの入力データの処理についても全て同様に行なっているので、表 6.1 の結果から全ての G-Link レーンの読み出しをタイミング 1 に決定した。GTX についても同様に、読み出しをタイミング 1 に決定した。

またこの結果から適切なタイミングを選択した場合、イベントエラーレート ((エラーカウンターの値)/(通信データ数)) は全てのレーンで $1/(11 \times 10^3 \times 3600) \sim 10^{-8}$ 以下となった。

6.3.4 トリガーファームウェアの検証試験

TGC BW、TGC EI からのデータを用いて、以下のような内容でトリガーファームウェアのロジックの動作検証試験を行った。

- 受信データのタイミング調整試験
- TGC-BW Coincidence の LUT の初期化についての検証試験
- トリガーファームウェアのロジック動作検証試験

ここでは、各試験について説明する。

受信データのタイミング調整試験

TGC BW、TGC EI からのデータを用いてトリガー判定を行い、トリガーファームウェアのロジックの動作検証を行うためには、各受信データのタイミング調整を行う必要がある。具体的に

表 6.1 : 各レーン各タイミングでのエラーレートの値。G-Link データの読み出しはタイミング 3 では失敗しているため、読み出しにはタイミング 1 を用いる。GTX についても同様に、読み出しにはタイミング 1 を使用する。

G-Link lane	Error rate			
	タイミング1	タイミング2	タイミング3	タイミング4
0	0	0	0.89	0
1	0	0	0	0
2	0	0	0	0
3	0	0	0	0
4	0	0	0.0001	0
5	0	0	0	0
6	0	0	0	0
7	0	0	0	0
8	0	0	0	0
9	0	0	0	0
10	0	0	1	0
11	0	0	0	0

GTX lane	Error rate			
	タイミング1	タイミング2	タイミング3	タイミング4
7	0	0	0.98	0

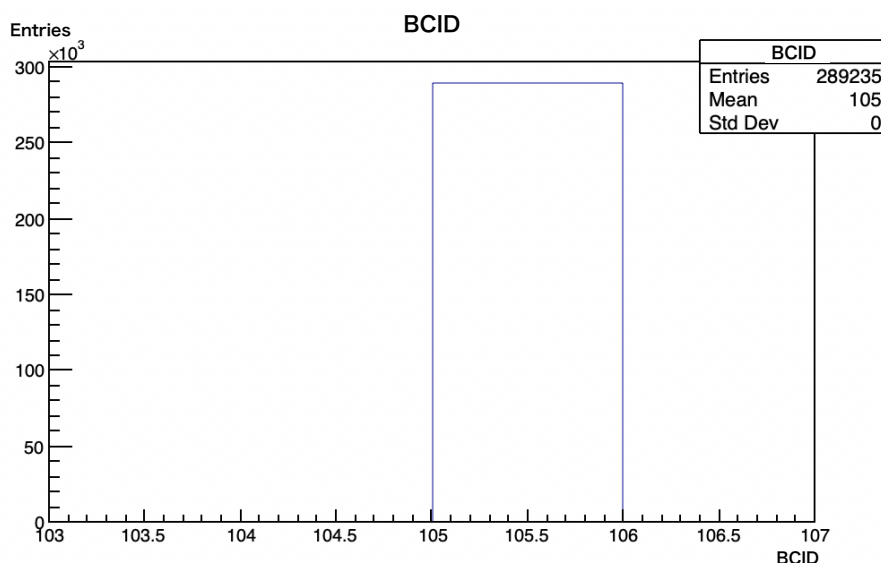


図 6.8 : TGC のフロントエンド回路から読み出されたテスト信号があったイベントの BCID。横軸はイベントの BCID、縦軸はイベント数を表している。

は、BW のデータ受信から TGC-BW Coincidence のロジックが完了するまで 75 ns かかるので、BW-Inner Coincidence のロジックが正しく機能するには TGC BW のデータ受信から 75 ns 後に TGC EI のデータを受信するように設定しなければならない。また、今回の試験では BCID = 105 のタイミングでテスト信号の出力を行っている。図 6.8 は、今回の試験で TGC のフロントエンド回路から読みだされた、テスト信号が出力された時の BCID である。そのため、TGC BW からの受信データは New SL の内部でカウントされている BCID が 105 の時に合うようタイミングを調整する。受信データのタイミング調整は受信ファームウェアの Delay モジュールを用いて行う。

G-Link、GTX の各レーンの Delay モジュールからの出力と ID counter の BCID 情報を 40 MHz の LHC クロックに同期した FIFO に保存し、保存したデータを読み出すことで受信データが正しいタイミングとなっているかを確認した。FIFO での読み出しは約 30000 イベント分行い、その全てでタイミングが変わらないことを確認した。図 6.9 に試験の概要を、図 6.10 に FIFO の 1 イベント分の読み出し結果を示す。受信データに適切な Delay をかけることにより、正しいタイミングで受信データをトリガーファームウェアに入力させることができている。

TGC-BW Coincidence の LUT の初期化についての検証試験

5.3.3 節で説明したように、New SL は各 SSC ごとに TGC BW の R と ϕ 情報を LUT に入力し p_T を判定する。またこの際にはミュオンの荷電情報も判定され、1 bit で出力される。表 6.2 に LUT への入出力を示した。

ここでは、LUT の入力アドレスに対する各出力の初期化が正しく行われているかの検証を行っ

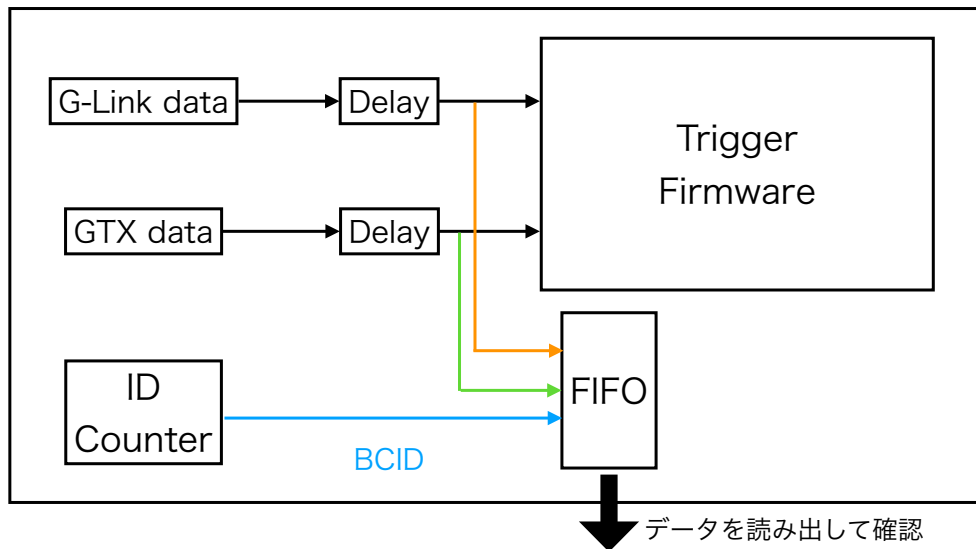


図 6.9 : 受信データのタイミング調整試験の概要。G-Link、GTX の各レーンの Delay モジュールからの出力と ID counter の BCID 情報を 40 MHz の LHC クロックに同期した FIFO に保存する。

		G-Link data																
40 MHz		lane0 ...												lane11				
↓	0068	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
	0069	ba77	d9f1	2da6	ac13	b319	f2b2	9c76	dd77	ada6	6cab	f09c	b332	0000	0000	0000	0000	0000
	006a	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
	006b	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
	006c	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	aaaa	aaaa	aaaa	0000	0000
	006d	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	
		BCID												GTX data				

図 6.10 : 受信データのタイミング調整試験の結果 (1 イベント分)。受信データに適切な delay をかけることにより、正しいタイミングでトリガーファームウェアへ入力されているのが分かる。

表 6.2: (左)TGC-BW Coincidence の LUT への入力。(右)TGC-BW Coincidence の LUT の出力。

Bit	LUT input
0	$\Delta\phi[0]$
1	$\Delta\phi[1]$
2	$\Delta\phi[2]$
3	ϕ_Sign
4	$\Delta R[0]$
5	$\Delta R[1]$
6	$\Delta R[2]$
7	$\Delta R[3]$
8	R_Sign
9	ϕ_H/L
10	R_H/L
11	ϕ_POS
12	R_POS

Bit	LUT output
0	$p_T[0]$
1	$p_T[1]$
2	$p_T[2]$
3	$p_T[3]$
4	charge

た。図 6.11 に試験の概要を示した。LUT に書き込むデータは、Run-2 での取得データから作成された 15 段階の p_T 閾値をもつ CW を元に作られる。CW は DB ファイルと呼ばれるアスキーファイルで表現される。コンピュータ上でソフトウェアを用いて DB ファイルを VME 通信で書き込み可能なファイル (LUT ファイル) へと変換し、LUT へ書き込む。LUT ファイルは、DB ファイルの情報を LUT のアドレスに対応するように変換したものである。このファイルを用いて LUT を初期化したのち、TGC-BW Coincidence の LUT のデータを VME 通信で読み出す。読み出した LUT の値が、書き込んだデータと一致しているかどうかを確認する。

ここで 1 トリガーセクターあたりどれだけのデータがあるのかを確認しておく。TGC-BW Coincidence で使う LUT は 13 bit 入力で、1 SSC 当たり 4 個であり、1 トリガーセクターあたり 76 個あるから、 $2^{13} \times 76 = 622592$ 個のデータがある。ゆえに、この 622592 個のデータ全ての比較を行えばよい。

図 6.12 に、実際に書き込みに用いた LUT ファイルと、LUT に書き込まれた初期値を読み出したダンプファイルの内容の一部を示した。ファイルの比較を行ったところ全てのデータで一致しており、TGC-BW Coincidence の全ての LUT に正しくデータの読み書きができています。この LUT の初期化についての検証試験については計 3 回行い、その全てで正しくデータの読み書きができていたことを確認できた。

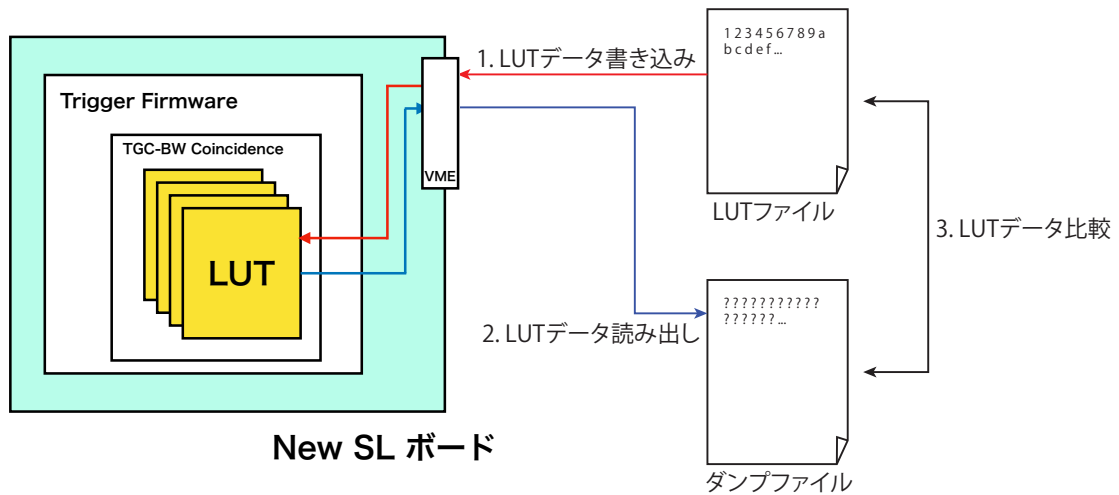


図 6.11 : TGC-BW Coincidence の LUT の初期化についての検証試験の概要。LUT ファイルの書き込み、初期化した LUT データの読み出し、それらの比較を行う。

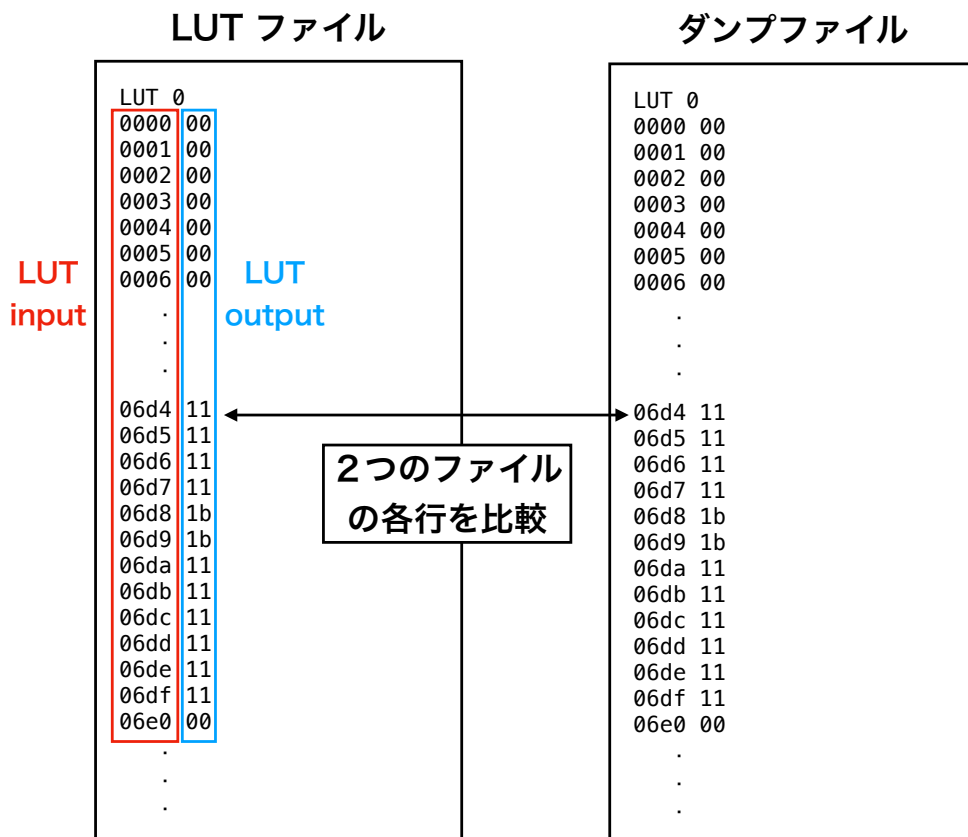


図 6.12 : LUT ファイルと LUT に書き込まれた初期値を読み出したダンプファイルの内容。2つのファイルの各行を比較し、LUT に正しくデータの読み書きができていることを確認する。

トリガーファームウェアのロジック動作検証試験

トリガーファームウェアのロジック動作検証試験の概要を図 6.13 に示す。タイミング調整を行った TGC BW と TGC EI からの受信データをトリガーファームウェアロジックに入力し、各モジュールの出力を 40 MHz の LHC クロックに同期した FIFO に保存する。そして、テスト後に FIFO に保存したデータを読み出すことで正しい処理が行えているか確認した。またこのテストではロジックの各処理が正しく動き Fixed Latency システムの要求を満たしているかを確認するため、latency の測定を行う必要がある。そこで、受信データを入力してから各モジュールの出力が変化するまでの相対的な latency についても測定する。開発したロジックを実装することで各処理にかかる時間が変化するため、表 6.3 に予想される latency をまとめる。赤字の部分は latency の要求値 (表 5.1) からの変更点である。以下、クロックは 40 MHz クロック単位である。

動作試験の結果を図 6.14 に示す。これは、New SL が担う片側のトリガーセクターの SSC 0 の各モジュールの出力結果である。時間の向きは上から下であり、横方向に 40 MHz のクロックに同期した各モジュールの出力結果を表す。一番右の値は New SL 内でカウントした BCID であり、タイミング調整により図 6.10 に示したように G-Link data が BCID = 105 のタイミングで、GTX data が BCID = 108 のタイミングで入力されている。

まず G-Link で受信した TGC BW のデータは 1 クロックかけて、位置情報 (R, ϕ) に直される。その後、TGC-BW Coincidence モジュール内で LUT を用いて、トラックの p_T や荷電情報が判定される。この判定には、1 クロック必要で、2 クロック後に結果が出力されている。この出力結果は BW-EI Coincidence に入力される前に Decoder での処理を待つ必要があるので、レジスターにより 1 クロック待つようになっている。

GTX で受信した TGC EI のデータは、Decoder での処理が必要ないので、入力から 1 クロック待つ必要がある。その後、TGC-BW Coincidence の結果とともに、BW-EI Coincidence の処理が行われる。今回の試験では、TGC EI についての要求ヒット位置は RoI によらず全てのマス指定しているため、TGC EI のヒット情報があればコインシデンスが取られ、Inner flag が立つようになっている。結果を見ると、TGC EI のヒットがワイヤーとストリップの両方にあるので、実際に Inner flag が立っていることがわかる。また、この処理は 2 クロックで行われ、結果は処理の始めから 3 クロック後に出力されている。

このようにして各 SSC で計算されたトラックの情報は、Track Selector により最大 4 つまで選ばれる。ここでの結果は、1 クロック後に出力されている。

各トリガーセクター各 SSC 各モジュールでの全ての出力は、入力データから予想された結果と同じであり、各モジュールの処理に要する時間もデザイン通りであった。このトリガーファームウェアの動作試験は約 30000 イベント分の FIFO での読み出しを行っており、その全てで出力結果と各処理のタイミングが変わらないことを確認した。

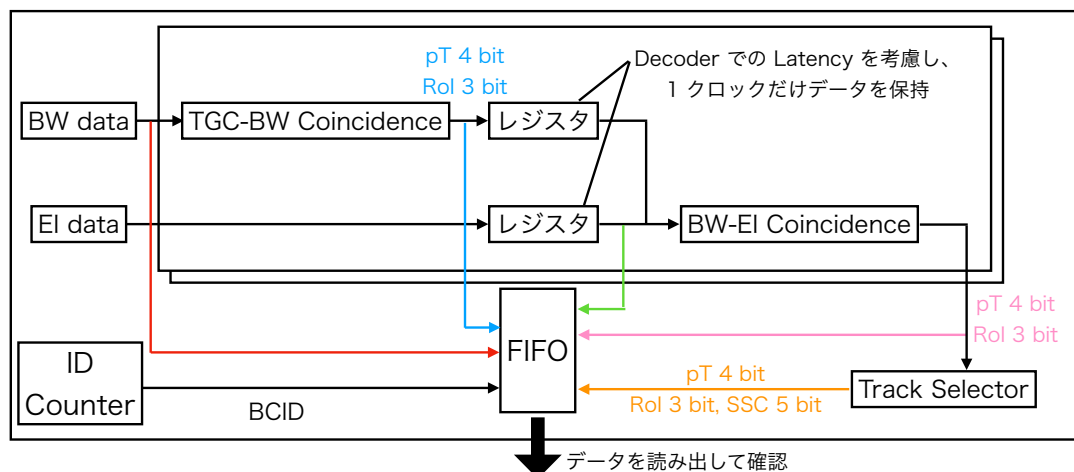


図 6.13 : トリガーファームウェアのロジック動作検証試験の概要。タイミング調整を行った TGC BW と TGC EI からの受信データをトリガーファームウェアロジックに入力し、各モジュールの出力を 40 MHz の LHC クロックに同期した FIFO に保存する。

表 6.3 : 開発したトリガー判定ロジックに用いる時間 (1 BC = 25 ns)。赤色の部分は考案したロジックを実装した場合の latency の変化。(括弧内に表 5.1 の要求値を示す。)

New Small Wheel				Big Wheel TGC			
	nsec	BCs	Total		nsec	BCs	Total
Receive signal from NSW			41.4	Receive signals from BW			37
Optical Rx + De-serializer		2.5	44	Optical Rx + De-serializer		2	39
Variable Delay		1	45	TGC R-Phi coincidence (LUT)		2	41
Decoding/Alignment of NSW data (LUT)	1	(2)	46 (47)	Waiting for NSW signals	5	(6)	46 (47)
				BW - NSW coincidence (LUT)	2	(1)	48 (48)
				Track selection/ p_T encoding	1	(2)	49 (50)
				Serializer (128 bit/clock., 6.4 Gb/s) + Optical Tx	2	51	(52)
				Optical fibre to MUCTPI (10 m)	2	53	(54)

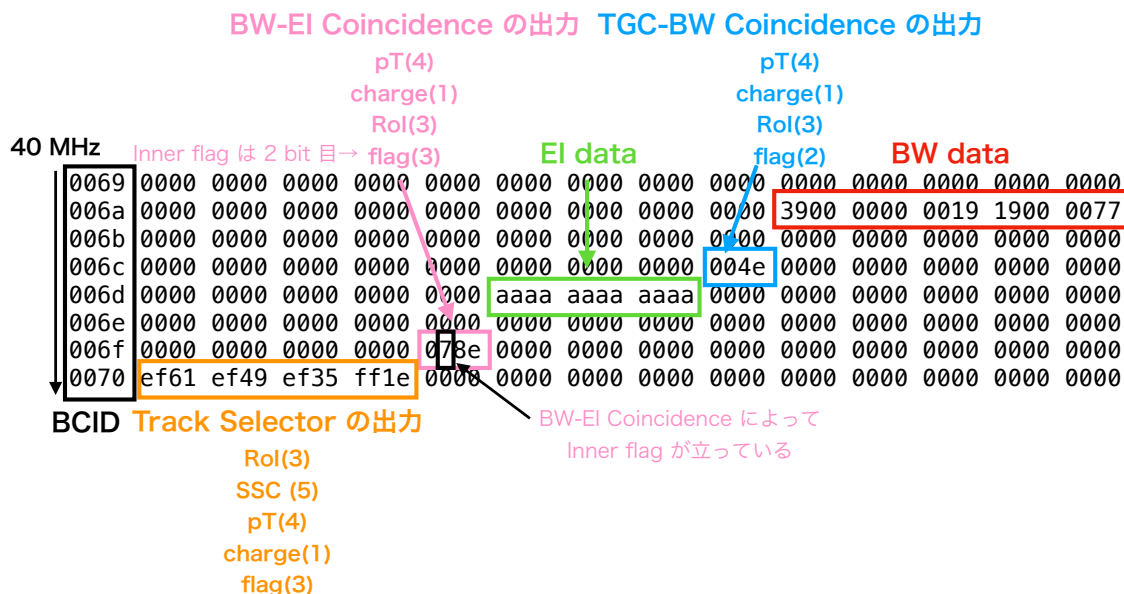


図 6.14 : トリガーファームウェアのロジック動作検証試験の結果。全ての出力は入力データから予想された結果と同じであり、各モジュールの処理に要する時間もデザイン通りであった。括弧内の数字は各情報の bit 数を表している。

6.3.5 SROD でのデータ読み出し試験

New SL の受信データ、トリガーデータは L1A が入力されるまで保存され、読み出し用ファームウェアによりデータ整形・圧縮された後に、SiTCP を用いて SROD に送信する。この試験では、検出器からの受信データ、そのデータに基づいて生成したトリガーデータについて後段の SROD に送信し、データの読み出しを行う。試験を行うために読み出し信号である L1A は、New SL でトリガーデータが作成された時のみ出力される。

前節までの試験結果からも確認できるように、トリガーファームウェアのロジックの関係から TGC BW からのデータは BCID = 105、TGC EI からのデータは BCID = 108、受信データを元に作成されたトリガーデータは BCID = 112 のタイミングに存在する。また、L1A 信号が New SL で受信されるタイミングは BCID = 118 の時であることを確認した。これらのタイミングの差から、それぞれのデータを Level-1 Buffer、Trigger Buffer から読み出す深さの調整を行い、同じ BC の各情報を同時に送信する。送信する際にはトリガーが発行された BC とその前後の計 4 BC が送信されるが、それぞれの BC のことをタイミングの早いものから Previous bunch、Current bunch、Next bunch、NextNext bunch と呼ぶ。今回の試験ではトリガーが発行された BC のみ情報が存在するので、データ圧縮処理により New SL からは Current bunch (New SL での Bunch Tag = 1、SROD での Bunch Tag = 4) のイベントのみ送信されることとなる。

SROD は New SL から受信したデータを ROS へ送信する際、決められたフォーマットへの整形を行う。図 6.15 に、今回の試験で SROD が ROS へ送信した New SL からのデータを示す。各受信データとトリガーデータの内容は想定したものと一致しており、また全てのデータが正しく

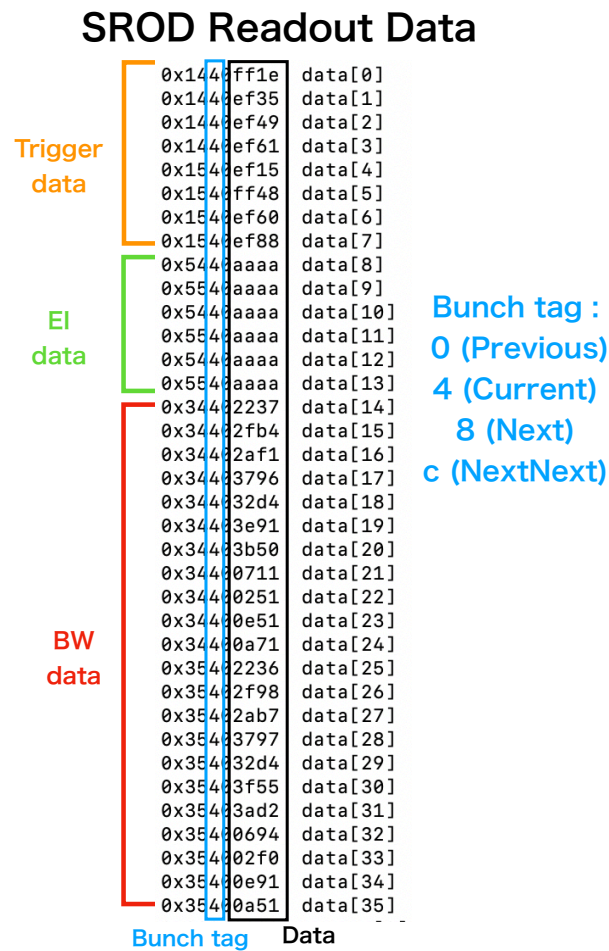


図 6.15 : SROD でのデータ読み出し試験の結果。SROD が ROS へ送信した New SL からのデータを示す。各受信データとトリガーデータの内容は想定したものと一致しており、また全てのデータが正しく Current bunch となっていることも確認できる。

Current bunch となっていることも確認できる。この SROD でのデータ読み出し試験は約 30000 イベント分の読み出しを行っており、その全てで読み出し結果が変わらないことを確認した。

第7章 結論と今後の展望

2022年以降の Run-3 において LHC は重心系エネルギー 14 TeV、瞬間ルミノシティ $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ で運転する予定である。エネルギーの増強と瞬間最高ルミノシティでの安定した運転により、ATLAS 実験のトリガーシステムのアップグレードが必要となる。本研究では Run-3 のために開発したトリガー判定ボード New Sector Logic を含む新たな初段ミュオントリガーシステムについて、実際の検出器を用いた検証試験を初めて行った。

ミュオントリガー判定に用いられている TGC 検出器と新たに導入される New Small Wheel (NSW)、RPC BIS 7/8 の情報を組み合わせたミュオントリガーをハードウェアで実装するために、新しいトリガー判定ボード New Sector Logic を開発した。また先行研究で考案された、新検出器 (NSW、RPC BIS 7/8) の情報を用いたトリガーロジックをこのボード上に実装するためにファームウェアの開発も行った。New Sector Logic では、異なる通信規格・データ転送速度で各検出器から送られてくる情報を正しく、また一定の latency で受け取る必要がある。開発したトリガー判定ボードとトリガーロジックを含む新たな初段ミュオントリガーシステムが正しく機能するかどうか、New Sector Logic と実際に通信を行う各検出器・後段のシステムとの接続試験を行い確認する必要がある。そこで、本研究では New Sector Logic と NSW、TGC 検出器との接続試験、また New Sector Logic のデータ読み出しを行う SROD との接続試験を行った。

New Sector Logic と NSW との接続試験は、データ安定性試験と latency の測定を行った。New Sector Logic は NSW から大容量のデータを受け取るために、高速トランシーバー GTX でデータを受信する。New Sector Logic と NSW 間で長時間のデータ通信試験を行い、エラーが起きずに正しくデータ通信でき、そのエラーレートが 1.6×10^{-14} 以下であることを確認した。またデータ送信から受信までの latency が約 150 ns で安定していることも確認できた。

New Sector Logic と TGC・SROD との接続試験は、実際の TGC 検出器からの信号を用いて行った。まずは New Sector Logic と TGC 間のケーブル接続の確認を行い、6箇所接続の修正を行った後、全てのケーブル接続が正しくなされていることを確認した。データ通信安定性試験では、New Sector Logic と TGC 間で約 1 時間のデータ通信を行った結果、そのエラーレートは $\sim 10^{-8}$ 以下であった。また TGC からの受信データについてタイミング調整を行いトリガーファームウェアの動作検証を行ったところ、全てのロジックにおいて正しいタイミングでの想定通りの出力が得られたため、トリガーロジックが正しく機能していることがわかった。この際、Fixed Latency システムの要請からトリガー判定に用いることができる処理時間は決まっているため処理時間は常に一定でなければならないが、処理時間の要求値より 25 ns 少ない時間で要求性能を満たし処理時間が変化しないことを確かめた。TGC 検出器からの受信データと New Sector

Logic 内で作られたトリガーデータの読み出しタイミングを調整することで、SROD でのデータ読み出しが正しく安定して行われていることを確認した。

本研究では新たに開発した New Sector Logic を新たな初段ミュオントリガーシステム内に組み込み、データ通信を行う検出器や後段のシステムとの接続試験を行った。しかし、現在もこの接続試験は進行中であり、Run-3 開始前に全て完了させる必要がある。NSW との接続試験については、テストベンチでの試験が完了したのみであり、実際のシステムでの試験を進めていかなければならない。TGC・SROD との接続試験については、本研究で試験手法を確立したが試験を行ったのは一部であるため、全ての領域で同様の試験を行う必要がある。また、SROD の長時間での通信安定性試験やその他の検出器との接続試験など、新たなシステムの運用に必要な試験を進めていくことが今後の研究課題となる。

謝辞

本研究を遂行し修士論文をまとめるに当たり、多くの方々にお世話になりました。

日々の研究のアドバイスや学会等の発表の練習、論文執筆においても助言をくださった隅田土詞助教に心から感謝いたします。また、本論文の添削・コメントをしていただいた長野邦浩准教授に深く感謝しております。

Phase-1 Upgrade チームの方々にも大変お世話になりました。佐々木修教授にはエレキのことを詳しく教えていただいたり、試験方法について様々なアドバイスをいただきました。大変感謝しております。前田順平講師には、ファームウェア開発においてだけでなく、学会等の発表の練習や論文執筆においても細やかなアドバイスをいただきました。心から感謝いたします。石野雅也教授には京都大学のテストベンチの作成にあたり協力していただき、研究内容について質問していただき、より良い研究生活を送ることができました。感謝いたします。奥村恭幸准教授には、New SL と TGC との接続試験において大変お世話になりました。特に試験の進め方に対するアドバイスやテスト信号の出力方法のご教授など、試験は奥村さんのご協力無しには進めることができなかつたと感じます。ありがとうございます。齋藤智之助教にはファームウェア開発において多くの助言をいただき、コロナ禍で現地に行って作業ができない状況において試験のセットアップの構築などの現地での作業を行っていただきました。大変感謝しております。青木雅人助教には TGC 検出器を用いた試験において、フロントエンド回路の電源のオンオフや検出器システムの安全確認など、試験を行う上での細やかなケアをしていただきました。心から感謝いたします。同期の東京大学の杉崎海斗氏、一年間 CERN / 日本問わず一緒に実験を進めてくれてありがとうございます。一緒に議論しながら研究を進めていける同期の仲間がいて、本当に良かったと思います。

赤塚駿一氏には New SL のファームウェアデザインの基礎の基礎から細かい設定などについて詳しく教えていただき、心から感謝いたします。野口陽平氏にはシミュレーションやソフトウェアについて教えていただき、大変感謝しております。岡崎佑太氏にはファームウェア開発や接続試験において、研究を進めていく上で日頃から多くの助言・助力をいただきました。また、CERN に滞在した際には研究面だけではなく生活面においても大変お世話になりました。深く感謝しています。三野裕哉氏には SROD との接続試験において議論しながらアイデアを出し合い、試験を進めるために大きな協力をしていただきました。大変感謝しています。

高エネルギー物理学研究室の皆様には、修士の 2 年間でお世話になりました。特に同期の大塚稔也氏、小林蓮氏、末野慶徳氏、菅島文悟氏、谷真央氏、フウジャアフウイ氏、李耀漢氏には感謝しております。コロナ禍という大変な状況でも気が滅入ることなく研究を進め本論文を書き上げ

ることができたのは、最後まで皆様と楽しく切磋琢磨してきたからだと思います。

最後に常に暖かく見守り支援して不自由なく大学生活を送らせてくれた家族に深く感謝します。

参考文献

- [1] 素粒子・原子核研究 — J-PARC — 大強度陽子加速器施設 <https://j-parc.jp/c/facilities/nuclear-and-particle-physics/index.html>
- [2] ATLAS Collaboration, Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC, Phys. Lett. B, 716 (2012) <https://doi.org/10.1016/j.physletb.2012.08.020>
- [3] CMS Collaboration, Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC, Phys. Lett. B, 716 (2012) <https://doi.org/10.1016/j.physletb.2012.08.021>
- [4] Rubin, V. C. et al, Rotational properties of 21 SC galaxies with a large range of luminosities and radii, from NGC 4605 (R=4kpc) to UGC 2885 (R=122kpc), The Astrophysical Journal, 238: 471. (1980) https://ui.adsabs.harvard.edu/link_gateway/1980ApJ...238..471R/doi:10.1086/158003
- [5] Fred Jegerlehner, The Hierarchy Problem and the Cosmological Constant Problem Revisited (2019) <https://arxiv.org/abs/1812.03863>
- [6] P. W. Higgs, Broken symmetries, massless particles and gauge fields, Phys. Lett. 12, 132 (1964) [https://doi.org/10.1016/0031-9163\(64\)91136-9](https://doi.org/10.1016/0031-9163(64)91136-9)
- [7] ATLAS collaboration, Combined measurements of Higgs boson production and decay using up to 80 fb^{-1} of proton-proton collision data at $\sqrt{s} = 13$ TeV collected with the ATLAS experiment, Phys. Rev. D 101, 012002 (2020). <https://doi.org/10.1103/PhysRevD.101.012002>
- [8] Particle Data Group, Status of Higgs boson physics, 2019 <http://pdg.lbl.gov/2019/reviews/rpp2018-rev-higgs-boson.pdf>
- [9] KEK, ふしぎな対称性 (2004) <https://www2.kek.jp/ja/newskek/2004/mayjun/supersymmetry.html>
- [10] Stephen P. Martin, A Supersymmetry Primer, 16 September 1997 <https://arxiv.org/abs/hep-ph/9709356>

- [11] ATLAS Collaboration, SUSY October 2019 Summary Plot Update, 29 October 2019 <http://cdsweb.cern.ch/record/2697155>
- [12] G. Aad et al, Searches for electroweak production of supersymmetric particles with compressed mass spectra in $\sqrt{s} = 13$ TeV pp collisions with the ATLAS detector, Phys. Rev. D 101, 052005 (2020) <https://doi.org/10.1103/PhysRevD.101.052005>
- [13] The ATLAS Collaboration, Standard Model Summary Plots Spring 2020, 25 May 2020 <http://cdsweb.cern.ch/record/2718937>
- [14] The ATLAS Collaboration, Letter of Intent for the Phase-2 Upgrade of the ATLAS Experiment, 23 January 2013 <https://cds.cern.ch/record/1502664>
- [15] ATLAS Collaboration, SUSY October 2019 Summary Plot Update, 29 October 2019 <http://cdsweb.cern.ch/record/2697155>
- [16] ATLAS Collaboration, The ATLAS Experiment at the CERN Large Hadron Collider, JINST 3 (2008) S08003.
- [17] ATLAS Magnetic Field <http://atlas.web.cern.ch/Atlas/GROUPS/MUON/magfield/>
- [18] Karolos Potamianos, on behalf of the ATLAS Collaboration, The upgraded Pixel detector and the commissioning of the Inner Detector tracking of the ATLAS experiment for Run-2 at the Large Hadron Collider, 28 Aug 2016 <https://arxiv.org/abs/1608.07850>
- [19] ATLAS Collaboration, ATLAS Insertable B-Layer Technical Design Report, CERN-LHCC-2010-013. <https://cds.cern.ch/record/1291633>
- [20] ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer, CERN-LHCC-2017-017. <https://cds.cern.ch/record/2285580>
- [21] ATLAS Collaboration, Performance of the ATLAS Trigger System in 2015, arXiv:1611.09661, 2017 <https://arxiv.org/pdf/1611.09661.pdf>
- [22] Konstantinos A. Ntekas, Performance characterization of the Micromegas detector for the New Small Wheel upgrade and Development and improvement of the Muon Spectrometer Detector Control System in the ATLAS experiment, CERN-THESIS-2016-019, 2016
- [23] Kawamoto Tatsuo et.al, New Small Wheel Technical Design Report, CERN-LHCC-2013-006. <https://cds.cern.ch/record/1552862>
- [24] Y. Kataoka, S. Leontsinis, K. Ntekas, Performance Studies of a Micromegas Chamber in the ATLAS Environment, 20 January 2014 <https://arxiv.org/abs/1310.8603>

- [25] ATLAS Collaboration, The ATLAS BIS78 Project, ATL-MUON-INT-2016-002, 2016 <https://cds.cern.ch/record/2161109>
- [26] ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ system, CERN-LHCC-2017-020. <https://cds.cern.ch/record/2285584>
- [27] ATLAS Collaboration, ATLAS level-1 trigger : Technical Design Report, CERN-LHCC-98-014. <https://cds.cern.ch/record/381429>
- [28] 赤塚駿一, LHC-ATLAS 実験 Run-3 に向けたミュオントリガーの改良, 修士論文, 2017 https://www-he.scphys.kyoto-u.ac.jp/theses/master/akatsuka_mt.pdf
- [29] 田代拓也, ATLAS 実験における新しいミュオントリガー回路の開発と実装, 修士論文, 2013 https://www-he.scphys.kyoto-u.ac.jp/theses/master/tashiro_mt.pdf
- [30] 木戸将吾, ATLAS 実験 Run2 におけるレベル 1 ミュオントリガーの性能評価及び最適化の研究, 修士論文, 2016 http://ppwww.phys.sci.kobe-u.ac.jp/seminar/pdf/Kido_thesis.pdf
- [31] 岡崎佑太, LHC-ATLAS 実験 Run-3 に向けたミュオントリガーの改良とハードウェアへの実装, 修士論文, 2018 https://www-he.scphys.kyoto-u.ac.jp/theses/master/okazaki_mt.pdf
- [32] L1 Muon Trigger Public Results <https://twiki.cern.ch/twiki/bin/view/AtlasPublic/L1MuonTriggerPublicResults>
- [33] XILINX, 7 Series FPGAs Data Sheet: Overview, 2020 https://japan.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf
- [34] XILINX, 7 Series FPGAs GTX/GTH Transceivers User Guide, 2020 https://www.xilinx.com/support/documentation/user_guides/ug476_7Series_Transceivers.pdf
- [35] 内田智久, SiTCP 説明書 第 1.3 版, 2012 <http://esysinfo00.kek.jp/SiTCP/doc/SiTCP.pdf>
- [36] 救仁郷拓人, LHC-ATLAS 実験 Run-2 に向けた Level-1 ミュオントリガーアルゴリズムとデータ収集システムの改良, 修士論文, 2015 https://www-he.scphys.kyoto-u.ac.jp/theses/master/kunigo_mt.pdf
- [37] XILINX, Vivado Design Suite, 2020 <https://japan.xilinx.com/products/design-tools/vivado.html>

- [38] 小野木宏太, LHC アップグレードに向けた ATLAS 実験のミュオントリガー開発, 修士論文, 2015 http://www.hepl.phys.nagoya-u.ac.jp/~kouta.nagoya/general_reports/master_thesis/master_thesis_kouta.pdf
- [39] ATLAS Collaboration, Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQSystem, ATLAS-TDR-023, 2013 <https://cds.cern.ch/record/1602235>
- [40] 徳永孝之, LHC-ATLAS 実験 RUN3 に向けた新しいミュオントリガー装置の FPGA 読み出し開発とその性能評価, 修士論文, 2014 http://www.icepp.s.u-tokyo.ac.jp/download/master/m2014_tokunaga.pdf
- [41] 一宮 亮, ATLAS 実験前後方ミュオントリガシステム用 Sector Logic の開発, 修士論文, 2001 <https://atlas.kek.jp/sub/documents/ichimiya200102.pdf>
- [42] XILINX, Integrated Bit Error Ratio Tester 7 Series GTX Transceivers v3.0, 2016 https://www.xilinx.com/support/documentation/ip_documentation/ibert_7series_gtx/v3_0/pg132-ibert-7series-gtx.pdf