

修士論文

LHC-ATLAS 実験 Run-3 に向けた  
初段ミューオントリガーアルゴリズムの開発および性能評価

京都大学大学院理学研究科 物理学・宇宙物理学専攻  
物理学第二分野 高エネルギー物理学研究室

学生番号 0530-32-2152

吉村宣倅

指導教員 隅田土詞



2022年1月26日

## 概要

Large Hadron Collider (LHC) は、スイス・ジュネーブ近郊の欧州原子核研究機構 (CERN) に建設された世界最高エネルギーの陽子陽子衝突型加速器である。ATLAS 検出器は、LHC の衝突点の 1 つに設置された大型汎用検出器で、TeV エネルギー領域の新粒子の直接探索やヒッグス粒子の精密測定を行うことで素粒子標準理論を超えた新物理の発見を目指している。

LHC における陽子陽子衝突の頻度は 40 MHz だが、ATLAS 実験ではデータ記録速度や容量の制限のため全事象を記録することはできない。そのため、物理として興味のある事象を選択 (トリガー) し、データを取得する必要がある。トリガーは 2 段階に分けて行われ、初段トリガーでは全事象に対しトリガー判定を行い、100 kHz 以下までイベントレートを落とすことが要求される。このため、初段トリガーでは高速処理が可能なハードウェアベースで実装されている。その後、後段トリガーでソフトウェアによる精密なトリガー判定が行われる。

LHC は 2018 年から 2022 年までアップグレードをおこない、アップグレード後の Run-3 では重心系エネルギー 13.6 TeV、瞬間最高ルミノシティ  $2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  で運転する。エネルギーの増強と高いルミノシティでの安定した運転がおこなわれることに伴って、重要な物理事象を最大限有効に集めるために ATLAS 検出器初段トリガーに関しても新検出器の導入と電子回路の改良を行う必要がある。

本研究で扱うミュオントリガーは、ミュオンの横運動量に閾値を設けることで、高運動量のミュオンを終状態に含む事象を選択する。Run-2 までの初段ミュオントリガーは磁場領域外側にある Thin Gap Chamber (TGC) のヒット情報と磁場領域内側の TGC や Tile カロリメータの情報を用いて、ミュオンの横運動量を判定しトリガーしていたが、衝突点由来でない荷電粒子によるフェイクトリガーや低い横運動量のミュオンを完全には排除できずこれがトリガーレートを上げる原因となっていた。初段ミュオントリガーのレート上限は Run-2 から変わらないため、多様な物理に対するアクセプタンスを維持しながら不要な事象によるトリガーを削減する必要がある。これに対して Run-3 から新たに磁場領域内側に導入される New Small Wheel (NSW) や RPC BIS78 の詳細な飛跡情報利用することで、フェイクトリガーと低い横運動量のミュオン削減のための研究を行った。

本研究で開発した新しいトリガーアルゴリズムは、ミュオンの横運動量が 20 GeV 以上であると判定されたトリガーにおいて高い検出効率を維持しつつ、衝突点由来でない荷電粒子による背景事象を大幅に削減することができる。この結果、Run-2 と比較して同じ瞬間ルミノシティにおいて約 60 % のトリガーレートを削減できることを示した。

また、このトリガーロジックを実装する判定ボードである New Sector Logic (NSL) における検証試験をおこなった。TGC と NSW や RPC BIS78 からの情報を元にしてトリガー判定データを作成することで、NSL が想定された時間内にトリガー判定を行うことを確認した。以上の研究により、Run-3 において開発したトリガーが正しく動作することを確認した。

# 目次

<b>第1章</b>	<b>序論</b>	<b>1</b>
1.1	標準模型	1
1.2	ATLAS 実験で目指す物理	1
1.2.1	ヒッグス粒子の精密測定	1
1.2.2	超対称性粒子	5
1.3	ミューオンを終状態に含む物理	6
1.3.1	高い運動量のミューオンを含む物理	6
1.3.2	低い運動量のミューオンを含む物理	8
1.4	本論文の動機	10
<b>第2章</b>	<b>LHC-ATLAS 実験</b>	<b>11</b>
2.1	LHC 加速器	11
2.2	ATLAS 実験	12
2.2.1	ATLAS 実験における座標系と変数	12
2.2.2	ATLAS 検出器	13
2.2.3	超伝導磁石	14
2.2.4	ミューオン検出器	14
2.2.5	トリガーシステム	21
<b>第3章</b>	<b>初段エンドキャップ部ミューオントリガー</b>	<b>26</b>
3.1	初段エンドキャップ部ミューオントリガーシステム	26
3.1.1	TGC の配置	26
3.1.2	トリガーセクター	26
3.2	初段エンドキャップ部ミューオントリガーアルゴリズムの概要	29
3.2.1	Run-2 と Run-3 で共通したトリガーアルゴリズム	29
3.2.2	Run-3 に向けたトリガーアルゴリズムのアップグレード	29
3.3	TGC 検出器からのトリガーを処理する電子回路	33
3.3.1	New Sector Logic (NSL) ボード	33
3.3.2	High PT (HPT) ボード	34
3.3.3	NSW Trigger Processor (NSW TP)	34
3.3.4	RPC BIS78 Pad trigger logic board	36

3.3.5	トリガーデータ読み出しシステム	36
<b>第4章</b>	<b>磁場内部の検出器を用いた初段エンドキャップ部ミュオントリガーロジックの開発</b>	<b>37</b>
4.1	TGC-BW の情報を用いたトリガーロジック	37
4.2	トリガー効率の評価方法	39
4.3	$p_T$ number の定義	40
4.4	$p_T$ 分解能の評価方法	41
4.5	NSW を用いたコインシデンス	43
4.5.1	BW×NSW Coincidence の概要	43
4.5.2	BW×NSW Coincidence に用いる CW の作成	45
4.5.3	BW×NSW Coincidence を用いた $p_T$ 出力の性能評価	48
4.6	RPC BIS78 を用いたコインシデンス	49
4.6.1	BW×RPC Coincidence の概要	49
4.6.2	BW×RPC Coincidence に用いる CW の作成	52
4.6.3	BW×RPC Coincidence を用いた $p_T$ 出力の性能評価	52
4.7	実データを使ったトリガーレートの評価	53
4.7.1	実データにおける NSW と RPC BIS78 のヒット情報の再現	53
4.7.2	Which Inner の適用方法	56
4.7.3	フェイクトリガーの削減の見積り	57
4.7.4	トリガーレートの見積り	57
<b>第5章</b>	<b>New Sector Logic に実装するトリガーファームウェアの開発</b>	<b>65</b>
5.1	NSL に実装するファームウェアの概要	65
5.2	トリガーファームウェアの実装	65
5.2.1	TGC-BW Coincidence の実装	68
5.2.2	BW×Inner Coincidence の実装	68
5.2.3	Which Inner の実装	73
5.2.4	Track Selector の実装	73
5.3	トリガーファームウェアの検証試験	76
<b>第6章</b>	<b>結論と今後の展望</b>	<b>78</b>
	謝辞	80
	参考文献	81
<b>付録A</b>	<b>New Sector Logic に実装するファームウェアの開発</b>	<b>86</b>
A.1	コインシデンスに用いる変換表の高速読み込み機構の開発	86

A.1.1	NSL に実装する LUT の種類	86
A.1.2	LUT initializer	87
A.1.3	LUT control port	88
A.1.4	LUT CRC calculator	88
A.2	トリガータイミング同期システムの開発	89
A.2.1	NSL 側での BCID カウントアップ機構	89
A.2.2	BCID checker	89
A.2.3	BCID を同期させるための手続き	89
A.3	通信安定性情報を用いたコインシデンスの自動停止機構の開発	90
A.3.1	G-Link Auto disable 機構	90
A.3.2	G-Link 通信状態を用いたコインシデンスの自動停止機能	90
A.3.3	BCID・CRC 情報を用いたコインシデンスの自動停止機能	90
A.4	TMDB-NSL 間の接続試験	91
A.5	BW×NSW Coincidence におけるタイミング整合性の検証試験	91
<b>付録 B</b>	<b>トリガー判定ボード New Sector Logic とデータフォーマット</b>	<b>93</b>
B.1	New Sector Logic の概要	93
B.1.1	New Sector Logic に対する要求性能	93
B.1.2	New Sector Logic のデザイン	94
B.1.3	主な IC チップ	94
B.1.4	入出力ポート	96
B.2	New Sector Logic が受信するデータフォーマット	96
B.2.1	TGC BW から受け取るデータフォーマット	96
B.2.2	TGC EI から受け取るデータフォーマット	97
B.2.3	New Small Wheel から受け取るデータフォーマット	97
B.2.4	RPC BIS78 から受け取るデータフォーマット	99
B.2.5	Tile カロリメーターから受け取るデータフォーマット	100
B.3	New Sector Logic から送信するデータフォーマット	101
B.3.1	MUCTPI へ送信するデータフォーマット	101
B.3.2	SROD へ送信するデータフォーマット	102
<b>付録 C</b>	<b>New Sector Logic に実装する読み出しファームウェア</b>	<b>103</b>
C.1	L1 Buffer	103
C.2	ID Counter	103
C.3	Derandomizer	104
C.4	Zero Suppress	104
C.5	SiTCP	105

付録D その他の初段トリガーロジック	108
D.1 HPT ボードよりも前段の TGC フロントエンド回路	108
D.1.1 Amplifier Shaper Discriminator (ASD) ボード	108
D.1.2 Patch-Panel and Slave Board ASIC (PS) ボード	108
D.2 NSL に入力するトリガーロジック	111
D.2.1 TGC-EI Data Converter	111
D.2.2 Tile Muon Digitizer Board (TMDB)	111
D.3 NSL より後段の初段トリガーロジック	111
D.3.1 MUon-to-CTP Interface (MUCTPI)	112
D.3.2 L1 Topology Processor (L1Topo)	112
D.3.3 Central Trigger Processor (CTP)	113

# 目 次

1.1	素粒子標準模型で導入されている素粒子	2
1.2	ヒッグス粒子の生成過程のファインマンダイアグラム	3
1.3	ヒッグス粒子の質量を 125 GeV とした場合の、重心系エネルギー $\sqrt{s}$ に対するヒッグス粒子の生成断面積	3
1.4	ATLAS でのヒッグス粒子生成断面積測定の結果	4
1.5	ヒッグス粒子の主な崩壊過程のファインマンダイアグラム	4
1.6	ヒッグス粒子の質量と各崩壊過程での崩壊分岐比の相関	4
1.7	重心系エネルギー $\sqrt{s} = 13$ TeV で取得したデータを用いて測定した各粒子とヒッグス粒子との結合定数の測定結果	5
1.8	SUSY 粒子の図	6
1.9	重心系エネルギー $\sqrt{s} = 13$ TeV で取得したデータを用いて測定した各超対称性粒子の質量の棄却領域	7
1.10	CMS 実験における $H \rightarrow \mu\mu$ の不変質量分布	7
1.11	ATLAS 実験における $H \rightarrow \mu\mu$ の不変質量分布	7
1.12	スレプトン ( $\tilde{l}$ ) の対生成過程におけるファインマンダイアグラム	8
1.13	先行研究で得られた SUSY 質量の探索領域	8
1.14	$B_s \rightarrow \mu\mu$ の BSM を考慮したファインマンダイアグラム	9
1.15	LHC で行われている 3 実験による $B_{(s)}^0 \rightarrow \mu\mu$ の崩壊分岐比の測定結果	9
1.16	$\tau \rightarrow 3\mu$ の BSM を考慮したファインマンダイアグラム。	10
2.1	LHC の全体像	12
2.2	LHC 加速器の運転とアップグレード計画	13
2.3	ATLAS 実験で用いられる座標系	14
2.4	ATLAS 検出器の超伝導磁石の配置	15
2.5	トロイド磁石による磁場の $\eta$ に対する依存性	15
2.6	ビーム軸から見た $xy$ 平面での磁場の分布	15
2.7	ミューオン検出器の配置図	16
2.8	磁場の内側の各検出器の覆う領域	16
2.9	TGC 検出器の写真	17
2.10	TGC 検出器の構造図	17

2.11	TGC Doublet と Triplet の断面図	18
2.12	NSW の構造	19
2.13	NSW の 1 セクターの構成	19
2.14	Small Sector の 1 チェンバーの構造	19
2.15	sTGC の断面図	19
2.16	MM の断面図と動作原理	20
2.17	RPC BIS78 の断面図	20
2.18	BIS78 ステーションの概要図	20
2.19	ビーム軸方向から見た RPC BIS78 と sMDT BIS78 の配置図	21
2.20	Tile カロリメータの構造図	22
2.21	Tile カロリメータのセルの配置図	22
2.22	Run-3 におけるトリガーシステムの概要	24
2.23	Run-2 におけるトリガーマニューの一例	25
3.1	TGC の配置図	27
3.2	TGC の M1、M3 ステーションの配置図	27
3.3	TGC-EI ステーションの配置図	28
3.4	TGC のトリガー判定の単位	28
3.5	初段エンドキャップ部ミュオントリガーロジックの概要	30
3.6	Run-3 の初段エンドキャップ部ミュオントリガーシステムの概念図	31
3.7	Run-2 と Run-3 でのミュオン検出器	31
3.8	Run-2 で取得した $p_T$ 閾値 20 GeV におけるトリガー発行数の $\eta$ 分布	32
3.9	Run-3 で期待される $p_T$ 閾値 20 GeV におけるトリガー発行数の $\eta$ 分布	32
3.10	TGC の電子回路とデータの流れの全体図	33
3.11	New Sector Logic の写真と主なチップと配線図	34
3.12	HPT ボードのブロック図	35
3.13	HPT ボードから受け取るデータと TGC-BW の SSC の関係	35
4.1	TGC における Coincidence Window の例	38
4.2	BW Coincidence における 15 段階の閾値に対する Turn-on curve	39
4.3	Run-2 における TGC-BW の $p_T$ 閾値に対する Turn-on curve	40
4.4	Run-2 の TGC における Turn-on curve と同程度のパフォーマンスである Run-3 の TGC における Turn-on curve の比較	42
4.5	BW Coincidence の $9 \text{ GeV} < p_T^{\text{offline}} < 10 \text{ GeV}$ における $p_T$ residual 分布	43
4.6	NSW の位置情報を用いたトリガーロジックの概要	44
4.7	NSW の角度情報を用いたトリガーロジックの概要	44



4.8	RoI 100 番および 104 番 ( $ \eta  = 1.6$ ) で、 $p_T$ number = 5, 10 および 15 における $d\eta : d\phi$ のヒットマップ	47
4.9	図 4.8 のヒットマップの 99.9 % を含むように定義し、最適化をおこなった $d\eta : d\phi$ の Coincidence Window	47
4.10	NSW を用いた $d\eta : d\phi$ の Coincidence Window	47
4.11	NSW を用いた $d\eta : d\theta$ の Coincidence Window	48
4.12	BW×NSW Coincidence における $p_T$ merger を通過したトリガーの Turn-on curve	49
4.13	BW×NSW Coincidence における $p_T$ merger を通過したトリガーの プラトー効率	50
4.14	BW Coincidence 単体のトリガーを通過したミュオンに対する BW×NSW Coincidence のトリガー効率 $\epsilon_{\text{NSW/BW}}$	50
4.15	1 GeV 刻みの $p_T$ residual 分布 (3 ~ 19 GeV)	51
4.16	(左) BW×NSW Coincidence における 1 GeV 刻みの $p_T$ residual 分布の平均値 (右) BW×NSW Coincidence における 1 GeV 刻みの $p_T$ residual 分布の標準偏差	51
4.17	RPC BIS78 を用いた $d\eta : d\phi$ の Coincidence Window	52
4.18	RPC BIS78 を用いた $d\eta : \Delta\eta, d\phi : \Delta\phi$ の Coincidence Window	53
4.19	BW×RPC Coincidence における $p_T$ merger を通過したトリガーの Turn-on curve	54
4.20	BW×RPC Coincidence における $p_T$ merger を通過したトリガーの プラトー効率	54
4.21	BW×RPC Coincidence における Relative Efficiency	55
4.22	1 GeV 刻みの $p_T$ residual 分布 (3 ~ 19 GeV)	55
4.23	(左) BW×RPC Coincidence における 1 GeV 刻みの $p_T$ residual 分布の平均値 (右) BW×RPC Coincidence における 1 GeV 刻みの $p_T$ residual 分布の標準偏差	56
4.24	TGC( $1.0 < \eta < 1.3$ ) における Run-3 の $p_T$ 値を用いた fake ratio	58
4.25	TGC( $1.3 < \eta < 2.0$ ) における Run-3 の $p_T$ 値を用いた fake ratio	58
4.26	TGC( $2.0 < \eta < 2.4$ ) における Run-3 の $p_T$ 値を用いた fake ratio	59
4.27	Run2(2018 年) のデータ取得におけるルミノシティと L1MU4(Run-2) のトリガーレートの関係	60
4.28	理想的な TGC の位置と実際の TGC の位置におけるずれの概念図	61
4.29	RPC(バレル部) と TGC(エンドキャップ部) における Run-2 の $p_T$ 値を用いたシングルミュオントリガーレート ( $L = 2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ )	61
4.30	Run-3 で予想される TGC 領域かつ MU3 におけるトリガー発行数の $\eta$ 分布	62
4.31	Run-3 で期待される TGC 領域かつ MU14 におけるトリガー発行数の $\eta$ 分布	63
4.32	TGC における Run-3 の $p_T$ 値を用いたシングルミュオントリガーレート ( $L = 2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ )	64
4.33	BW Coincidence (3 station) に対して HotRoI flag, Inner Coincidence, CW を順番に要求していった場合のトリガーレートの割合	64

5.1	NSL の FPGA に実装されるファームウェアの概要	66
5.2	トリガーファームウェアの概要	67
5.3	TGC-BW Coincidence の概要	69
5.4	TGC-BW Coincidence のブロック図 (1 SSC 分)	69
5.5	1 つの RoI と対応する NSW で再構成されたミューオントラックの数	70
5.6	NSW Decoder のブロック図 (1 SSC 分)	71
5.7	BW×NSW Coincidence のブロック図 (1 SSC 分)	72
5.8	Which Inner のブロック図 (1 SSC 分)	74
5.9	エンドキャップ領域トリガーセクター用 NSL に実装した Track Selector のブロック図 (1 Trigger Sector 分)	75
5.10	トリガーファームウェアのロジック動作検証試験の概要	76
5.11	トリガーファームウェアのロジック動作検証試験の結果	77
A.1	トリガーロジックに用いる LUT を設定するためのデータパス	87
A.2	TMDB から受け取るデータフォーマット	91
B.1	主なチップと配線の概略図	95
B.2	バンチ衝突ごとに TGC BW から受け取るデータフォーマット	98
B.3	バンチ衝突ごとに TGC EI Data Converter から受け取るデータフォーマット	98
B.4	バンチ衝突ごとに NSW TP から受け取るデータフォーマット	99
B.5	バンチ衝突ごとに RPC BIS78 から受け取るデータフォーマット	100
B.6	バンチ衝突ごとに TMDB から受け取るデータフォーマット	100
B.7	バンチ衝突ごとに MUCTPI へ送信するデータフォーマット	101
B.8	SROD へ送信するデータフォーマット	102
C.1	読み出しファームウェアの概念図	104
C.2	Zero Suppress ロジックの概念図	105
C.3	SiTCP の物理実験での使用例	106
C.4	SiTCP のハードウェアでの実装方法	106
C.5	実装した SiTCP モジュールの概要	107
D.1	ASD ボードの写真	108
D.2	Doublet SLB (ワイヤー) のブロック図	109
D.3	Doublet Slave Board 用のコインシデンスマトリックスのブロック図	110
D.4	デクラスタリングアルゴリズムの概念図	110
D.5	MUCTPI の写真とブロック図	112

# 表 目 次

1.1	ヒッグス粒子の質量が 125 GeV の場合の標準模型での崩壊分岐比と相対誤差 [9]。	3
4.1	Run-2 における $p_T$ 閾値	41
4.2	measured- $p_T$ の定義	41
4.3	Run-2 の $p_T$ number と Run-3 の $p_T$ number におけるトリガーパフォーマンスの 対応関係	41
4.4	ヒットマップの $p_T$ number と入力に用いるミュオンの $p_T$ との対応関係	46
4.5	ミュオンがヒットした RoI に対してコインシデンスをおこなう検出器の対応関係	57
4.6	Run-3 における MU14 のトリガーレート。	63
5.1	NSL がトリガー判定ロジックに用いる時間	67
5.2	MUCTPI に送信するミュオントラックの情報	75
A.1	エンドキャップ用 NSL に実装する LUT	88
A.2	TMDB-NSL 間での接続試験の結果	92
B.1	XC7K410T の仕様	95
B.2	wire HPT ボードから受け取る TGC BW での飛跡情報	97
B.3	strip HPT ボードから受け取る TGC BW での飛跡情報	97
B.4	TGC EI から受け取るデータフォーマット	97
B.5	NSW から受け取る飛跡情報	99
B.6	RPC BIS7/8 から受け取る飛跡情報	100
B.7	MUCTPI に送信するミュオントラックの情報	101
C.1	Zero Suppress 後のデータフォーマット	105
D.1	2016 年における L1Topo のセレクション例	113

# 第1章 序論

## 1.1 標準模型

標準模型は、物質を構成する最小単位である素粒子とその相互作用を記述する理論である。自然界は4つの基本的な相互作用(強い相互作用、弱い相互作用、電磁相互作用、重力相互作用)で構成されると考えられており、標準模型はそのうち重力相互作用以外の3つの相互作用について記述している。図 1.1 に示すように標準理論では12種類のフェルミオンと4種類のゲージボソン、ヒッグス粒子の計17種類の粒子が導入されている。

## 1.2 ATLAS 実験で目指す物理

欧州原子核研究機構(CERN)に設置されたLarge Hadron Collider(LHC)のATLAS(A Toroidal LHC ApparatuS)とCMS(Compact Muon Solenoid)両実験は2012年にヒッグス粒子を発見し[2, 3]、素粒子標準模型が完成した。しかし、標準模型は多くの実験結果を説明することができているが、階層性問題[4]や暗黒物質の存在[5]などの説明できない問題が存在する。これらの問題を解決するために、標準模型を超える新しい物理が必要であり、世界中で様々な方法で新物理の手がかりを探索する実験が行われている。現在ヒッグス粒子を生成できる加速器はLHCのみであるため、ATLAS 実験で湯川結合定数などのヒッグス粒子の詳細な研究を行うことが重要な課題である。また、LHCは世界最高エネルギーの加速器であるので、超対称性粒子(SuperSymmetry, SUSY)や暗黒物質などの標準模型を超えた新粒子の探索をTeVスケールまで行うことができる。

### 1.2.1 ヒッグス粒子の精密測定

ヒッグス粒子( $H$ )とフェルミオン( $f$ )の湯川結合定数( $g_{H\bar{f}f}$ )は標準理論では $g_{H\bar{f}f} = \frac{m_f}{v}$ で表され、フェルミオンの質量に対して比例関係にある。ここで $m_f$ はフェルミオンの質量、 $v$ はヒッグス場の真空期待値である。新物理からの寄与によって、この比例関係にずれが生じる可能性があるため、湯川結合定数を精密に測定することで新物理に対する手がかりを得ることができる。ここでは、ヒッグス粒子の結合定数の測定をする上で重要な、ヒッグス粒子の主な生成過程と崩壊過程について説明する。

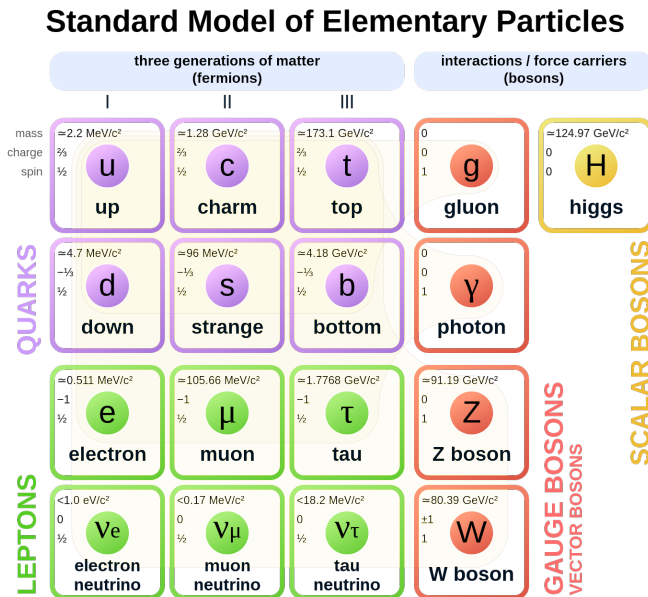


図 1.1 : 素粒子標準模型で導入されている素粒子 [1]。

### ヒッグス粒子の生成過程

ヒッグス粒子の主な生成過程のファインマンダイアグラムを図 1.2、LHC-ATLAS 実験における生成断面積を図 1.3 に、生成断面積の ATLAS 実験での測定と理論の比較結果を図 1.4 に示す。ヒッグス粒子の主な生成過程は断面積の大きいものから順に gluon-gluon fusion (ggF) 過程、vector boson fusion (VBF) 過程、vector boson associated (VH) 過程、top quark associated (ttH) 過程の 4 つである。

- ggF 過程
 

トップクォークのループを通してヒッグス粒子が生成する過程。LHC で最も高い生成断面積を持つ過程である。
- VBF 過程
 

2 つのクォークから放出されるベクターボソンの結合でヒッグス粒子が生成される過程。この過程では運動量の大きい 2 本のジェットが前方に出るといった特徴がある。
- VH 過程
 

2 つのクォークの対消滅により生成されたベクターボソンの輻射によりヒッグス粒子が放出される過程。W または Z ボソンから生成されるレプトンをタグすることで背景事象の少ない測定が可能となる。
- ttH 過程
 

トップクォークの対消滅によりヒッグス粒子が生成される過程。この過程を用いてトップクォークとヒッグスの結合定数を測定できる。

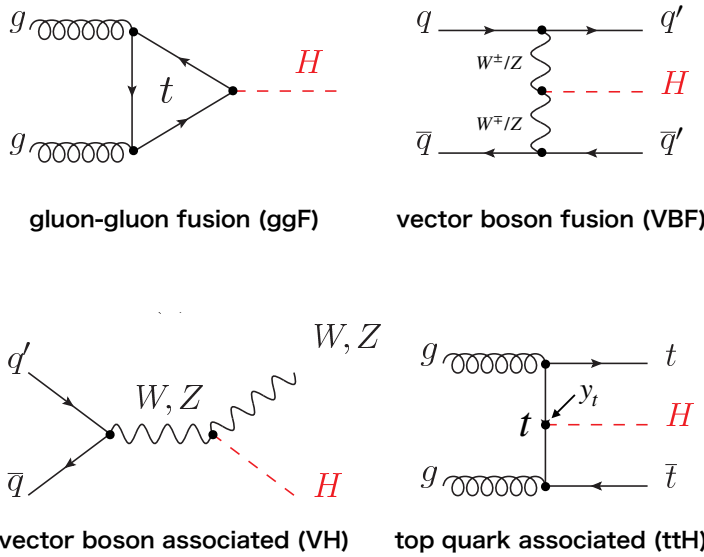


図 1.2: ヒッグス粒子の生成過程のファインマンダイアグラム [6]。  $y_t$  はヒッグス粒子とトップクォークの湯川結合定数を示している。

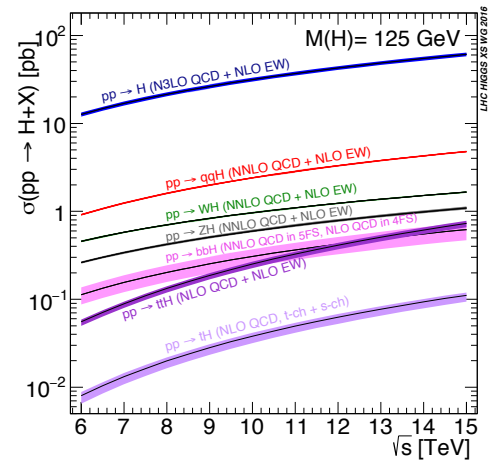


図 1.3: ヒッグス粒子の質量を 125 GeV とした場合の、重心系エネルギー  $\sqrt{s}$  に対するヒッグス粒子の生成断面積 [7]。

### ヒッグス粒子の崩壊過程

ヒッグス粒子の主な崩壊過程のファインマンダイアグラムを図 1.5 に、崩壊分岐比を図 1.6 に示す。ヒッグス粒子の質量 125 GeV の領域での主な崩壊過程は分岐比の大きいものから順に  $H \rightarrow b\bar{b}, WW, \tau\bar{\tau}, ZZ, \gamma\gamma$  である。表 1.1 にヒッグス粒子の質量 125 GeV の場合の各崩壊過程の崩壊分岐比を示す。

### 湯川結合定数の測定

ヒッグス粒子の測定では、生成過程と崩壊過程ごとの特徴を活かして信号事象と背景事象を分離することで効率の良い測定を行う。図 1.7 に重心系エネルギー  $\sqrt{s} = 13$  TeV で取得したデー

表 1.1: ヒッグス粒子の質量が 125 GeV の場合の標準模型での崩壊分岐比と相対誤差 [9]。

崩壊過程	崩壊分岐比	相対誤差
$H \rightarrow b\bar{b}$	$5.82 \times 10^{-1}$	+1.2% -1.3%
$H \rightarrow WW$	$2.14 \times 10^{-1}$	$\pm 1.5\%$
$H \rightarrow \tau\bar{\tau}$	$6.27 \times 10^{-2}$	$\pm 1.6\%$
$H \rightarrow ZZ$	$2.62 \times 10^{-2}$	$\pm 1.5\%$
$H \rightarrow \gamma\gamma$	$2.27 \times 10^{-3}$	$\pm 2.1\%$
$H \rightarrow Z\gamma$	$1.53 \times 10^{-3}$	$\pm 5.8\%$
$H \rightarrow \mu\mu$	$2.18 \times 10^{-4}$	$\pm 1.7\%$

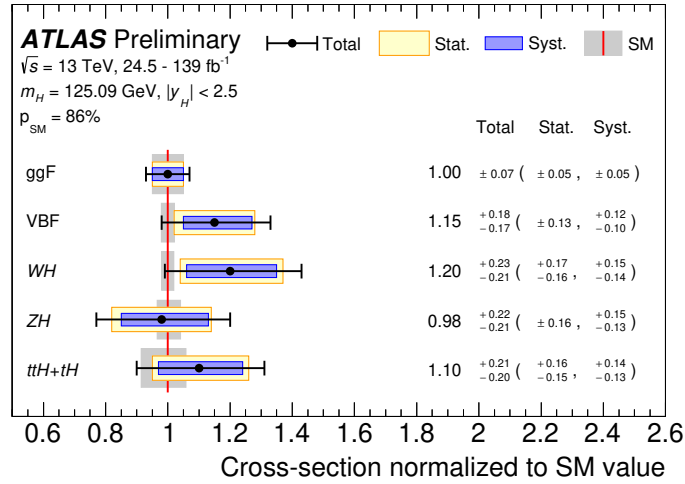


図 1.4 : ATLAS でのヒッグス粒子生成断面積測定の結果 [8]。横軸は標準模型の理論値で規格化した生成断面積。現在のところ標準模型との有意な差は見られない。

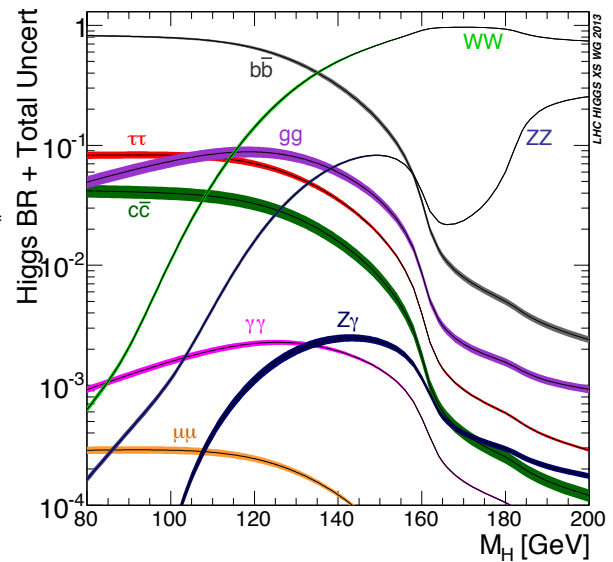
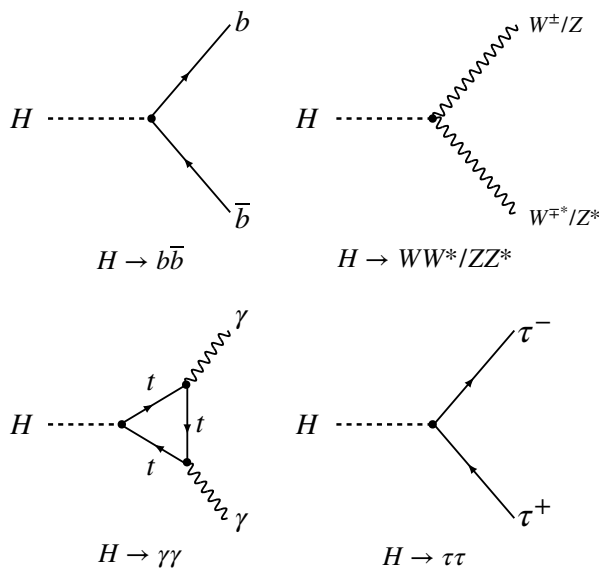


図 1.5 : ヒッグス粒子の主な崩壊過程のファインマンダイアグラム [6]。図 1.6 : ヒッグス粒子の質量と各崩壊過程での崩壊分岐比の相関 [7]。

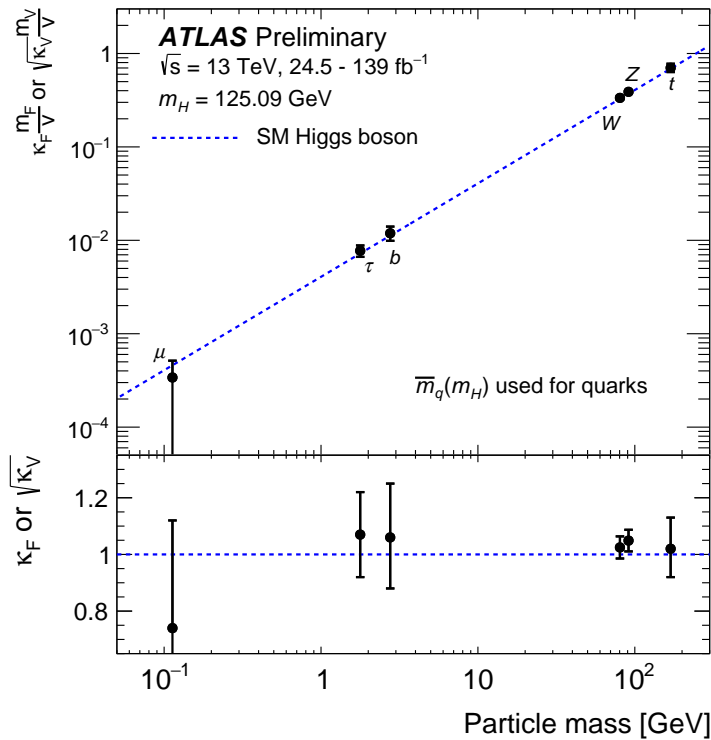


図 1.7: 重心系エネルギー  $\sqrt{s} = 13 \text{ TeV}$  で取得したデータを用いて測定した各粒子とヒッグス粒子との結合定数の測定結果 [8]。青い点線が標準模型で予想される粒子の質量と結合定数の対応関係を示す。現在のところ標準理論との有意な差は見られない。

タを用いて測定した結合定数と粒子質量の相関関係を示す。 $H \rightarrow b\bar{b}$  は崩壊分岐比が 58 % だが、 $b$  クォーク由来のハドロンジェット ( $b$  ジェットと呼ぶ) は、陽子陽子衝突由来の QCD 事象との分離が難しく測定の誤差が大きいチャンネルである。 $H \rightarrow WW^*/ZZ^*$  は崩壊分岐比がそれぞれ 21 %、2.6 % だが、 $W$  または  $Z$  ボソンから生成されるレプトンをタグすることで信号事象と背景事象を区別できるため、ヒッグス粒子とベクターボソンの結合定数は高い精度で測定されている。より高い統計量のデータを用いてこれらの測定の誤差を小さくすることで、標準理論からの有意なずれがあるかどうかの観測を目指す。

### 1.2.2 超対称性粒子

超対称性とはフェルミオンとボソンを入れ替える対称性であり、超対称性理論は、標準模型の粒子とスピンの  $1/2$  だけ異なり電荷が等しい超対称性粒子の存在を予言する。図 1.8 に標準模型の粒子に対応する超対称性粒子を示す。標準模型に超対称性を導入して拡張された超対称標準模型は、(1) ヒッグス質量に対する階層性問題を解決する、(2) 超対称性粒子のうちのひとつが暗黒物質の候補となり得る、(3) 標準模型の 3 つの相互作用を全て矛盾なく統一できる、といった魅力的な特長をもつ。そのため、超対称性理論は非常に有力な理論となっている [11]。超対称性理論によ



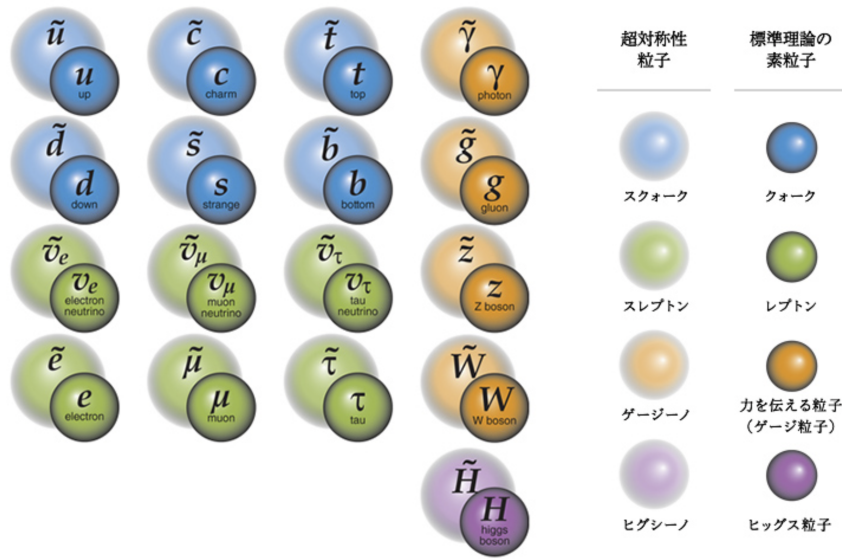


図 1.8 : SUSY 粒子の図 [10]。標準理論粒子に対して超対称性パートナーが存在することが予想される。

り階層性問題 [4] を説明できる場合、超対称性粒子の中で最も軽い粒子 (Lightest SUSY Partner, LSP) の質量は数 TeV 以下の質量領域にあることが期待され、LHC で直接生成できる可能性がある。図 1.9 に重心系エネルギー 13 TeV で取得したデータを用いて測定した各超対称性粒子の質量の棄却領域を示す。SUSY 粒子の質量領域は部分的には棄却されているが、未探索の領域が未だ存在している。そのため、さまざまな解析手法を開発することで SUSY 粒子の質量探索領域を広げる試みを現在も行っている。

### 1.3 ミューオンを終状態を含む物理

ミューオンを終状態を含む物理について、ミューオンの運動量が高い場合と低い場合について 2 種類ずつ説明する。いずれの解析をおこなう上でも、ミューオントリガーの効率を維持しながら統計量を増やすことが重要となる。

#### 1.3.1 高い運動量のミューオンを含む物理

##### $H \rightarrow \mu\mu$ 過程

ミューオンは第三世代粒子に比べ遥かに軽くヒッグス粒子との相互作用は弱いため、 $H \rightarrow \mu\mu$  は観測が難しいチャンネルである。図 1.10, 図 1.11 に CMS 実験と ATLAS 実験で観測された  $H \rightarrow \mu\mu$  の不変質量分布を示す。CMS において Run-2 のデータを用いた解析によって  $3.0\sigma$  の統計的精度で観測している [13] が、ATLAS では  $2.0\sigma$  の統計的精度にとどまっている [14]。

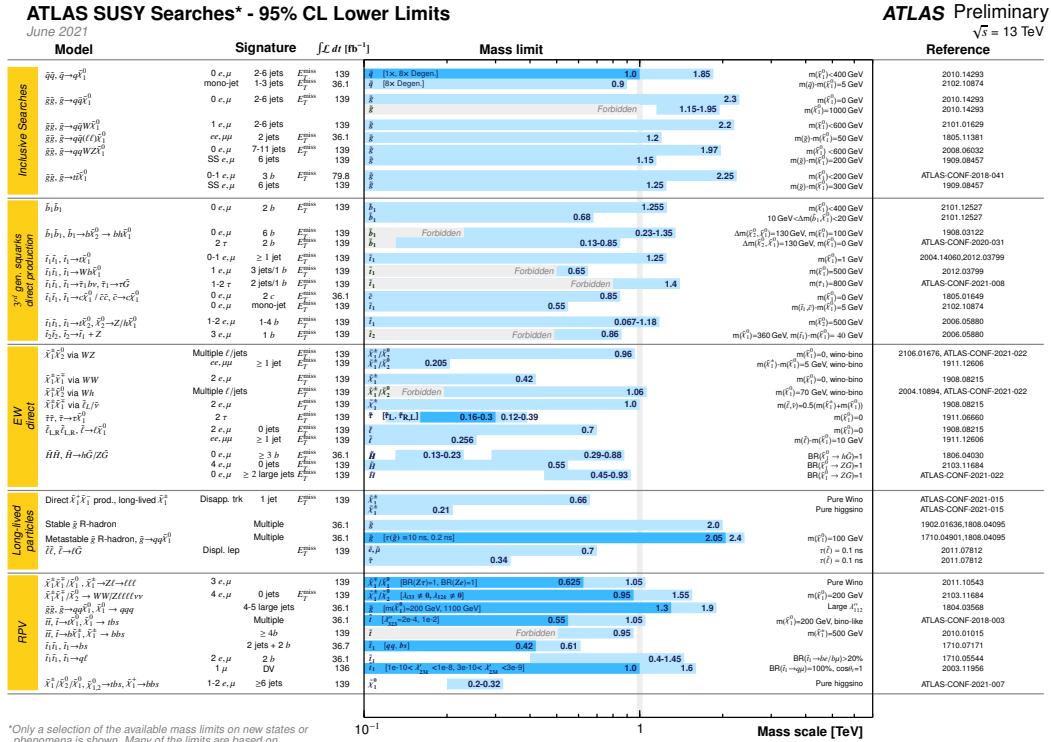


図 1.9 : 重心系エネルギー  $\sqrt{s} = 13 \text{ TeV}$  で取得したデータを用いて測定した各超対称性粒子の質量の棄却領域 [12]。

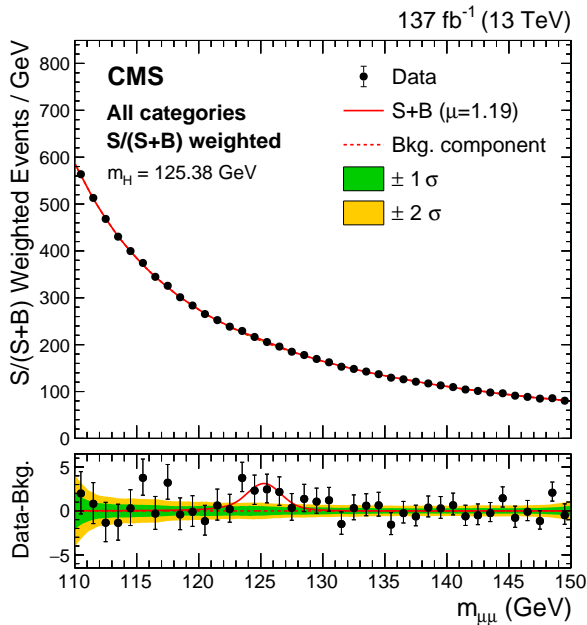


図 1.10 : CMS 実験における  $H \rightarrow \mu\mu$  の不変質量分布 [13]。Run-2 の全データを用いた解析で  $3.0\sigma$  の統計的精度で観測された。

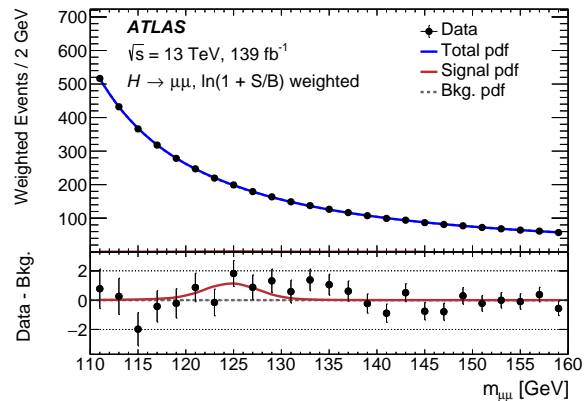


図 1.11 : ATLAS 実験における  $H \rightarrow \mu\mu$  の不変質量分布 [14]。Run-2 の全データを用いた解析で  $2.0\sigma$  の統計的精度で観測された。

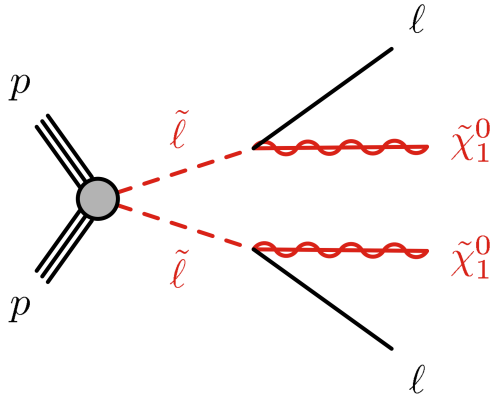


図 1.12 : スレプトン ( $\tilde{l}$ ) の対生成過程におけるファインマンダイアグラム [15]。赤色で表される SUSY 粒子を含む過程である。

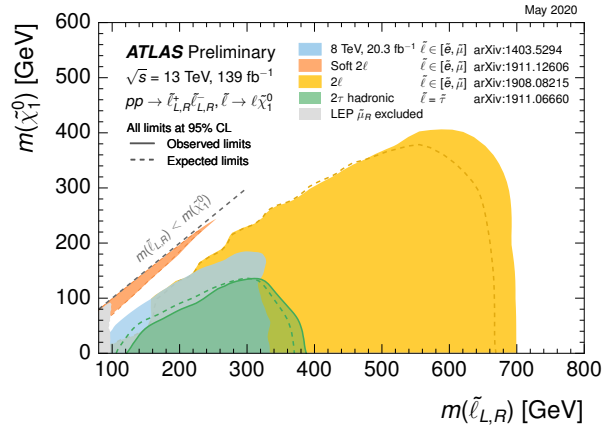


図 1.13 : ATLAS 実験における SUSY 粒子の質量領域の探索結果 [12]。横軸は、スレプトン ( $\tilde{l}$ ) の質量で、縦軸は最も軽いニュートラリーノ ( $\tilde{\chi}_1^0$ ) の質量を示している。色で塗られた質量領域が棄却されている。

### $\tilde{l} \rightarrow l\tilde{\chi}_1^0$ 過程

図 1.12 のように、標準模型におけるレプトンの超対称性パートナーであるスレプトン ( $\tilde{l}$ ) が対生成され、それぞれがレプトンと中性ゲージボソンの超対称性パートナーであるニュートラリーノ ( $\tilde{\chi}_1^0$ ) に崩壊するとき、ミュオンが高い運動量をもつことが考えられる。ニュートラリーノは中性で観測できないため、レプトンを観測することでしかこのモードを探索することができない。図 1.13 に Run-2 のデータを用いたスレプトン ( $\tilde{l}$ ) とニュートラリーノ ( $\tilde{\chi}_1^0$ ) の質量領域の探索結果を示し、スレプトン ( $\tilde{l}$ ) の質量は最大 700 GeV まで棄却されている。

## 1.3.2 低い運動量のミュオンを含む物理

### $B_s \rightarrow \mu\mu$ 過程

$B_s$  粒子は  $\bar{b}$  クォークと  $s$  クォークからなるメソンである。崩壊はほとんどが  $D_s$  メソンを含むモードで、 $93 \pm 25 \%$  [16] となっている。しかし、稀にレプトンに崩壊することがあり、 $B_s \rightarrow \mu\mu$  の崩壊分岐比は理論値で  $(3.2 \pm 0.2) \times 10^{-9}$  と非常に小さい [16]。これは、 $B_s \rightarrow \mu\mu$  が標準理論においてフレーバーを変える中性カレント反応 (FCNC: Flavor Changing Neutral Current) であり、このような崩壊は GIM 機構による制限がされているためである。ただし、高次のループ過程では禁止されていないため、標準理論ではこのような過程を経て  $B_s \rightarrow \mu\mu$  に崩壊すると理解されている。

SUSY のモデルのうち MSSM (Minimum Supersymmetric Standard Model) [17] で考えると、CP 対称な  $h^0, H^0$ 、CP 非対称な  $A^0$ 、荷電ヒッグスの  $H^\pm$  の計 5 種類のヒッグス粒子が導出

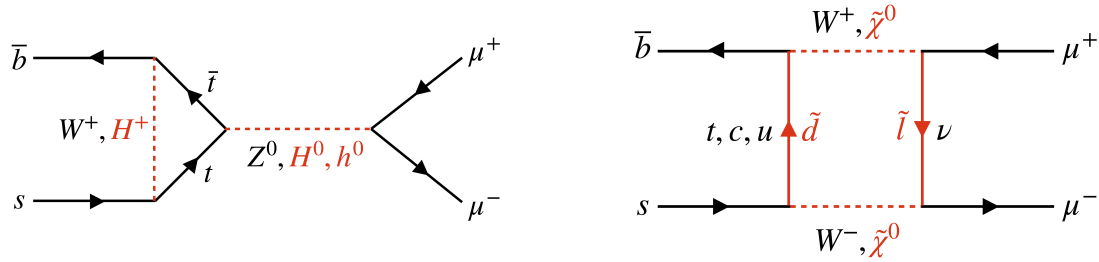


図 1.14 :  $B_s \rightarrow \mu\mu$  の BSM を考慮したファインマンダイアグラム [18]。赤色で表される SUSY 粒子が媒介する場合に崩壊過程が増える。

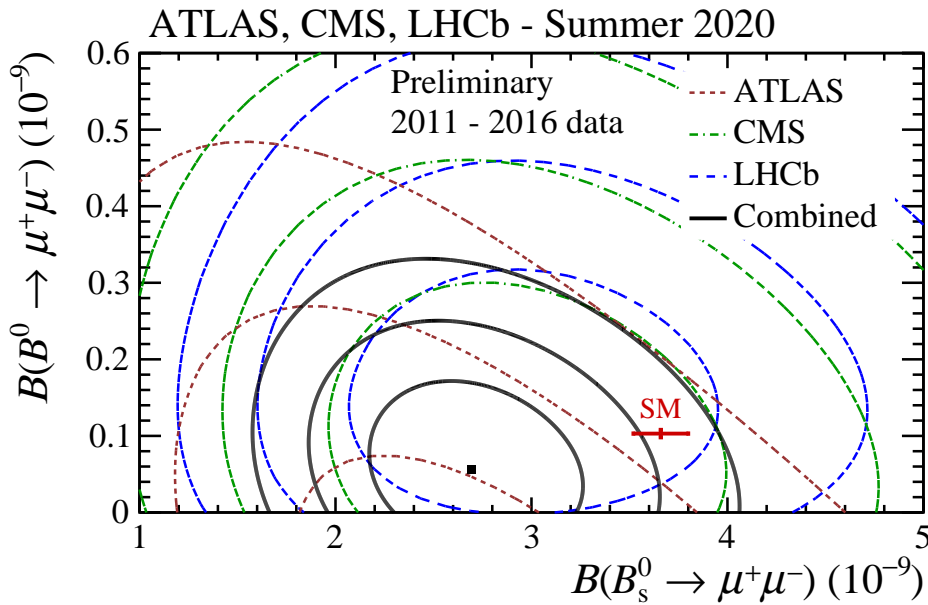


図 1.15 : LHC で行われている 3 実験による  $B_{(s)}^0 \rightarrow \mu\mu$  の崩壊分岐比の測定結果 [19]。

される。この SUSY 粒子が  $B_s$  の崩壊に寄与する場合、図 1.14 のような崩壊過程が考えられる。これにより、崩壊分岐比は標準理論が予測する値と異なることが考えられる。従って、 $B_s \rightarrow \mu\mu$  の崩壊モードの解析は標準理論を超える物理の検証に重要な役割を担っている。図 1.15 に ATLAS, CMS, LHCb 実験の  $B_{(s)}^0 \rightarrow \mu\mu$  チャンネルの結果を示した。

非常に崩壊分岐比の小さいチャンネルであるため統計量が足りておらず、ミューオントリガー効率を維持しながら統計量を増やすことが重要となる。

### $\tau \rightarrow 3\mu$ 過程

$\tau$  粒子は弱い相互作用によってハドロンに崩壊する唯一のレプトンである。荷電レプトンがフレーバーを破ることができ、 $\tau \rightarrow 3\mu$  などの崩壊が可能になるが、その分岐比は非常に小さいことが予測されている [20]。しかし、図 1.16 のように MSSM を導入することで、SUSY 粒子を介した  $\tau \rightarrow 3\mu$  への崩壊が考えることができ、 $10^{-9}$  程度の分岐比となると考えられる [21]。BaBar 実

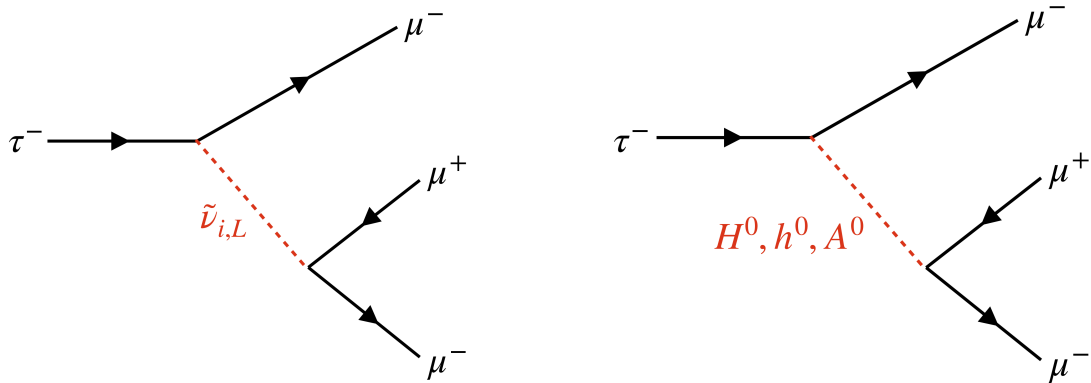


図 1.16 :  $\tau \rightarrow 3\mu$  の BSM を考慮したファインマンダイアグラム。

験 [22] において  $5.3 \times 10^{-8}$  が上限の結果が得られている。CMS 実験における Run-2 のデータを用いた  $\tau \rightarrow 3\mu$  探索の結果 [23] でも、有意な SUSY の寄与は観測できず  $8.0 \times 10^{-8}$  が上限の結果を得ている。

$\tau \rightarrow 3\mu$  過程も統計量が足りておらず、ミューオントリガー効率を向上させ統計量を増やすことが重要となる。

## 1.4 本論文の動機

前節のように、ATLAS 検出器ではミューオンを含む様々な物理の探索がおこなわれており、幅広い運動量のミューオンの事象選択を行いトリガーするミューオントリガーが重要となる。本論文では、2 段階あるトリガーシステムのなかでフロントエンド回路からの信号をハードウェアベースで処理しトリガー判定を行う初段トリガーのアップグレードに関する研究をおこなった。初段トリガー全体のレート上限は 100 kHz に定められているため、様々な物理に対応したミューオントリガーを導入するためにトリガー効率を低下させないようにしながらトリガーレートをできるだけ抑える必要がある。これを達成するため、新しく導入された検出器を用いたトリガーアルゴリズムの開発・性能評価並びに、ハードウェアへのロジックの実装・検証を行った。

## 第2章 LHC-ATLAS 実験

LHC-ATLAS 実験は、LHC 加速器を用いた陽子陽子衝突によって生成された粒子を ATLAS 検出器によって検出し、標準模型の精密測定や新粒子探索などを行う実験である。LHC は 2018 年に Run-2 を終了し、2022 年 5 月から Run-3 を開始する予定である。2019 年から 2022 年 4 月にかけて、LHC 及び ATLAS 検出器のアップグレードが行われている。本章では、LHC の概要、運転計画、ATLAS 実験と Run-3 に向けたアップグレードについて述べる。

### 2.1 LHC 加速器

LHC はスイス・フランス国境のジュネーブ近郊の欧州原子核研究機構 (CERN) に設置された世界最大最高エネルギーの陽子陽子衝突型加速器である。周長約 27 km の円形の加速器であり、14 TeV の重心エネルギー、 $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  の瞬間ルミノシティで陽子陽子衝突が可能のように設計されている。陽子ビームはバンチと呼ばれる約  $10^{11}$  個の陽子のまとまりをもった構造になっており、各バンチの交差頻度は 40 MHz となっている。LHC の陽子ビームの 4 つの衝突点には ATLAS や CMS などの検出器が設置されている。LHC の全体像を図 2.1 に示す。

LHC は 2010 年から本格的に稼働し、2010 年から 2012 年までの運転期間を Run-1、2015 年から 2018 年までの運転期間を Run-2 と呼ぶ。Run-1 では重心系エネルギー 7 ~ 8 TeV、瞬間最高ルミノシティ  $0.77 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  で、Run-2 では重心系エネルギー 13 TeV、瞬間最高ルミノシティ  $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  での運転を行った。2021 年現在 LHC は運転休止中であり (Long Shutdown 2, LS2)、2022 年からの運転再開 (Run-3) に向けて加速器のアップグレードを行っている。このアップグレードを Phase-1 Upgrade と呼ぶ。Run-3 では重心系エネルギーを 13.6 TeV に増強し、瞬間最高ルミノシティ  $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  での運転を行い、2022 年から 2024 年の終わりまでに Run-2 で取得したデータと合わせて積分ルミノシティで  $350 \text{ fb}^{-1}$  のデータを取得する予定である。図 2.2 に LHC 加速器の運転スケジュールとアップグレード計画を示す。

このときビーム交差あたりの衝突数 (パイルアップ) は平均して 50 ~ 60 になると予想されている。Run-3 では 2022 年から 2024 年の終わりまでに Run-2 で取得したデータと合わせて積分ルミノシティで  $350 \text{ fb}^{-1}$  のデータを取得する予定である。

ルミノシティとは衝突型加速器における衝突点での粒子同士の衝突頻度を表す物理量であり、式 2.1 に示す。

$$L = \frac{N[\text{s}^{-1}]}{\sigma[\text{cm}^2]} \quad (2.1)$$

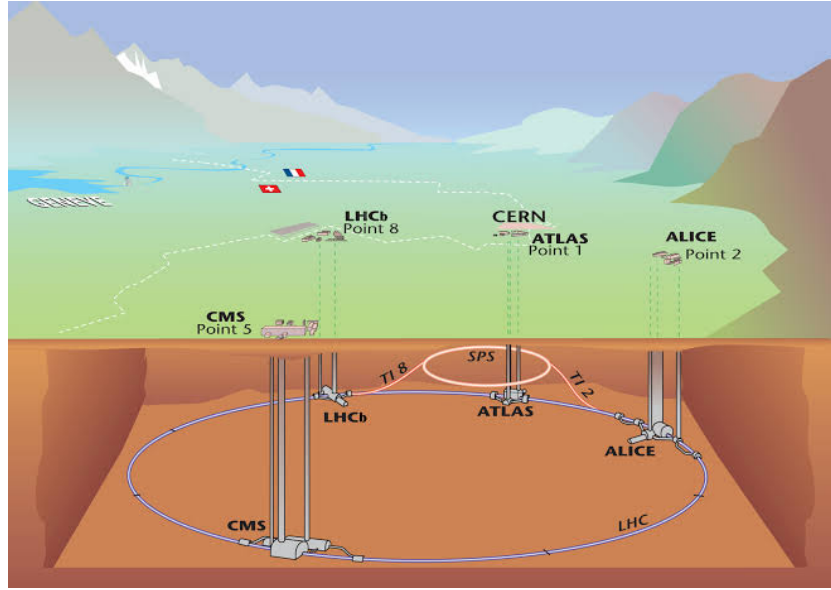


図 2.1 : LHC の全体像。地下 100 m にある LHC に設けられた 4 つの衝突点に ATLAS, CMS, ALICE, LHCb の各検出器が設置されている。

ここで、 $L$  はルミノシティ、 $N$  はビーム粒子の単位時間あたりの反応数、 $\sigma$  は全反応断面積を表す。毎秒あたりの衝突頻度である瞬間ルミノシティを時間で蓄積したものが積分ルミノシティであり、単位には  $\text{fb}^{-1}$  が用いられる。

## 2.2 ATLAS 実験

ATLAS 実験は LHC の衝突点に設置された ATLAS 検出器を用いて陽子陽子衝突から TeV スケールまでの高エネルギー物理事象を探求する実験である。2012 年には、同じ LHC の CMS 実験と共にヒッグス粒子を発見し、標準理論の完成に大きな役割を担った。現在は標準理論の精密測定、また標準理論を超える物理の探索を行っている。

### 2.2.1 ATLAS 実験における座標系と変数

ATLAS 実験で使用される座標系を導入する。ビーム軸方向に  $z$  軸を取り、検出器中心を原点とする。また、LHC のリングの中心方向が正となるように  $x$  軸を取る (右手系)。図 2.3 のように動径方向を  $R$ 、方位角を  $\phi$ 、極角を  $\theta$  で表すと、 $\theta$  方向は擬ラピディティ  $\eta$  で表現される。擬ラピディティ  $\eta$  はラピディティ  $y = \frac{1}{2} \ln\left(\frac{E+p_zc}{E-p_zc}\right)$  の高エネルギー極限 ( $m \ll E$ ) である。

$$\eta = \lim_{E, |p| \rightarrow \infty} \frac{1}{2} \ln\left(\frac{E+p_zc}{E-p_zc}\right) = \frac{1}{2} \ln\left(\frac{1+\cos\theta}{1-\cos\theta}\right) = \frac{1}{2} \ln\left(\frac{\cos\frac{\theta}{2}}{\sin\frac{\theta}{2}}\right) = -\ln \tan \frac{\theta}{2} \quad (2.2)$$

ATLAS 検出器の側面部分 (バレル領域) は  $|\eta| < 1.05$ 、底面部分 (エンドキャップ領域) は  $|\eta| >$



図 2.2 : LHC 加速器の運転とアップグレード計画 [24]。LHC では運転期間の間にアップグレードのためのシャットダウン期間を設けており、現在は Run-2 と Run-3 の間の Phase-1 Upgrade を行っている。

1.05 である。 $\eta > 0$  を A-side、 $\eta < 0$  を C-side と呼ぶ。また、粒子同士の距離  $\Delta R$  は擬ラピディティ  $\eta$  と方位角  $\phi$  を用いて  $\Delta R = \sqrt{\Delta\eta^2 + \Delta\phi^2}$  と定義される。

粒子のエネルギー、運動量を表す際にビーム軸に垂直な成分  $E_T$ 、 $p_T$  を利用する。これは、陽子陽子衝突実験において、衝突するクォーク・グルーオンの  $z$  軸方向のエネルギー・運動量は陽子内のパートン分布により不定であるため保存則を用いることはできない一方で、ビーム軸に垂直な方向にはエネルギー・運動量の保存則がほぼ成り立つためである。ビーム軸に垂直な成分の保存則を用いると、ニュートリノ等検出できなかった粒子によるエネルギーの 2 次元的なベクトルの和を得ることができる。この見えないエネルギーの和を  $E_T^{miss}$  (missing- $E_T$ , MET) と呼ぶ。

### 2.2.2 ATLAS 検出器

ATLAS 検出器は LHC の 4 つの衝突点のうちの 1 つに設置されている、直径 25 m、長さ 44 m、重さ約 7000 トンの円筒型の検出器である。ATLAS 検出器は内側から、内部飛跡検出器、カロリメータ、ミューオン検出器で構成されている。(またソレノイド磁石とトロイド磁石) これらの検出器からの情報を組み合わせることで、衝突点で生じた粒子の種類、エネルギー、運動量を計測する。

最も衝突点に近い飛跡検出器はソレノイド磁石の磁場内にあるため、検出した荷電粒子の飛跡の曲がり具合から粒子の運動量を計測することができる。ソレノイド磁石の外側にあるカロリメータは、電磁カロリメータとハドロンカロリメータの 2 種類からなる。電磁カロリメータでは電子や光子を、ハドロンカロリメータでは陽子や中性子などのハドロンを、ミューオン検出器ではミューオンを検出する。電磁カロリメータでは電子と光子のエネルギーを計測し、ハドロンカロリメータでは  $\pi$  中間子等のハドロンエネルギーを測定し、クォークやグルーオンから生じるジェットの再構成を行う。



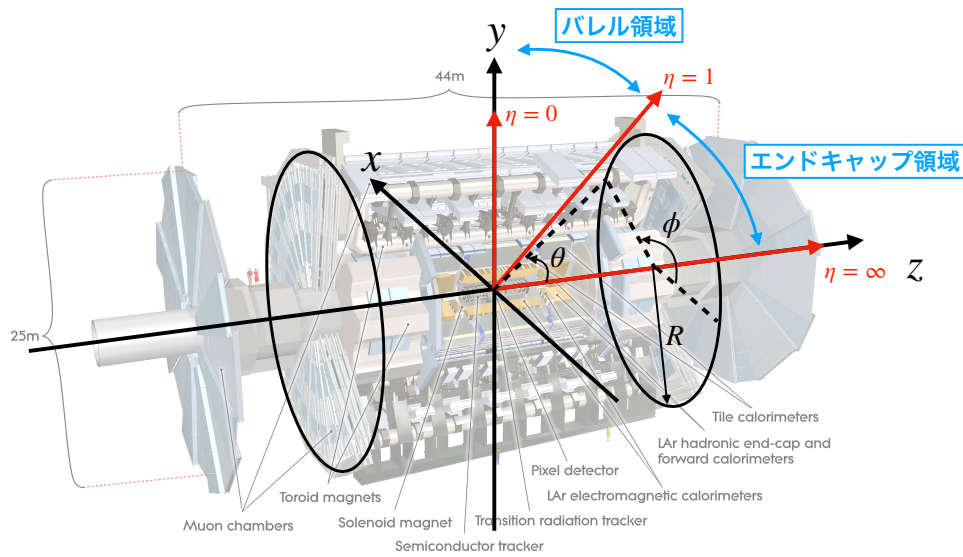


図 2.3 : ATLAS 実験で用いられる座標系 [6]。

ミュオン検出器の詳細は 2.2.4 節で述べるが、MDT (Monitored Drift Tube)、RPC (Resistive Plate Chamber)、TGC (Thin Gap Chamber)、NSW (New Small Wheel) の 4 種類がある。MDT、NSW が精密測定用の検出器であり、RPC、TGC、NSW がトリガーシステム用の検出器である (NSW は両方に用いられる)。

### 2.2.3 超伝導磁石

ATLAS 実験では、荷電粒子の運動量測定のために超伝導磁石を用いて内部に磁場をかけている。超伝導磁石は 2 種類あり、1 つは衝突点付近で発生した荷電粒子の運動量測定のために用いられるソレノイド磁石であり、もう 1 つはミュオンの運動量測定のために用いられるトロイド磁石である。図 2.4 に各超伝導磁石の配置を示す。トロイド磁石はバレル部とエンドキャップ部に分けられ、それぞれ  $\phi$  方向に 8 回対称で設置されている。ただし、バレル部とエンドキャップ部での磁場の干渉を考慮して、エンドキャップ部のトロイド磁石はバレル部に対して 22.5 度回転した状態で配置されている。トロイド磁場による磁場は  $\eta$  によっても  $\phi$  によっても磁場が均一でなく、 $|\eta| = 1.5$  付近では磁場が弱い領域が存在し、運動量の大きさによらずミュオン検出器でミュオンの曲がり測定できないために横運動量  $p_T$  の判定能力が低いことがある。バレル部とエンドキャップ部のトロイド磁石によって生じる磁場の  $|\eta|$  分布を図 2.5 に、 $xy$  平面での分布を図 2.6 に示す。

### 2.2.4 ミュオン検出器

ミュオンは寿命が  $2.2 \mu\text{s}$  と長く、電子に比べて制動放射によるエネルギー損失が小さいため物質に対する透過力が高い。そのためカロリメータを通過し、最外層に設置されたミュオン

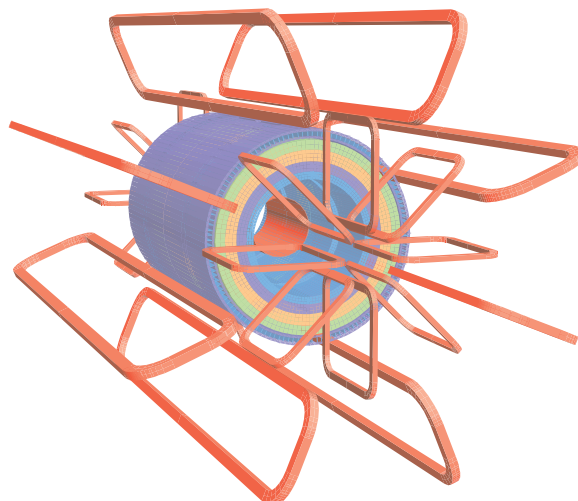


図 2.4 : ATLAS 検出器の超伝導磁石の配置 [25]。超伝導磁石は赤で描かれている。バレル部とエンドキャップ部の境界での磁場の干渉を考慮して、トロイド磁石はバレル部とエンドキャップ部でずらして設置している。トロイダルコイル磁場では、磁場空間が自己閉回路となる。

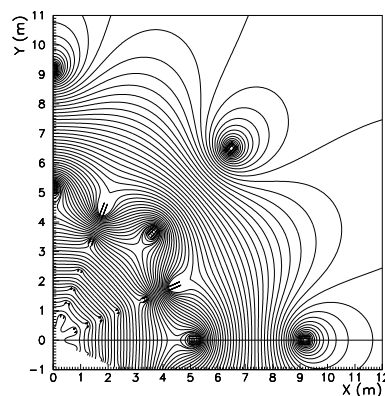
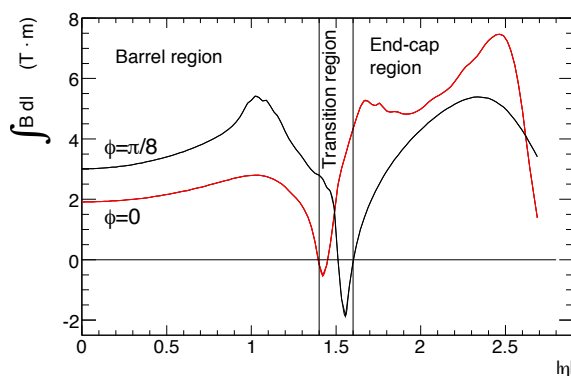


図 2.5 : トロイド磁石による磁場の  $\eta$  に対する依存性 [25]。図 2.6 : ビーム軸から見た  $xy$  平面での  $|\eta| = 1.5$  付近の transition region はバレル部とエンドキャップ部のトロイド磁石の境界を示している。赤い線と黒い線はそれぞれ  $\phi = 0$  と  $\phi = \pi/8$  における  $\eta$  に対する依存性を示している。

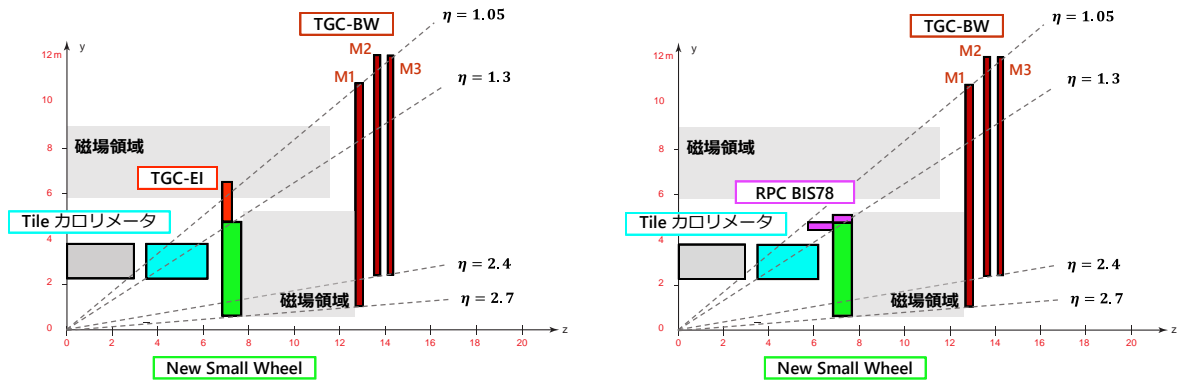


図 2.7 : (a)Large Sector でのミュオン検出器の配置図。TGC-BW, NSW, TGC-EI, Tile カロリメータが配置されている。(b)Small Sector でのミュオン検出器の配置図。TGC-BW, NSW, RPC BIS78, Tile カロリメータが配置されている。

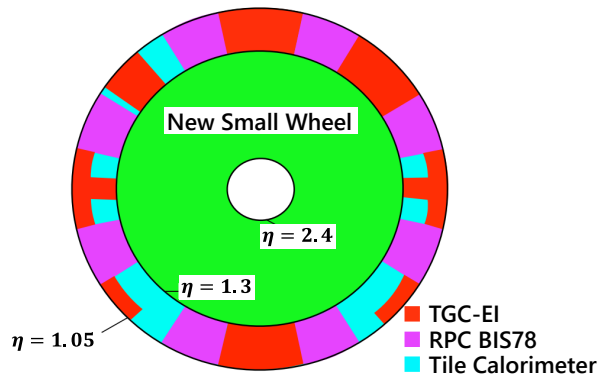


図 2.8 : 磁場の内側の各検出器の覆う領域<sup>[27]</sup>。1.05 < |η| < 1.3 の領域に TGC-EI、Tile カロリメータ、RPC BIS78 が設置されている。1.05 < |η| < 1.3 の全 φ 領域に Tile カロリメータは設置されている。1.3 < |η| < 2.7 の領域には NSW が設置されている。

検出器で検出する。図 2.7 に Run-3 におけるミュオン検出器を示した。初段ミュオントリガーに用いられるミュオン検出器は、TGC (Thin Gap Chamber)、NSW (New Small Wheel)、RPC (Resistive Plate Chamber) の 3 種類である。また、Tile カロリメータは厳密にはミュオン検出器ではないものの初段ミュオントリガーに用いられるためここで説明する。

図 2.8 に磁場領域より内側にある検出器が覆っている領域を表す。TGC-EI がカバーする領域 (赤色) や RPC BIS78 がカバーする領域 (紫色) には Tile カロリメータも設置されている。

### (1) Thin Gap Chamber (TGC)

TGC は  $1.05 < |\eta| < 2.4$  のエンドキャップ領域でミュオントリガー判定に用いられる検出器である。TGC の写真を図 2.9 に、構造を図 2.10 に示す。

TGC はワイヤー間隔 1.8 mm の Multi Wired Proportional Chamber (MWPC) である。反対側の面にはワイヤーと直交する向きにストリップが配置されている。ミュオンの位置情報のう

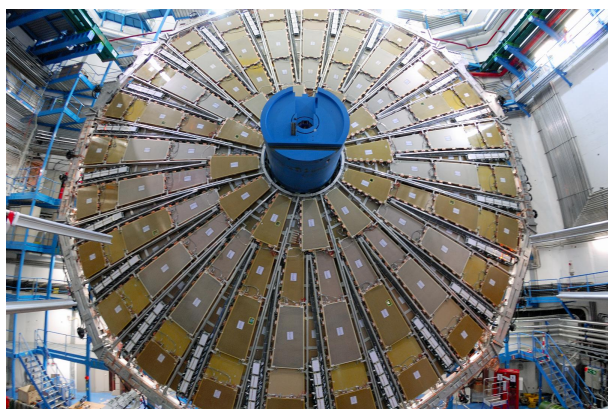


図 2.9 : TGC 検出器の写真 [28]。円筒形の ATLAS 検出器の蓋部分に設置されている。

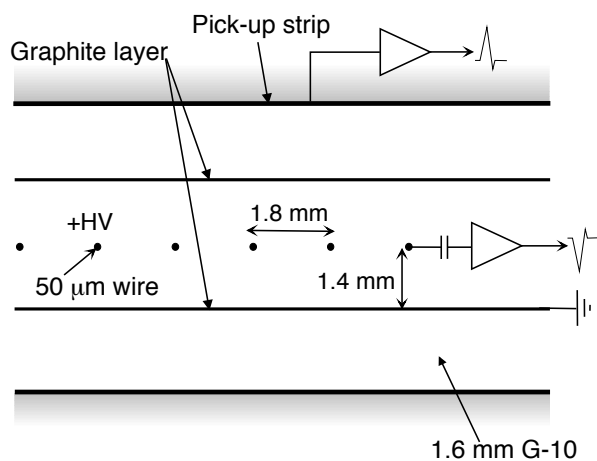


図 2.10 : TGC 検出器の構造図 [25]。アノードワイヤーから  $R$  方向、カソードストリップから  $\phi$  方向の位置情報を測定する。

ち  $R$  をアノードワイヤーから、 $\phi$  をカソードストリップから読み出している。ガスギャップやワイヤー間隔が小さいため時間応答が非常によく、入射角によるが、信号の到達時間は 99 % の確率で 25 ns 以内である。TGC の分解能は  $R$  方向に 2 ~ 6 mm、 $\phi$  方向に 3 ~ 7 mm である。

図 2.11 に示すように、TGC には Doublet と Triplet の 2 種類がある。Doublet は 2 層のストリップ面、2 層のワイヤー面から信号が読み出される。しかし Triplet では真ん中の層にストリップ面がないため、2 層のストリップ面、3 層のワイヤー面から信号が読み出される。TGC は磁場の内側にチェンバーを 1 つ、磁場の外側にチェンバー 3 つを設置している。

## (2) New Small Wheel (NSW)

NSW は磁場の内側に  $1.3 < |\eta| < 2.7$  の全  $\phi$  領域を覆うように設置される。NSW の構造を図 2.12、1 セクターの構成を図 2.13、1 チェンバーの構造を図 2.14 に示す。NSW は small-strip TGC (sTGC) と Micromegas (MM) の 2 種類の検出器を 4 層ずつ組み合わせた構造をしており、

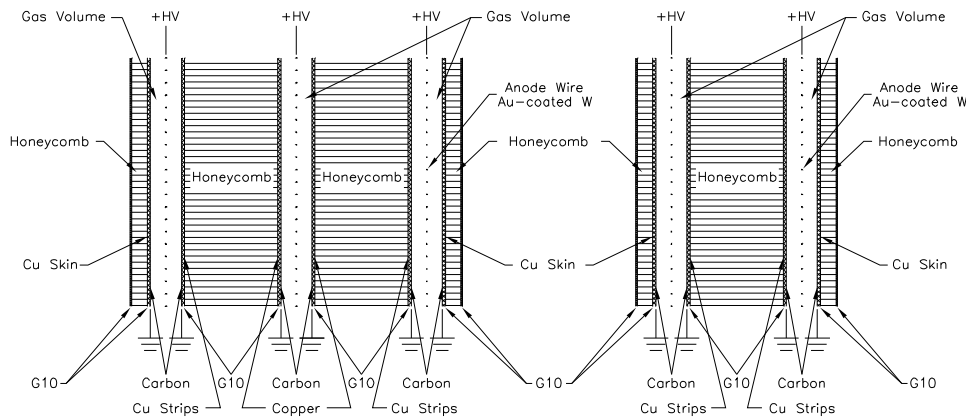


図 2.11 : TGC Doublet と Triplet の断面図 [25]。Triplet はワイヤー面が 3 層構造であるが、ストリップ面は 2 層構造である。

位置情報だけでなく飛跡の再構成による角度情報も得られる。初段トリガーに用いることのできる位置分解能は  $\eta$  が 0.005、 $\phi$  が 10 mrad、ビーム軸に対する角度分解能 1 mrad である。

### small-strip Thin Gap Chamber (sTGC)

sTGC の構造を図 2.15 に示す。sTGC は TGC と同じく、ワイヤー間隔 1.8 mm の MWPC である。sTGC と TGC の主な違いは  $\eta$  方向の位置座標の読み出しをストリップで、 $\phi$  方向の位置座標の読み出しをワイヤーで行う点である。またストリップは現行の TGC よりも小さい 3.2 mm 間隔であり、ストリップから読み出した電荷情報を用いて重心の計算を行い、位置分解能 60 ~ 150  $\mu\text{m}$  で粒子の飛跡を特定できる。さらに現行の TGC と異なり、パッドと呼ばれるものを用いることで、まずミュオンの飛跡を粗く再構成し、より精密な飛跡再構成を行うために必要なストリップの情報を選別する。

### micro mesh gaseous structure (Micromegas, MM)

MM は、平面の電極と金属のメッシュで構成されており、増幅はメッシュ以降の短い領域で行う。図 2.16 に MM の動作原理を示す。ドリフト領域ではメッシュ以降の領域に比べて移動速度が比較的遅いため、読み出す信号の時間差を用いてドリフト距離を見積もることができる。これにより検出器に垂直に入射していないミュオンに対しても十分な位置分解能を得ることができる。1 つの MM での位置分解能は入射角度が  $40^\circ$  の時、約 90  $\mu\text{m}$  である。

### (3) Resistive Plate Chamber (RPC)

RPC は  $|\eta| < 1.05$  のバレル領域でミュオントリガー判定に用いられる検出器である。図 2.17 に示すように全部で 3 層設置されている。RPC は高抵抗のプレートを用いており、直交するストリップで  $\eta$  と  $\phi$  の位置情報を読み出す。各検出器は 2 層構造をしており、RPC の分解能は  $z$  方向に 10 mm、 $\phi$  方向に 10 mm である。

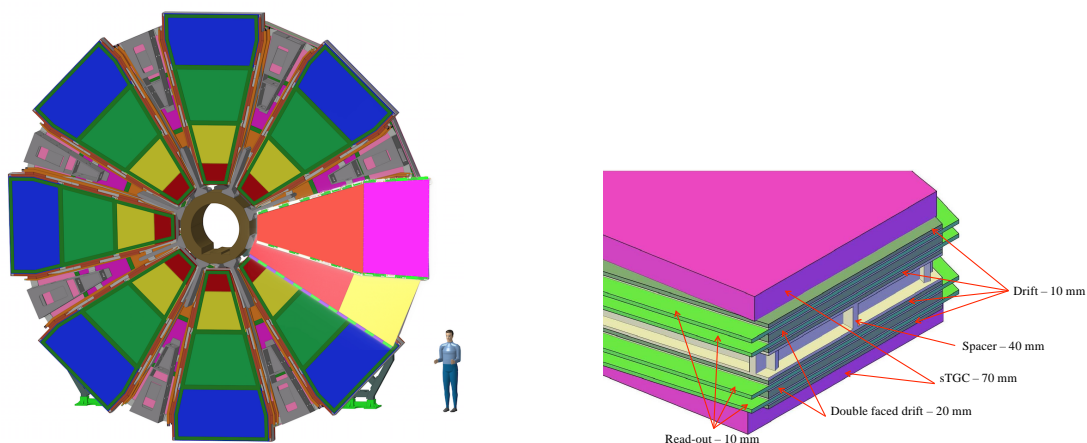


図 2.12 : NSW の構造 [29]。Large Sector と図 2.13 : NSW の 1 セクターの構成 [30]。4 層構造 Small Sector の 2 種類のチェンバーを交互に配置している。4 層構造の sTGC の間に 4 層構造の MM が 2 つ挟まれた構造になっている。

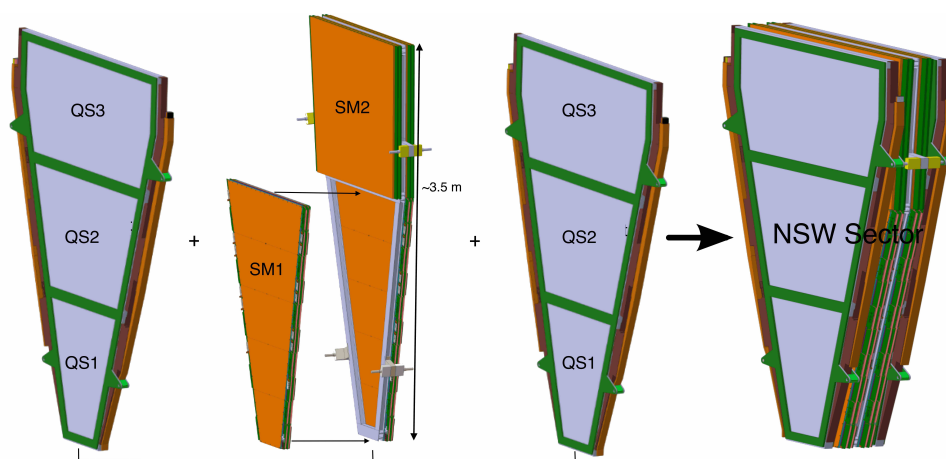


図 2.14 : Small Sector の 1 チェンバーの構造 [29]。sTGC の間に、4 層で構成されている MM が 2 つ挟まれており、合計 16 層で構成されている。Large Sector も同様の構造をしている。

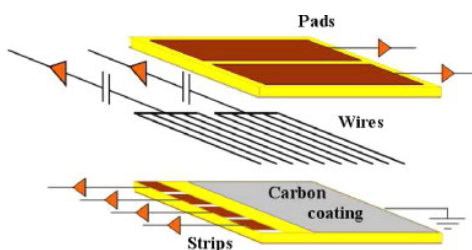


図 2.15 : sTGC の断面図 [30]。パッド、ストリップから  $\eta$  方向を、ワイヤーを用いて  $\phi$  方向の位置情報を計算する。

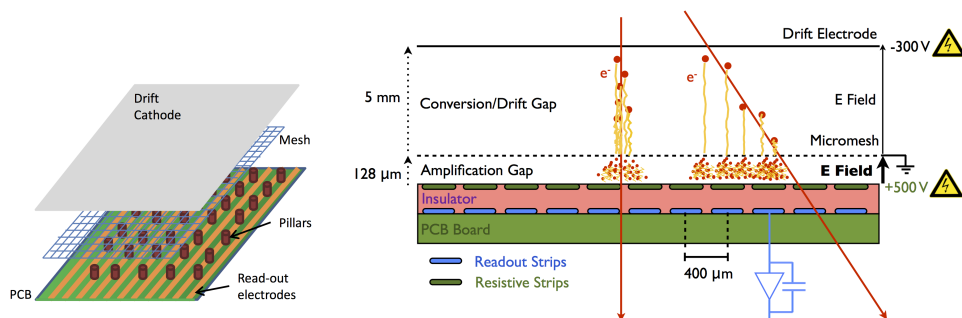


図 2.16 : MM の断面図と動作原理 [31]。メッシュによってドリフト領域と増幅領域に分けられる。

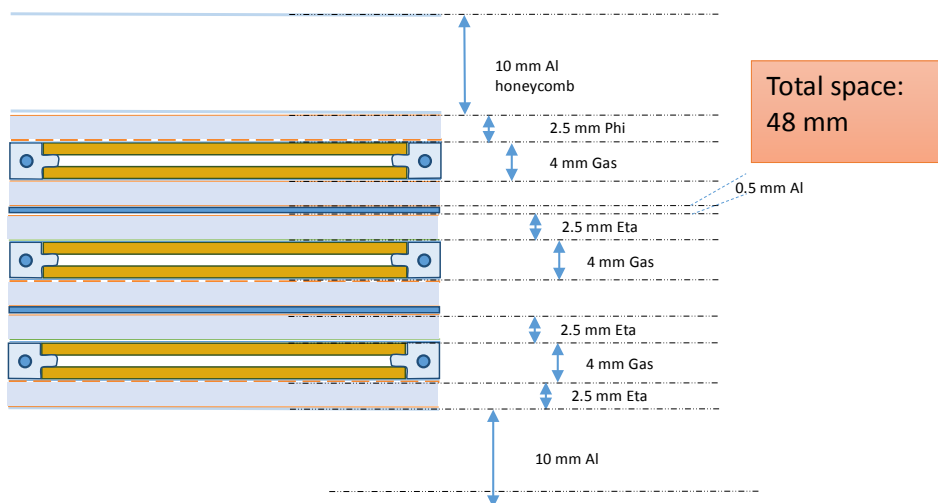


図 2.17 : RPC BIS78 の断面図 [32]。

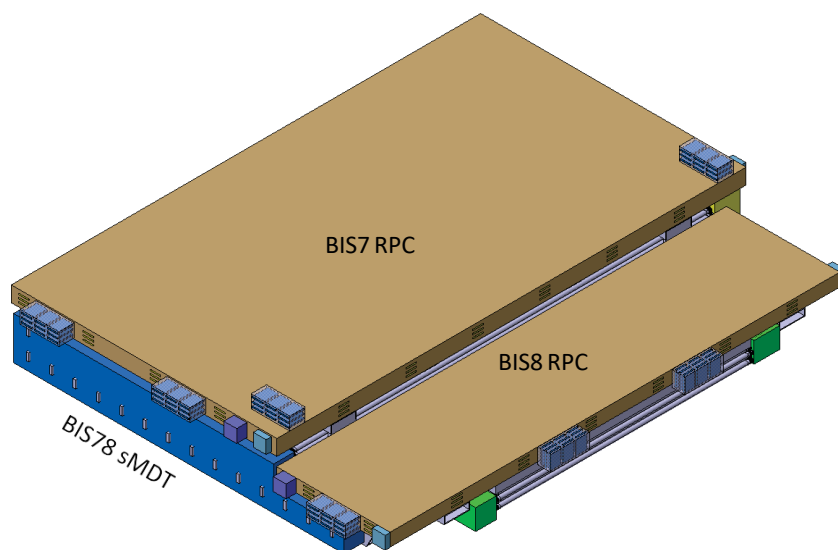


図 2.18 : BIS78 スターションの概要図 [33]。sMDT BIS78 と 3 層の RPC BIS78 で構成される。

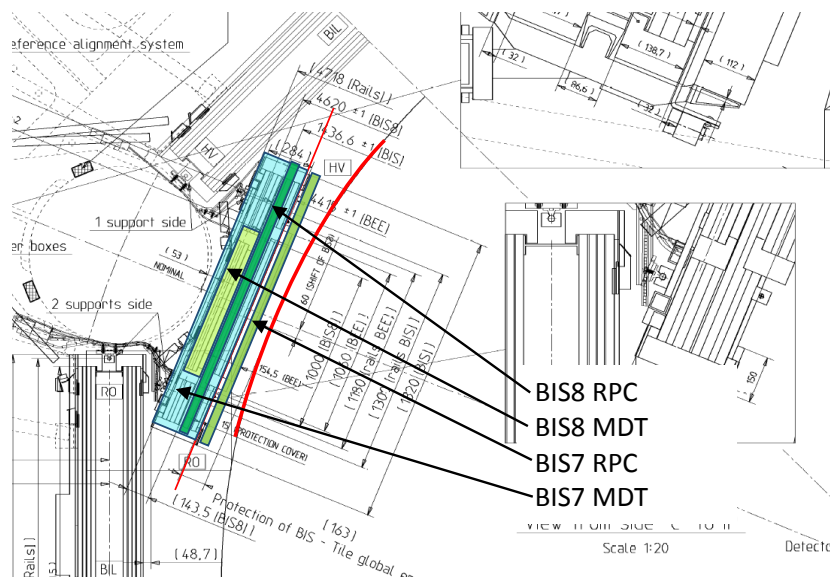


図 2.19 : ビーム軸方向から見た RPC BIS78 と sMDT BIS78 の配置図 [32]。バレルトロイド磁石と干渉しないように配置されている。

### RPC BIS78

RPC の最内層の検出器は  $z$  軸の小さい衝突点側から 1, 2, 3... とナンバリングされており、BIS78 は BIS (“Barrel Inner Small sector”) ステーションの 7 番目と 8 番目の位置を指す。現在この場所には精密測定用検出器の MDT (MDT BIS78) が設置されている。初段トリガーには MDT で得られた情報を用いることができないため、バレル部分のこの領域にはミュオントリガー用検出器が存在しなかったが、Phase-1 Upgrade で A-side にのみ設置されることになった。この部分に設置される RPC と sMDT ステーションを図 2.18 に、その配置を図 2.19 に示す。

#### (4) Tile カロリメータ

Tile カロリメータは電磁カロリメータの外側に設置されたハドロンカロリメータであり、図 2.20 に示すように鉄とタイル状のシンチレータを交互に重ねた構造をしている。Tile カロリメータは  $|\eta| < 1.0$  の領域を覆うバレル部分と  $0.8 < |\eta| < 1.7$  の領域を覆う Extended バレル部分に分かれている。また Tile カロリメータは  $\phi$  方向に 64 分割したものをモジュールと呼び、信号読み出し単位としている。このモジュールは図 2.21 に示すように  $R$  方向に A 層、B/C 層、D 層の 3 層のセルに分割され、各層の信号は独立に読み出される。最外層の D 層に到達する粒子のほとんどがミュオンであることを利用して、ミュオン検出器としても用いられる。

### 2.2.5 トリガーシステム

ATLAS 実験では、LHC 加速器による 40 MHz の陽子バンチ衝突を用いて測定を行う。現行のシステムで記録できるイベントレートは約 1 kHz である。そのため、不要な事象を排除しながら



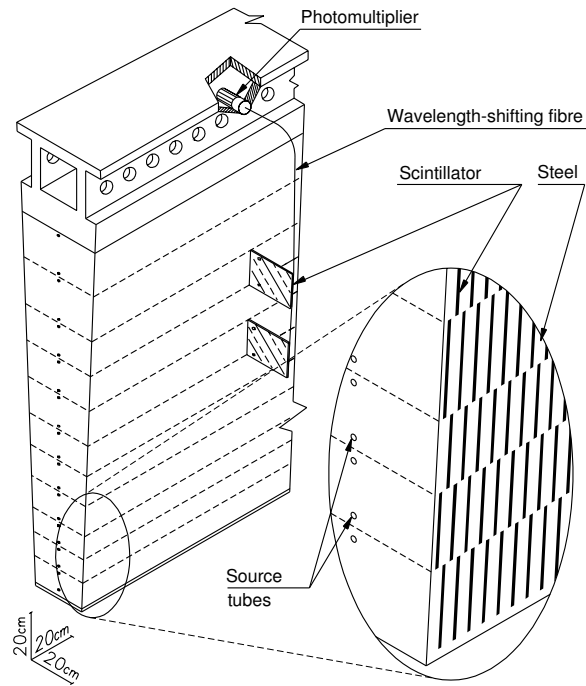


図 2.20 : Tile カロリメータの構造図 [25]。吸収体の鉄とシンチレータが積み重なっている。シンチレータから出た光はタイルの端から 2 本の波長変換ファイバーを用いて読み出され、各モジュールの外側に配置されている PMT に集められる。

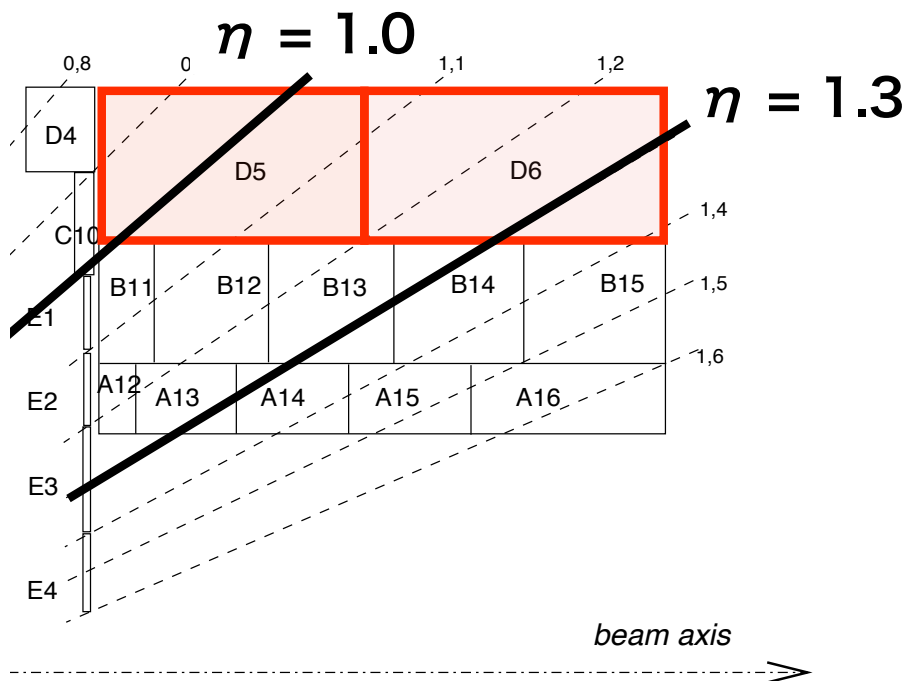


図 2.21 : Tile カロリメータのセルの配置図 [25]。Tile カロリメータは  $R$  方向に 3 層構造をしており、各層の信号は独立に読み出される。D 層に入射する粒子のほとんどがミューオンであり、D5、D6 の情報は TGC-BW とコインシデンスをとるために用いられる。

重要な物理事象を効率良く取得する“トリガー”が重要となる。ATLAS 検出器のトリガーシステムは、ハードウェアにより高速なトリガー判定を行う Level-1 Trigger (L1 Trigger, 初段トリガー) とソフトウェアにより精密なトリガー判定を行う High-Level Trigger (HLT) で構成されている。トリガーの構成を図 2.22 に示す。

### Level-1 Trigger

初段トリガーは ATLAS 検出器から送られてくる 40 MHz のデータに対してトリガー判定を行い、 $2.5 \mu\text{s}$  以内にイベントレートを 100 kHz まで下げる。高速なトリガー判定を実現するために、Application Specific Integrated Circuit (ASIC) や Field Programmable Gate Array (FPGA) などの論理回路で構成されるハードウェアで実装されている。ASIC は特定の用途向けに複数の回路を 1 つにまとめたもので、高速な動作速度や低い消費電力を実現できる一方、回路の修正が困難である。FPGA は ASIC と同様に特定の処理を行うように設計可能な集積回路で、ASIC と比較して価格が高く、処理速度が遅い一方で、何度でも書き換え可能であるというメリットがある。

Level-1 Muon (L1Muon) はバレル部の RPC とエンドキャップ部の TGC から情報を受け取り、それぞれ独立にミューオン候補の判定を行う。バレル部とエンドキャップ部で独立に判定された L1Muon の情報は Muon-to-CTP interface (MUCTPI)(Appendix D.3.1) で統合される。Level-1 Calo (L1Calo) は電磁カロリメータとハドロンカロリメータの情報を統合して、電子/フォトンと  $\tau$  候補、ジェット候補の判定を行う。

その後、初段トリガーの情報は Central Trigger Processor (CTP)(Appendix D.3.3) と Topological Trigger (L1Topo)(Appendix D.3.2) に送られる。L1Topo は、L1Calo と L1Muon から受け取ったトリガーオブジェクトの位置や粒子の横運動量などの情報を組み合わせてトリガー判定を行う。CTP は、L1Calo、L1Muon、L1Topo から情報を受け取り、トリガーレートが 100 kHz を超えないようにトリガー条件ごとに決められたプリスケールリングファクターをかけてトリガーの発行を行う。初段トリガーでトリガーを発行した場合、各検出器のフロントエンド回路には Level-1 Accept (L1A) 信号が送られ、トリガーを発行したイベントの情報が読み出される。

初段トリガーでは、衝突事象が起きてから一定の時間でトリガー判定を行う、“Fixed Latency システム”を採用している。フロントエンド回路上のバッファメモリは常に一定の時間データを保持して、L1A 信号を受け取った場合にはデータを後段の ReadOut Driver (ROD) に送り、L1A 信号を受け取らなかった場合はバッファメモリで保持していたデータを破棄する。

### High-Level Trigger

HLT は、初段トリガーで定義された粒子のトリガー判定領域に対して、その周辺の検出器情報を用いて、ミューオン、電子、光子などをソフトウェアを用いたオフライン解析に近いアルゴリズムで再構成することにより、初段トリガーより精密なトリガー判定を行う。HLT では、初段トリガーで用いられなかった内部飛跡検出器の情報、精密測定用のミューオン検出器の情報、L1Calo

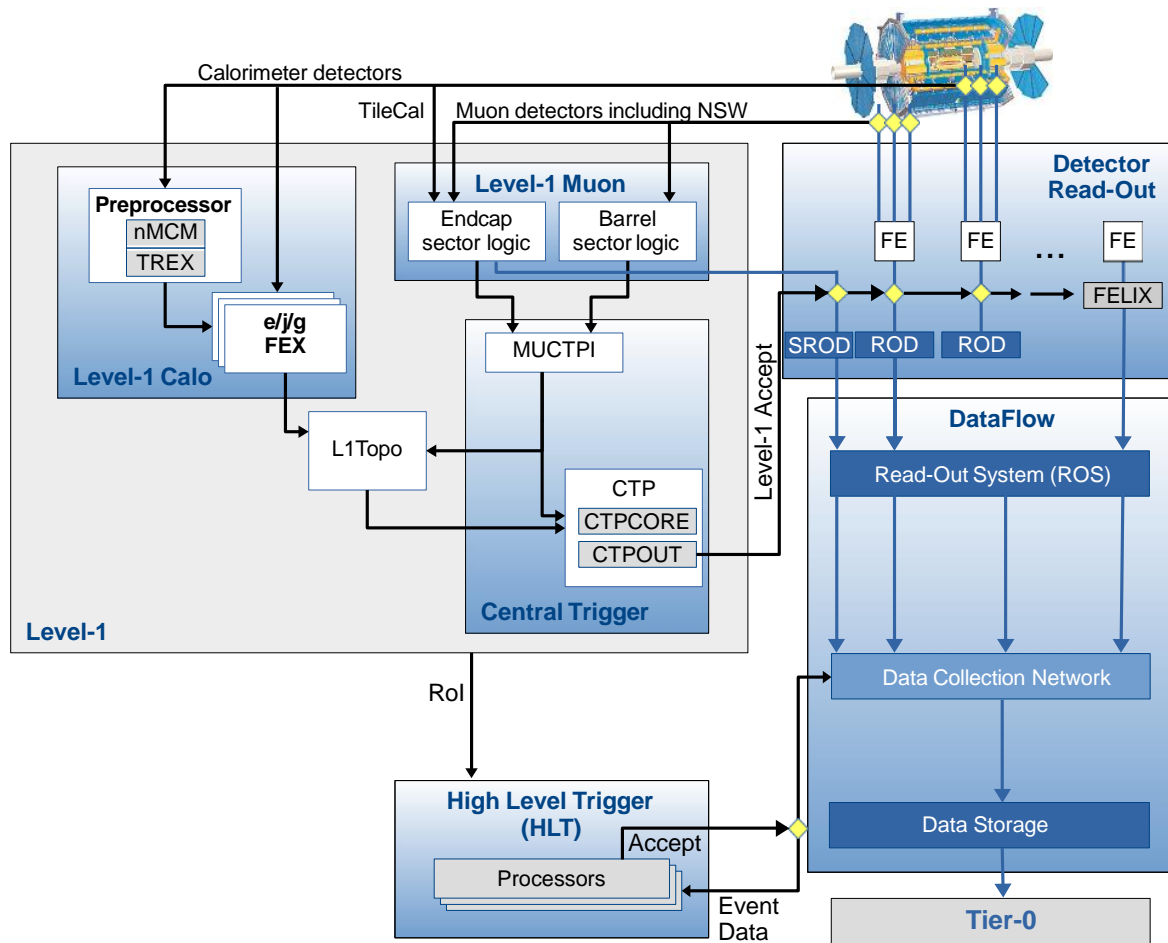


図 2.22 : Run-3 におけるトリガーシステムの概要 [34]。トリガーシステムは初段トリガーと HLT の 2 段階のトリガーで構成されている。

で用いられた位置分解能より細かいカロリメータの情報などを用いて、飛跡再構成やより高精度な  $E_T$ 、 $p_T$  の計算を行う。トリガーレートは HLT を用いて最終的に約 1 ~ 2 kHz まで削減される。

### トリガーマニュー

初段トリガーおよび HLT では、限られたレートの中に解析に必要なトリガー情報を全て収めなければならない。初段トリガー、HLT におけるトリガー要求を合わせたものをトリガーチェーンと呼び、限られたレートをどのトリガーチェーンに配分するかまとめたものがトリガーマニューである。図 2.23 に Run-2 におけるトリガーマニューの一例を示す。

Trigger	Typical offline selection	Trigger Selection		L1 Peak Rate [kHz] $L=2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$	HLT Peak Rate [Hz]
		L1 [GeV]	HLT [GeV]		
Single leptons	Single isolated $\mu$ , $p_T > 27 \text{ GeV}$	20	26 (i)	16	218
	Single isolated tight $e$ , $p_T > 27 \text{ GeV}$	22 (i)	26 (i)	31	195
	Single $\mu$ , $p_T > 52 \text{ GeV}$	20	50	16	70
	Single $e$ , $p_T > 61 \text{ GeV}$	22 (i)	60	28	20
	Single $\tau$ , $p_T > 170 \text{ GeV}$	100	160	1.4	42
Two leptons	Two $\mu$ , each $p_T > 15 \text{ GeV}$	$2 \times 10$	$2 \times 14$	2.2	30
	Two $\mu$ , $p_T > 23, 9 \text{ GeV}$	20	22, 8	16	47
	Two very loose $e$ , each $p_T > 18 \text{ GeV}$	$2 \times 15$ (i)	$2 \times 17$	2.0	13
	One $e$ & one $\mu$ , $p_T > 8, 25 \text{ GeV}$	20 ( $\mu$ )	7, 24	16	6
	One loose $e$ & one $\mu$ , $p_T > 18, 15 \text{ GeV}$	15, 10	17, 14	2.6	5
	One $e$ & one $\mu$ , $p_T > 27, 9 \text{ GeV}$	22 (e, i)	26, 8	21	4
	Two $\tau$ , $p_T > 40, 30 \text{ GeV}$	20 (i), 12 (i) (+jets, topo)	35, 25	5.7	93
	One $\tau$ & one isolated $\mu$ , $p_T > 30, 15 \text{ GeV}$	12 (i), 10 (+jets)	25, 14 (i)	2.4	17
	One $\tau$ & one isolated $e$ , $p_T > 30, 18 \text{ GeV}$	12 (i), 15 (i) (+jets)	25, 17 (i)	4.6	19
Three leptons	Three very loose $e$ , $p_T > 25, 13, 13 \text{ GeV}$	$20, 2 \times 10$	$24, 2 \times 12$	1.6	0.1
	Three $\mu$ , each $p_T > 7 \text{ GeV}$	$3 \times 6$	$3 \times 6$	0.2	7
	Three $\mu$ , $p_T > 21, 2 \times 5 \text{ GeV}$	20	$20, 2 \times 4$	16	9
	Two $\mu$ & one loose $e$ , $p_T > 2 \times 11, 13 \text{ GeV}$	$2 \times 10$ ( $\mu$ )	$2 \times 10, 12$	2.2	0.5
	Two loose $e$ & one $\mu$ , $p_T > 2 \times 13, 11 \text{ GeV}$	$2 \times 8, 10$	$2 \times 12, 10$	2.3	0.1
Single photon	One loose $\gamma$ , $p_T > 145 \text{ GeV}$	24 (i)	140	24	47
Two photons	Two loose $\gamma$ , each $p_T > 55 \text{ GeV}$	$2 \times 20$	$2 \times 50$	3.0	7
	Two $\gamma$ , $p_T > 40, 30 \text{ GeV}$	$2 \times 20$	35, 25	3.0	21
	Two isolated tight $\gamma$ , each $p_T > 25 \text{ GeV}$	$2 \times 15$ (i)	$2 \times 20$ (i)	2.0	15
Single jet	Jet ( $R = 0.4$ ), $p_T > 435 \text{ GeV}$	100	420	3.7	35
	Jet ( $R = 1.0$ ), $p_T > 480 \text{ GeV}$	111 (topo: $R = 1.0$ )	460	2.6	42
	Jet ( $R = 1.0$ ), $p_T > 450 \text{ GeV}$ , $m_{\text{jet}} > 45 \text{ GeV}$	111 (topo: $R = 1.0$ )	$420, m_{\text{jet}} > 35$	2.6	36
$b$ -jets	One $b$ ( $\epsilon = 60\%$ ), $p_T > 285 \text{ GeV}$	100	275	3.6	15
	Two $b$ ( $\epsilon = 60\%$ ), $p_T > 185, 70 \text{ GeV}$	100	175, 60	3.6	11
	One $b$ ( $\epsilon = 40\%$ ) & three jets, each $p_T > 85 \text{ GeV}$	$4 \times 15$	$4 \times 75$	1.5	14
	Two $b$ ( $\epsilon = 70\%$ ) & one jet, $p_T > 65, 65, 160 \text{ GeV}$	$2 \times 30, 85$	$2 \times 55, 150$	1.3	17
	Two $b$ ( $\epsilon = 60\%$ ) & two jets, each $p_T > 65 \text{ GeV}$	$4 \times 15,  \eta  < 2.5$	$4 \times 55$	3.2	15
Multijets	Four jets, each $p_T > 125 \text{ GeV}$	$3 \times 50$	$4 \times 115$	0.5	16
	Five jets, each $p_T > 95 \text{ GeV}$	$4 \times 15$	$5 \times 85$	4.8	10
	Six jets, each $p_T > 80 \text{ GeV}$	$4 \times 15$	$6 \times 70$	4.8	4
	Six jets, each $p_T > 60 \text{ GeV}$ , $ \eta  < 2.0$	$4 \times 15$	$6 \times 55,  \eta  < 2.4$	4.8	15
$E_T^{\text{miss}}$	$E_T^{\text{miss}} > 200 \text{ GeV}$	50	110	5.1	94
$B$ -physics	Two $\mu$ , $p_T > 11, 6 \text{ GeV}$ , $0.1 < m(\mu, \mu) < 14 \text{ GeV}$	11, 6	11, 6 (di- $\mu$ )	2.9	55
	Two $\mu$ , $p_T > 6, 6 \text{ GeV}$ , $2.5 < m(\mu, \mu) < 4.0 \text{ GeV}$	$2 \times 6$ ( $J/\psi$ , topo)	$2 \times 6$ ( $J/\psi$ )	1.4	55
	Two $\mu$ , $p_T > 6, 6 \text{ GeV}$ , $4.7 < m(\mu, \mu) < 5.9 \text{ GeV}$	$2 \times 6$ ( $B$ , topo)	$2 \times 6$ ( $B$ )	1.4	6
	Two $\mu$ , $p_T > 6, 6 \text{ GeV}$ , $7 < m(\mu, \mu) < 12 \text{ GeV}$	$2 \times 6$ ( $\Upsilon$ , topo)	$2 \times 6$ ( $\Upsilon$ )	1.2	12
Main Rate				86	1750
$B$ -physics and Light States Rate					200

図 2.23 : Run-2 におけるトリガーマニューの一例 [35]。瞬間ルミノシティ  $L = 2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  における初段トリガーと HLT のトリガーレートを示している。

## 第3章 初段エンドキャップ部ミュオントリガー

ATLAS 検出器でのミュオントリガーは、RPC を用いるバレル部と TGC を用いるエンドキャップ部に分かれている。本章では、ATLAS 実験 Run-3 における初段エンドキャップ部ミュオントリガーアルゴリズムについて説明した後、Run-2 からの向上点について説明する。

### 3.1 初段エンドキャップ部ミュオントリガーシステム

初段エンドキャップ部ミュオントリガーはエンドキャップ部のミュオン検出器から 40 MHz で送られてくるヒット情報に対してトリガー判定を行う。衝突事象が起きてから一定の時間でトリガー判定を行い、トリガー判定された事象のデータを読み出し回路に送信し、HLT に送信する。

#### 3.1.1 TGC の配置

図 3.1 に TGC の配置図を示す。TGC は磁場領域より内側に EI (Endcap Inner) と呼ばれるステーション、磁場領域より外側に M1、M2、M3 (Middle 1,2,3) と呼ばれる 3 つのサブステーションが配置されている。

磁場領域より外側にある M1 ステーションは TGC Triplet で構成されており、M2、M3 ステーションは TGC Doublet で構成されている。M1、M2、M3 は図 3.2 のような円盤状の構造をしており、TGC Big Wheel (TGC-BW) と呼ぶ。M1、M2、M3 のヒット情報をトリガー判定に用いる。M3 はミュオントリガーの位置情報を決定するための基準として用いられており、Pivot plane と呼ばれている。

磁場領域より内側にある EI ステーションは TGC Doublet で構成されており、図 3.3 のように一部の  $\phi$  領域をカバーしている。これは EI チェンバーはトロイド磁石と干渉しないように配置されているためである。TGC-EI のヒット情報を TGC-BW の飛跡情報とコインシデンスをとるために用いる。

#### 3.1.2 トリガーセクター

TGC のトリガー判定に用いられる単位の模式図を図 3.4 に示す。TGC のトリガー判定はトリガーセクターごとに行われ、領域内のミュオンの情報から判定結果が出される。エンドキャップ部のトリガーセクターは、 $1.05 < |\eta| < 1.9$  をエンドキャップ領域、 $1.9 < |\eta| < 2.4$  をフォロー

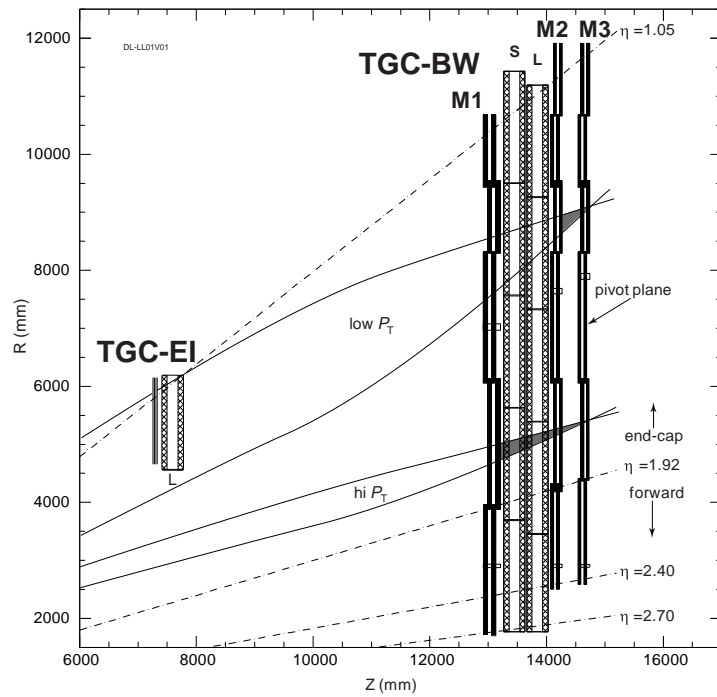


図 3.1 : TGC の配置図 [37]。磁場領域より内側に EI が、外側に M1、M2、M3 の3つのサブステーションが配置されている。HPT コインシデンス (hi Pt) は M1-M3 ステーション間でとる。LPT コインシデンス (low Pt) は M2-M3 ステーション間でとる。

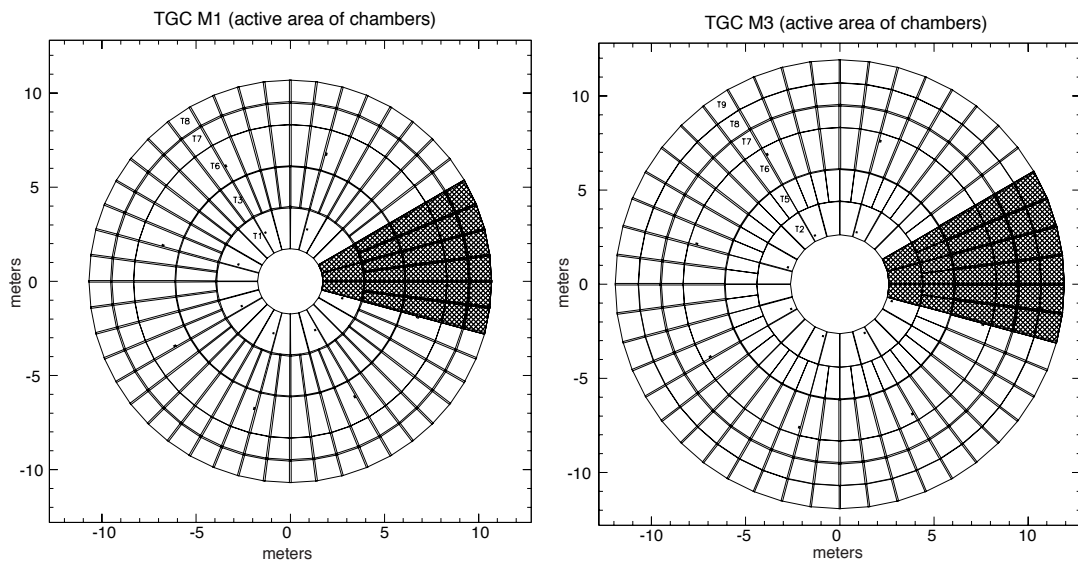


図 3.2 : TGC の M1、M3 ステーションの配置図 [37]。実線で囲まれた1つのマスが1つのチェンバーに相当する。M2 ステーションも同様に全  $\phi$  領域をカバーしている。影がついた部分は  $\phi$  方向に8分割した1つの領域を示している。

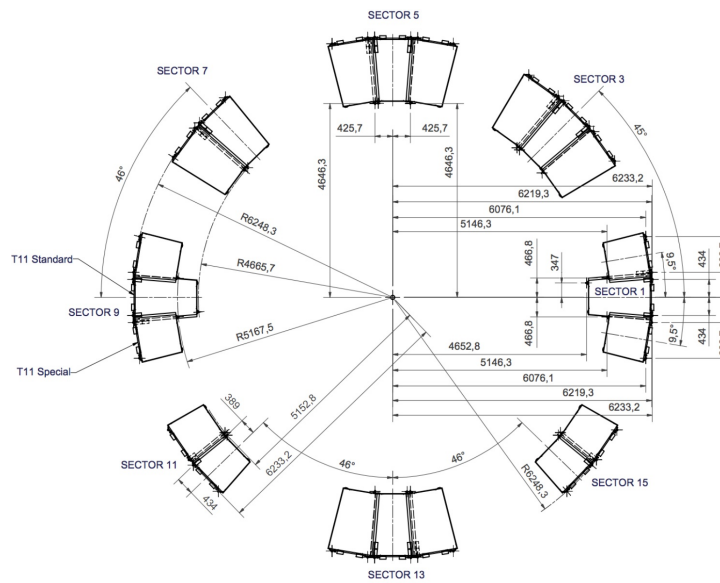


図 3.3 : TGC-EI ステーションの配置図 [33]。バレル部のトロイドマグネットやカロリメータ等と干渉しないように TGC 検出器が配置されているため全  $\phi$  領域をカバーしていない。

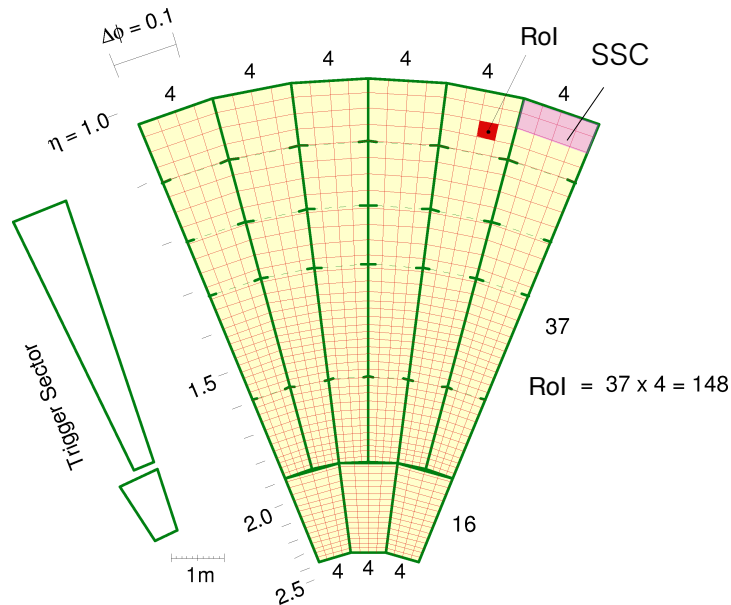


図 3.4 : TGC のトリガー判定の単位 [37]。緑の線で囲まれている部分が 1 つのトリガーセクターであり、エンドキャップ領域とフォワード領域のトリガーセクターがそれぞれ 48 個と 24 個存在する。赤く塗りつぶされた部分が 1 つの RoI を示している。エンドキャップ領域とフォワード領域のトリガーセクターはそれぞれ 148 個 と 64 個の RoI で構成されており、 $\eta$  方向に 2 つ、 $\phi$  方向に 4 つの RoI をまとめて SSC (紫) と呼ぶ。

ド領域と呼び、 $\phi$  方向の分割数はそれぞれ 48 と 24 である。初段ミュオントリガーの判定には、同じトリガーセクター内の情報のみを使用する。

トリガーセクターはより小さな領域である Region of Interest (RoI) に分割される。RoI は TGC の持つミュオンの位置情報の単位である。図 3.4 に示すように、エンドキャップ領域のトリガーセクターは  $\eta$  方向に 37 分割、 $\phi$  方向に 4 分割されるため、合計  $37 \times 4 = 148$  個の RoI で構成されている。フォワード領域のトリガーセクターは  $\eta$  方向に 16 分割、 $\phi$  方向に 4 分割の合計  $16 \times 4 = 64$  個の RoI で構成されている。また RoI を  $\eta$  方向に 2 つ、 $\phi$  方向に 4 つまとめたものを Sub Sector Cluster (SSC) と呼ぶ。

## 3.2 初段エンドキャップ部ミュオントリガーアルゴリズムの概要

### 3.2.1 Run-2 と Run-3 で共通したトリガーアルゴリズム

初段エンドキャップ部ミュオントリガーで用いられるロジックの概要を図 3.5 に示す。飛跡の  $p_T$  (横運動量) の判定にはまず、ミュオンが無限運動量で通過したと仮定した場合の飛跡と、 $1.05 < |\eta| < 2.4$  における 3 層の TGC-BW で得られた飛跡を比較し、磁場中での飛跡の曲がり具合を見積もる。この飛跡の曲がり具合は  $R$  方向と  $\phi$  方向で別々に計算され、 $dR$  と  $d\phi$  として表される。この  $dR$  と  $d\phi$  は衝突点で生成されたミュオンがトロイド磁場領域を通過するとき磁場中で曲げられることに対応しており、 $p_T$  の大きさによって変化する。この対応関係を利用して、トリガーロジックボード内に事前に作成しておいた Coincidence Window (CW) を参照することで、飛跡の曲がり具合の情報 ( $dR$ ,  $d\phi$ ) から  $p_T$  を判定することができる。典型的にはミュオンの  $p_T$  が 20 GeV より大きいと判定されたトリガーが用いられ、 $p_T \geq 20$  GeV のミュオンの効率が十分にあるトリガーという意味で 20 GeV 閾値トリガーと呼ばれる。

### 3.2.2 Run-3 に向けたトリガーアルゴリズムのアップグレード

Run-3 の初段エンドキャップ部ミュオントリガーシステムの概念図を図 3.6 に示す。また、Run-2 と Run-3 でのミュオン検出器の配置を図 3.7 に示す。エンドキャップ領域ミュオントリガーには衝突点由来でない荷電粒子により発行されたトリガー (フェイクトリガー) が存在し、レートを上げる要因になっている。Run-2 では TGC-EI/FI と Tile カロリメータを用いたインナーコインシデンスにより、フェイクトリガーの削減を行っていた。しかし、 $1.9 < |\eta| < 2.4$  の領域ではインナーコインシデンスをとるためのトリガー用検出器がないため、図 3.8 に示すようにフェイクトリガーが多く残る。Run-3 からは前章の 2.2.4 節で説明した NSW の導入により、この領域で TGC-BW と NSW のインナーコインシデンスをとることが可能になるため、フェイクトリガーをより削減できる。そして位置だけでなく NSW で再構成した飛跡の角度情報  $d\theta$  に対してインナーコインシデンスをとることで、さらにトリガー性能が向上することが見込まれる。



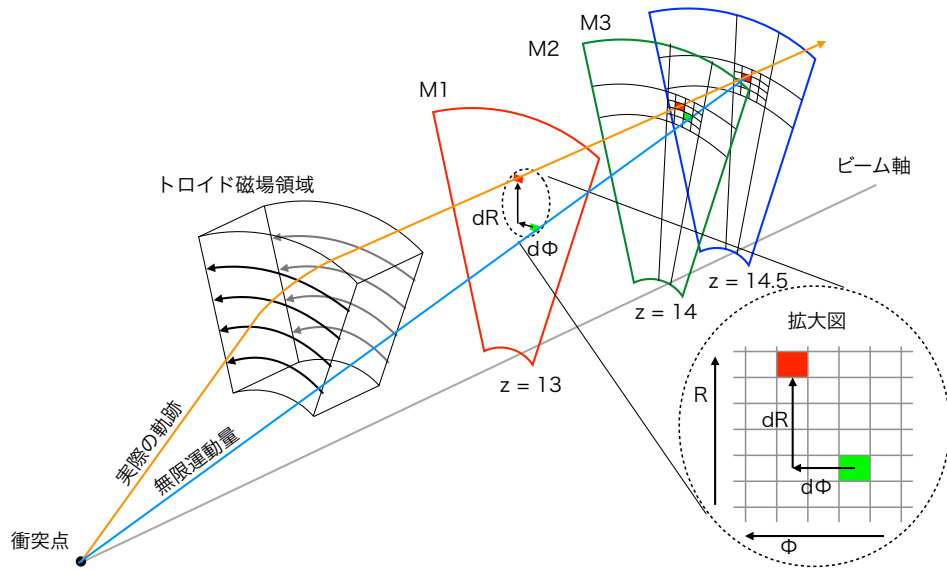


図 3.5 : 初段エンドキャップ部ミュオントリガーロジックの概要 [38]。ある M3 の位置に対して M1 で得られたミュオンのヒット位置と無限運動量で通過した場合 (直線) の相対位置を計算する。これを磁場中での曲がり具合とすることで  $p_T$  を計算し、トリガー判定を行う。

先行研究により、 $p_T$  閾値 20 GeV において Run-2 までのトリガーアルゴリズムを用いた場合と比較して、トリガーレートを約 41 % 削減できる [38]。

$1.05 < |\eta| < 1.3$  の領域では Tile カロリメータ、TGC-EI に加えて RPC BIS78 が磁場領域より内側に導入されるため、コインシデンスをとる検出器の最適化を行うことでトリガーレートがさらに削減できる。先行研究により、RPC BIS78 が設置されている領域で  $p_T$  閾値 20 GeV のトリガーレートを約 80 % 削減できる [27]。新たに導入される NSW や RPC BIS78 を用いた場合に期待されるトリガー発行数の分布を図 3.9 に示す。

また、Run-3 における  $p_T$  の判定はエレクトロニクスの処理性能の向上により Run-2 の 6 段階での判定から 15 段階の判定に拡張され、新たに飛跡の電荷情報も含めたトリガーアルゴリズムが実装される。Run-3 における  $p_T$  判定の定義は、Run-2 までのトリガー効率が十分にあるという基準で決定される  $p_T$  閾値ではなく、そのトリガー出力における最も多いミュオンの  $p_T$  値を決定できるようにするものである。これにより、より正確なミュオンの  $p_T$  値が判定できるようになり、L1Topo(2.2.5 節) における不変質量トリガーの計算を正確に行えるようになる。

このトリガーアルゴリズムを開発し、トリガー性能の評価を行った。(4 章) また、開発したトリガーアルゴリズムを実装するトリガー判定回路の開発とその検証試験をおこない、Run-3 に向けた初段エンドキャップ部ミュオントリガーシステムを確立した。(5 章)

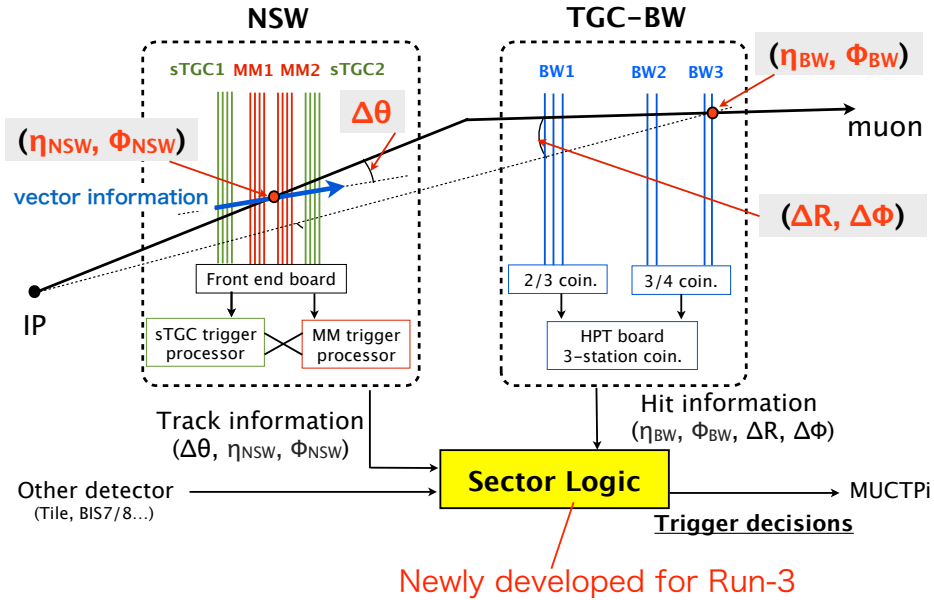


図 3.6 : Run-3 の初段エンドキャップ部ミュオントリガーシステムの概念図 [38]。TGC-BW、NSW、RPC BIS78、TGC-EI、Tile カロリメータの位置情報を用いて  $p_T$  を判定する。NSW は飛跡を再構成することができるため、飛跡の角度情報  $d\theta$  も使用して  $p_T$  を判定する。

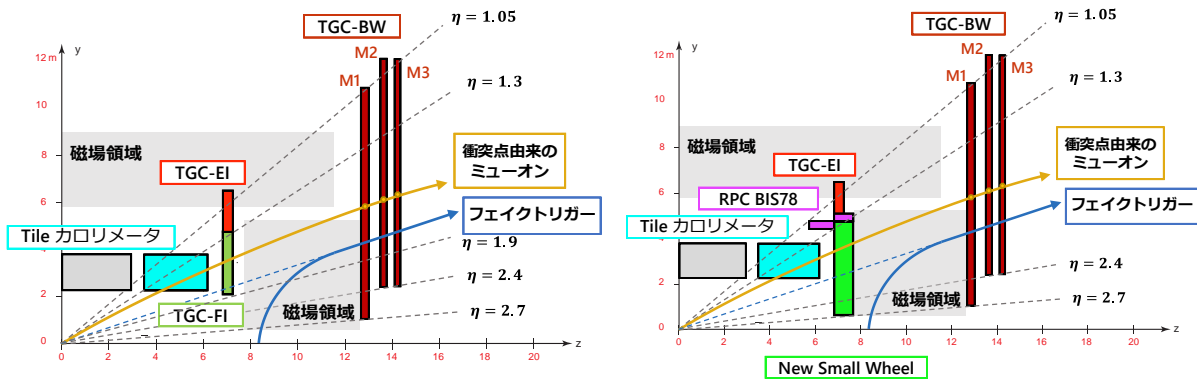


図 3.7 : (左) Run-2 でのミュオン検出器。TGC-BW と TGC-EI, TGC-FI, Tile カロリメータの間でインナーコインシデンスを行う。(右) Run-3 でのミュオン検出器。TGC-BW と NSW, RPC BIS78, TGC-EI, Tile カロリメータの間でインナーコインシデンスを行う。

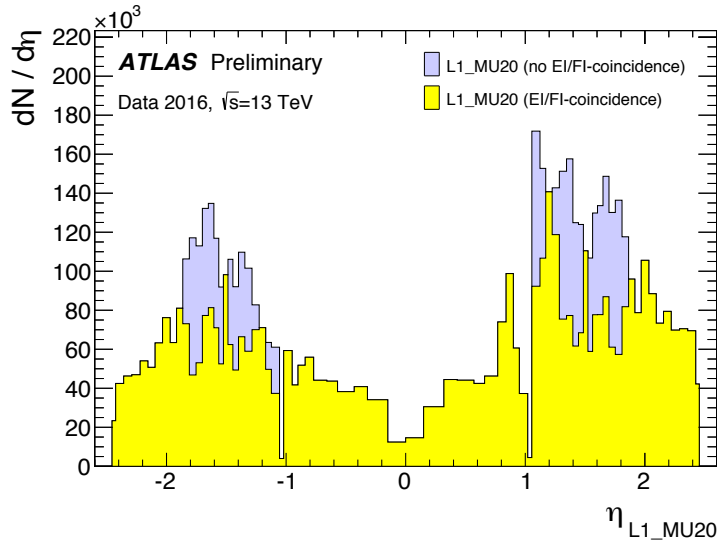


図 3.8 : Run-2 で取得した  $p_T$  閾値 20 GeV におけるトリガー発行数の  $\eta$  分布 [33]。青色の領域は TGC-EI/FI を用いたインナーコインシデンスを導入しない場合のトリガー発行数、黄色の領域は TGC-EI/FI を用いたインナーコインシデンスを導入した場合のトリガー発行数を示す。1.05 <  $|\eta|$  < 1.9 の領域では TGC-EI/FI を用いたインナーコインシデンスによりトリガー発行数を削減できている。

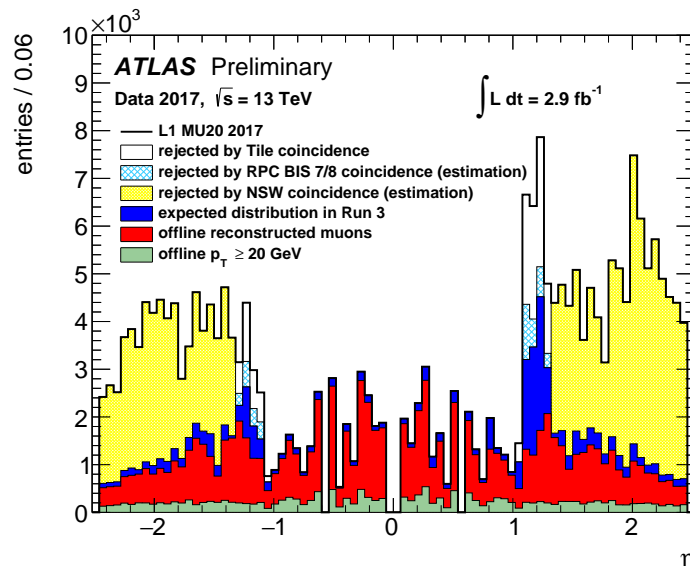


図 3.9 : Run-3 で期待される  $p_T$  閾値 20 GeV におけるトリガー発行数の  $\eta$  分布 [40]。白色、薄い青色、黄色の領域はそれぞれ Tile カロリメータ、RPC BIS78、NSW を用いたインナーコインシデンスを導入した場合に削減できるトリガー発行数を示す。青色の領域は Run-3 で期待されるトリガー発行数、赤色の領域は発行されたトリガーのうちオフラインで再構成されるミュオンの数を示す。緑の分布はオフラインで再構成されたミュオンのうち、 $p_T$  が 20 GeV 以上のミュオンの数を示す。

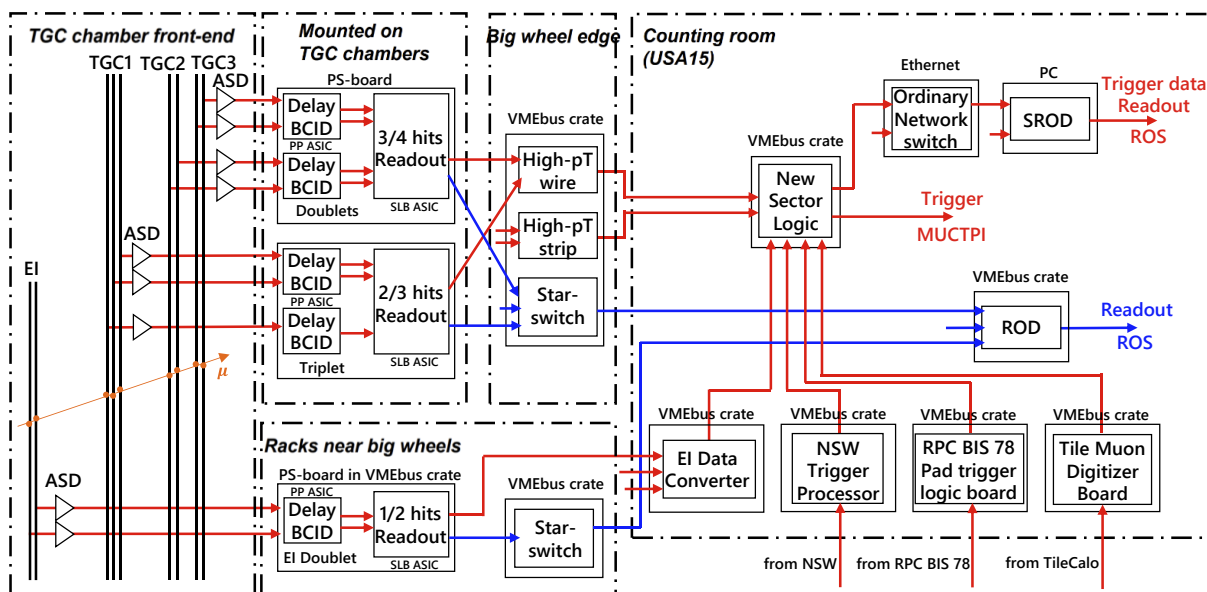


図 3.10 : TGC の電子回路とデータの流れの全体図 [25]。赤い線はトリガー信号の流れを、青い線は読み出しデータの流れを示している。

### 3.3 TGC 検出器からのトリガーを処理する電子回路

初段エンドキャップ部ミュオントリガーで用いられる電子回路(エレクトロニクス)は、トリガー判定と検出器のヒット情報の読み出しの2つの役割を担っている。TGCのエレクトロニクスとデータの流れを図 3.10 に示す。以下では、TGC-BW と磁場内側の新検出器 NSW、RPC BIS78 のインナーコインシデンスを行う New Sector Logic(NSL) ボードと NSL に直接接続されているエレクトロニクスについて記述する。

#### 3.3.1 New Sector Logic (NSL) ボード

New Sector Logic (NSL) ボードは HPT ボードから受け取った TGC-BW のワイヤー・ストリップの情報と、図 2.7 に示すような磁場領域より内側にある検出器 NSW、RPC BIS78、TGC-EI、Tile カロリメータから受け取った情報を組み合わせてミュオンの  $p_T$  判定を行う。NSL ボードにはエンドキャップ領域とフォワード領域のトリガーセクター用の2種類があり、どちらも1枚のボードが2つのトリガーセクターから情報を受け取りトリガー判定を行う。図 3.11 に、NSL の写真および I/O ポートとチップを示した。

NSL ボードでは、まず HPT ボードから受け取った TGC-BW のワイヤー ( $R, \Delta R$ ) とストリップ ( $\phi, \Delta\phi$ ) の情報から Coincidence Window (CW) を使って、 $p_T$  の判定を行う。TGC-BW の情報のみを用いた  $p_T$  の判定ロジックを“TGC-BW Coincidence”と呼ぶ。

TGC-BW Coincidence で得られたミュオンの候補は、磁場領域より内側に設置されている NSW、RPC BIS78、TGC-EI、Tile カロリメータのヒット情報とのコインシデンスをとり  $p_T$  の

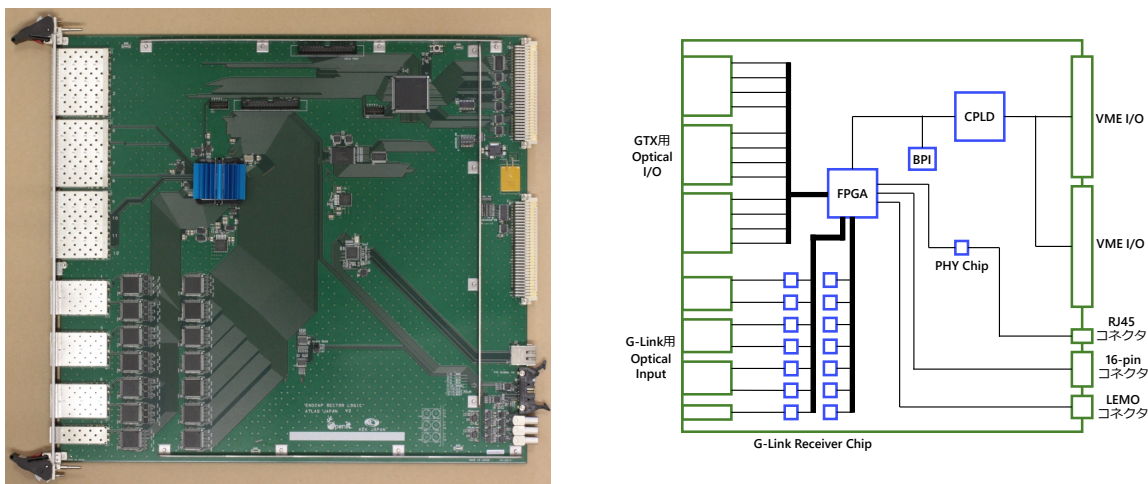


図 3.11 : (左) New Sector Logic の写真 [38]。(右) 主なチップと配線の概略図。緑色のブロックで I/O ポートを、青色のブロックで主なチップを示している。

判定を行う。この判定ロジックを“Inner Coincidence”と呼ぶ。インナーコインシデンスが取れたトリガー情報から、1 トリガーセクターの中でクオリティの高いものから最大 4 個までミュオンのトラックを選び、後段の Muon-to-CTP interface (MUCTPI) に送信する。NSL ボードに関しては、Appendix B 章に詳細を記述した。

### 3.3.2 High PT (HPT) ボード

High PT (HPT) ボードは、M1 の SLB(Appendix D.1.2) と M2-M3 の SLB からのコインシデンス結果を受け取り、図 3.12 のコインシデンスマトリックスを用いて M1-M3 の 3 ステーション間のコインシデンスを行う。そして、コインシデンスマトリックスで求めた位置の差の情報  $\Delta R$  または  $\Delta\phi$  を小さいものから最大 2 候補を選ぶ。選択した位置の差の情報  $\Delta R$  または  $\Delta\phi$  と位置情報  $R$  または  $\phi$  を G-Link 通信 [39] を用いて New Sector Logic(3.3.1 節) に送信する。

HPT ボードから NSL に送信されるデータフォーマットは Appendix B.2.1 に掲載する。図 3.13 のように (エンドキャップワイヤー用) HPT チップは SSC0、SSC1-6、SSC7-12、SSC13-18 の領域をそれぞれ担当し、そこから送信する R 情報の数は最大 2 個が上限となる。つまり、エンドキャップ領域用 NSL が受け取る R 情報は、SSC0 で 1 つ、SSC1-6、SSC7-12、SSC13-18 それぞれで各 2 つずつであり、合計 7 候補である。また、フォワード領域用 NSL が受け取る R 情報は、SSC0-5、SSC6-7 それぞれで各 2 つずつであり、合計 4 候補である。

### 3.3.3 NSW Trigger Processor (NSW TP)

NSW Trigger Processor (NSW TP) は sTGC と MM のヒット情報を用いて独立に再構成したミュオンのトラック情報を統合して、飛跡の位置や角度情報を NSL へ送信するボードである。磁場領域におけるミュオンの曲がり方を考慮して、1 つの TGC トリガーセクターは 2 つ

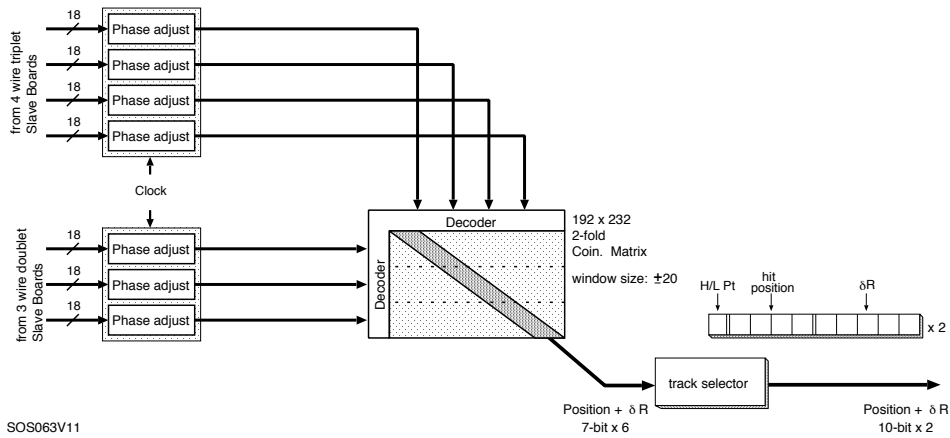


図 3.12 : HPT ボードのブロック図 [37]。左側からの入力に対して、ケーブル長からくる位相差の補正を行い、コインシデンスマトリックスを使って、M1-M3 の 3 ステーション間のコインシデンスを行う。

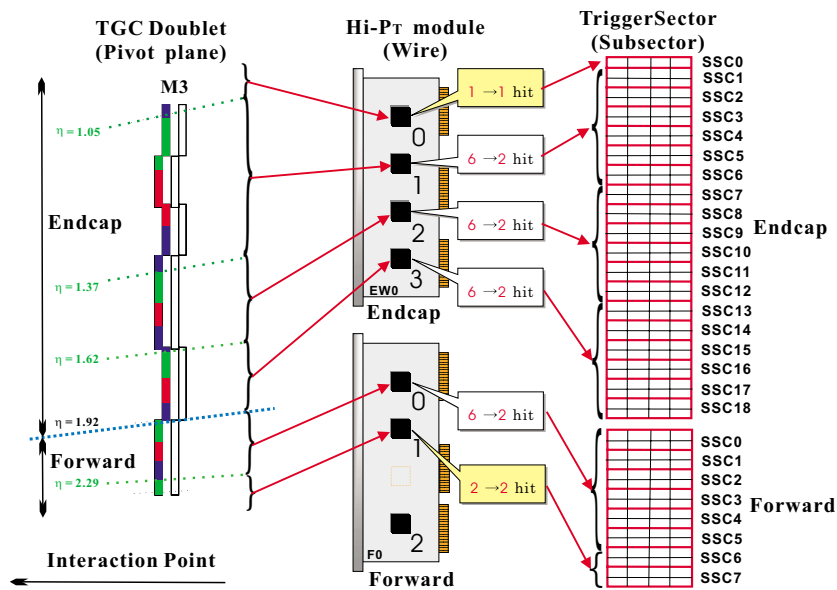


図 3.13 : HPT ボードから受け取るデータと TGC-BW の SSC の関係 [41]。(エンドキャップワイヤー用) HPT チップは SSC0、SSC1-6、SSC7-12、SSC13-18 の領域をそれぞれ担当し、そこから送信する R 情報の数は最大 2 個が上限となる。つまり、エンドキャップ領域用 NSL が受け取る R 情報は、SSC0 で 1 つ、SSC1-6、SSC7-12、SSC13-18 それぞれで各 2 つずつであり、合計 7 候補である。また、フォワード領域用 NSL が受け取る R 情報は、SSC0-5、SSC6-7 それぞれで各 2 つずつであり、合計 4 候補である。

か3つの NSW TP から信号を受け取る。NSW TP から NSL に送信されるデータフォーマットは Appendix B.2.3 節に記述する。

### 3.3.4 RPC BIS78 Pad trigger logic board

RPC BIS78 Pad trigger logic board は、RPC BIS78 の3層のヒット情報を用いて飛跡を再構成し、飛跡の位置や角度情報を NSL へ送信するボードである。1つの RPC BIS78 チェンバーにつき1つのボードが設置されており、それぞれのボードは磁場領域におけるミュオンの曲がり方を考慮して3つの NSL に飛跡情報を送る。RPC BIS78 Pad trigger logic board から NSL に送信されるデータフォーマットは Appendix B.2.4 節に記述する。

### 3.3.5 トリガーデータ読み出しシステム

NSL が Level-1 Accept(L1A) 信号 (2.2.5 節) を受けると、NSL でのトリガーに用いた全入力データを読み出しを後段に送信する。読み出すデータは、Level-1 トリガーが発行された BC(Current BC) とその前1 BC(Previous BC)、その後2 BC(Next BC, NextNext BC) の計4 BC 分のものである。1台の Software-based Read-Out Driver (SROD) は12台の NSL からデータを受け取る。データ送信には Ethernet ケーブルを用い、10 GbE (1.25 GB/s) に対応した市販のネットワークスイッチで1つの SROD に送信する。

SROD は PC 上ソフトウェアで実装されたデータ読み出しシステムであり、L1A の発行頻度である約 100 kHz で NSL から検出器のデータとトリガーデータを読み出し、複数の NSL の出力データを同じイベントごとにまとめてより後段に存在する Read-Out System(ROS) (図 2.22) への送信を行う。NSL から SROD へ送信されるデータフォーマットは Appendix B.3.2 に記述する。

## 第4章 磁場内部の検出器を用いた初段エンド キャップ部ミュオントリガーロジックの 開発

エンドキャップ部の初段ミュオントリガーは、NSL (New Sector Logic) は、TGC-BW におけるミュオンの  $\eta$  方向と  $\phi$  方向を組み合わせる “TGC-BW Coincidence” を行い、その後、TGC-BW の位置情報と磁場領域より内側のミュオン検出器との情報を組み合わせる “Inner Coincidence” を行って、ミュオン候補が得られればそれをトリガー情報として後段に送信する。磁場領域より内側のミュオン検出器の中でも、Run-3 から導入される位置・角度分解能の高い検出器である NSW(New Small Wheel) と位置分解能の高い検出器である RPC BIS78 を用いたトリガーロジックを開発し、性能評価をおこなった。

### 4.1 TGC-BW の情報を用いたトリガーロジック

NSL のトリガーアルゴリズムは、まず TGC から入力された飛跡情報を Coincidence Window(CW) に入力し  $p_T$  を判定を行う。これを “TGC-BW Coincidence” と呼ぶ。Inner Coincidence のトリガー開発に先立って、BW Coincidence を例として CW の作成方法や性能の評価方法を説明する。

BW Coincidence に用いる CW を作成し、ミュオンの  $p_T$  に対するトリガー効率を測定することで性能評価を行う。実際の検出器では磁場や構造物などの様々な要素を考慮する必要があるため、CW を数式によって計算したり、作成するのは困難である。そこで、衝突点から飛来するミュオンに対する検出器やトリガーシステムの挙動をシミュレーションし、ミュオンの  $p_T$  と各 RoI(3.1.2 節) における  $\Delta R$ 、 $\Delta\phi$  の対応を調べることで CW を作成する。

BW Coincidence に用いる CW を図 4.1 に示す。それぞれの色が 15 段階の  $p_T$  に対応しており、この場号を “ $p_T$  number” と呼ぶ。HPT ボード (3.3.2 節) からの TGC-BW の入力を用いて、 $dR$ 、 $d\phi$  から  $p_T$  を計算する。また、中央付近に引かれた白い線は電荷識別の境界線であり、白線より上の  $dR$ 、 $d\phi$  を持つミュオン候補の電荷はマイナス、反対に白線より下のミュオン候補はプラスの符号と判定される。

BW Coincidence に用いる CW 作成の全体的な流れは以下のようなになる。

- 1) 1 イベントに 1 本のミュオンを発生させる “シングルミュオン” イベントを生成し、正



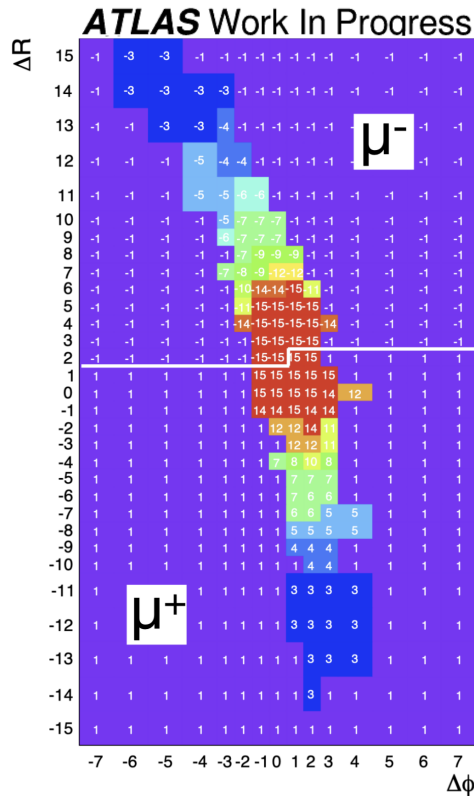


図 4.1 : TGC における Coincidence Window の例 [42]。それぞれの色が 15 段階の  $p_T$  number に対応している。それぞれの位置にヒットがあった時にこれを参照し、 $dR$ ,  $d\phi$  から  $p_T$  を見積もる。中央付近に引かれた白い線は電荷識別の境界線であり、白線より上の  $dR$ ,  $d\phi$  を持つミューオン候補の電荷はマイナス、反対に白線より下のミューオン候補はプラスの符号と判定される。

負の電荷と  $p_T$  閾値ごとに検出器の応答をシミュレートする。そこで得られた結果から、各 RoI(3.1.2 節)、各  $p_T$  number ごとに  $dR$  と  $d\phi$  の情報を抜き出し、cell( $dR$  と  $d\phi$  で区切られた 1 マス)を単位領域とした  $dR : d\phi$  の分布図 (ヒットマップ) を作成する。

- 2) 作成したヒットマップを元に、ミューオンのエンタリー数の多い cell から順次トリガーとして採用していく。また、異なる  $p_T$  number で同じ cell を採用する場合は、 $p_T$  number の高い方を優先する。これは、高い  $p_T$  のミューオンに対して低い  $p_T$  のミューオンとしてトリガーを発行してしまい、高い  $p_T$  のミューオンを取りこぼしてしまうことを防ぐためである。
- 3) 各 RoI、各  $p_T$  number ごとに 2) の処理を行う。これらの結果を cell ごとにまとめることで CW が完成する。

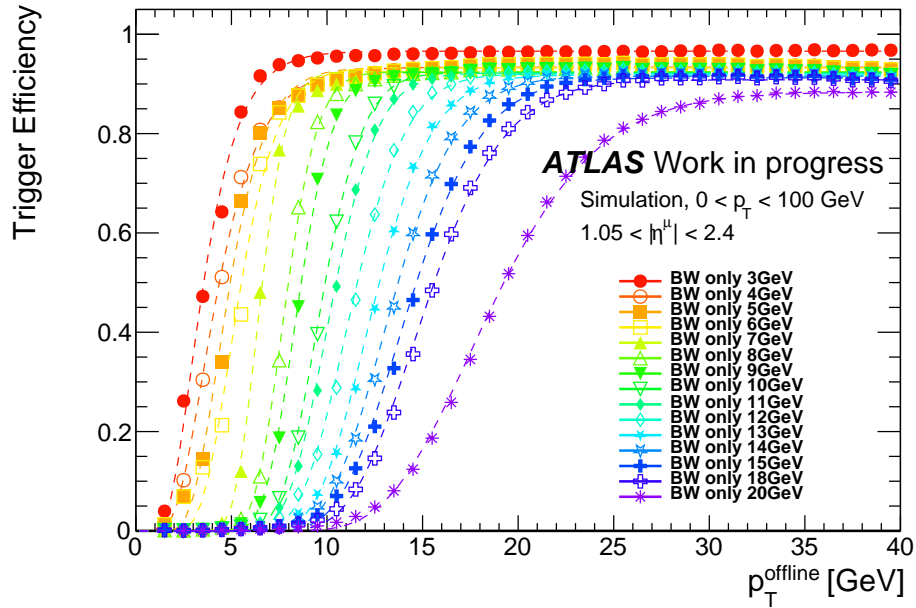


図 4.2 : BW Coincidence における 15 段階の閾値に対する Turn-on curve。

## 4.2 トリガー効率の評価方法

前節で作成した BW Coincidence に用いられる CW で判定される 15 段階のトリガーに対するトリガー効率の評価方法を説明する。トリガー効率  $\epsilon$  は式 4.1 で計算する。

$$\epsilon = \frac{\text{トリガーが発行されたミューオン数}}{\text{全ミューオン数}} \quad (4.1)$$

この評価には、バイアスをさけるため CW を定める際に用いたサンプルと異なる、シングルミューオンイベントを 700 万イベント含む MC サンプルを用いた。このサンプルは  $0 \sim 100$  GeV で一様な  $p_T$  分布かつ  $|\eta| < 3.0$  で一様な  $\eta$  分布をもつ。式 4.1 の“全ミューオン数”とは TGC の存在領域に入射したミューオンの数を指す。HPT ボードの  $dR$ ,  $d\phi$  出力を用いて可能な組み合わせで BW Coincidence を行い、最も高い  $p_T$  を BW Coincidence の結果とする。BW Coincidence がとれない場合、offline 情報を用いて再構成された TGC 領域での粒子情報を用いて BW における位置情報を定める。BW Coincidence の各トリガー、各  $p_T$  においてトリガー効率  $\epsilon$  は式 4.2 で計算される。

$$\epsilon_{BW} = \frac{\text{BW Coincidence がとれたミューオン数}}{\text{offline で再構成されたミューオン数}} \quad (4.2)$$

このようにして計算された、ミューオンの  $p_T$  の関数としての BW Coincidence のトリガー効率を図 4.2 に示す。比較のため、ミューオンの  $p_T$  に対する Run-2 の BW Coincidence のトリガー効率の曲線 (関数) を図 4.3 に示す。このようにして作成された  $p_T$  に対するトリガー効率を Turn-on curve と呼び、 $p_T$  に対して立ち上がりが良く、立ち上がった後に十分な効率を持つトリ

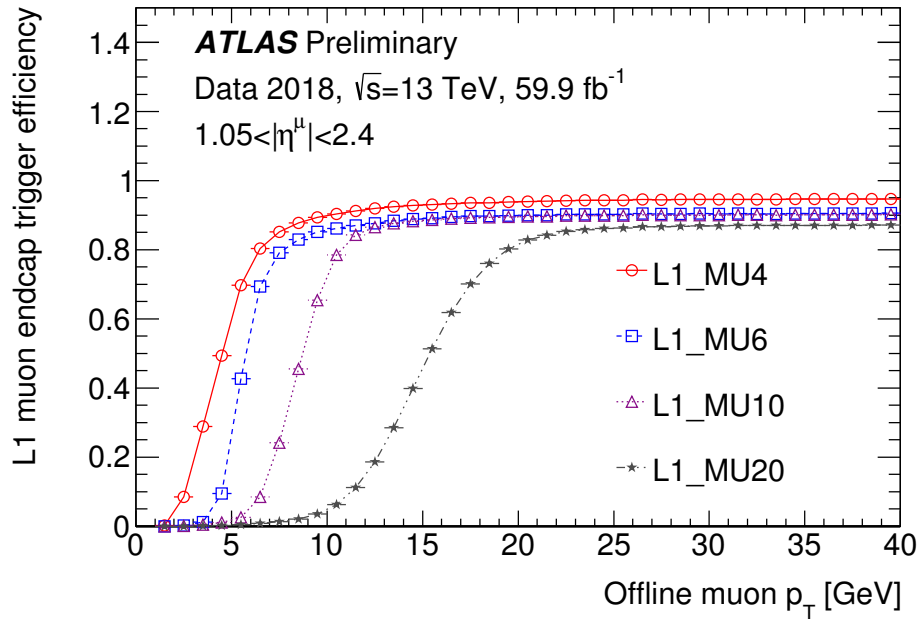


図 4.3 : Run-2 における TGC-BW の  $p_T$  閾値に対する Turn-on curve<sup>[40]</sup>。Run-2 では CW に  $p_T$  判定以外の役割もあったため、実質判定できる  $p_T$  閾値は 4 段階しかなかった。

ガーであるほど性能が良い。式 4.3 に示した誤差関数でフィットすることで、Turn-on curve の性能の評価をおこなう。

$$f(x) = \frac{A}{2} \left( 1 + \frac{2}{\sqrt{\pi}} \int e^{-\frac{x-B}{\sqrt{x}C}} \right) \quad (4.3)$$

A が “プラトー効率”(無限運動量に対するトリガー効率)、B が effective threshold (Turn-on curve の半値)、C が resolution (Turn-on curve の傾きのパラメータ) である。プラトー効率が 100 % に近く、resolution が 0 に近いほうが良いトリガーである。

### 4.3 $p_T$ number の定義

3.2.2 節で述べたように Run-3 における  $p_T$  number は、 $p_T$  判定を正確にし L1Topo(2.2.5 節) におけるトリガー性能を向上させるために Run-2 とは異なるものとして定義した。Run-2 までの  $p_T$  number の定義(表 4.1) は CW で判定されたトリガーにおいて効率が十分に高い  $p_T$  の値で決定されていた。例えば “L1\_MU20” は  $p_T \geq 20$  GeV のミューオンの効率が十分にあるという基準で決定されていた。これに対し、Run-3 における  $p_T$  number の定義はそのトリガー出力における最も多いミューオンの  $p_T$  値を決定できるようにするものである。例えば  $p_T$  number = 14 は  $p_T = 18$  GeV の出力が最も多いという基準で決定されている。これによって、より正確なミューオンの  $p_T$  が初段トリガーの段階で判定できるようになり、L1Topo における不変質量トリガーの計算を正確に行えるようになる。ここからは Run-2 で判定される  $p_T$  値と Run-3 で判定される

表 4.1 : Run-2 における  $p_T$  閾値<sup>[43]</sup>。値は 2017、2018 年に使われていたもの。L1.MU10 と L1.MU11、L1.MU20 と L1.MU21 は TGC では同じ CW だが、RPC の状態が異なる。

$p_T$ Number	トリガー名	定義
1	L1.MU4	$p_T \geq 4 \text{ GeV}$
2	L1.MU6	$p_T \geq 6 \text{ GeV}$
3	L1.MU10	$p_T \geq 10 \text{ GeV}$ (barrel 2-station)
4	L1.MU11	$p_T \geq 10 \text{ GeV}$
5	L1.MU20	$p_T \geq 20 \text{ GeV}$
6	L1.MU21	$p_T \geq 20 \text{ GeV}$ (barrel no feet)

表 4.2 : measured- $p_T$  の定義。<sup>[42]</sup>

$p_T$ Number	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
measured- $p_T$	3	4	5	6	7	8	9	10	11	12	13	14	15	18	20

$p_T$  値を区別するために、前者を  $p_T$  閾値、後者を “measured- $p_T$ ” 値と呼ぶ。

measured- $p_T$  値は、Run-2 におけるシングルミュオンの閾値である  $p_T \geq 20 \text{ GeV}$  を基準にそれ以下の  $p_T$  値を詳細に判定できるように決定された。0 から 15 の  $p_T$  number に対して measured- $p_T$  は表 4.2 のようになっている。Run-2 の  $p_T$  number と Run-3 の  $p_T$  number の対応関係を表 4.3 に示し、また図 4.4 には Run-2 の L1.MU4 と Run-3 の L1.MU3、L1.MU6 と L1.MU5、L1.MU10 と L1.MU8、L1.MU20 と L1.MU14 における Turn-on curve の比較を示す。

#### 4.4 $p_T$ 分解能の評価方法

$p_T$  residual という量を用いたトリガー出力の  $p_T$  分解能の評価方法を説明する。 $p_T$  residual は式 4.4 で表される。

表 4.3 : Run-2 の  $p_T$  number と Run-3 の  $p_T$  number におけるトリガーパフォーマンスの対応関係。横に並ぶトリガーのトリガーパフォーマンスが対応する。

Run-2		Run-3	
$p_T$ number	トリガー名	$p_T$ number	トリガー名
1	L1.MU4	1	L1.MU3
2	L1.MU6	3	L1.MU5
3	L1.MU10	6	L1.MU8
5	L1.MU20	12	L1.MU14

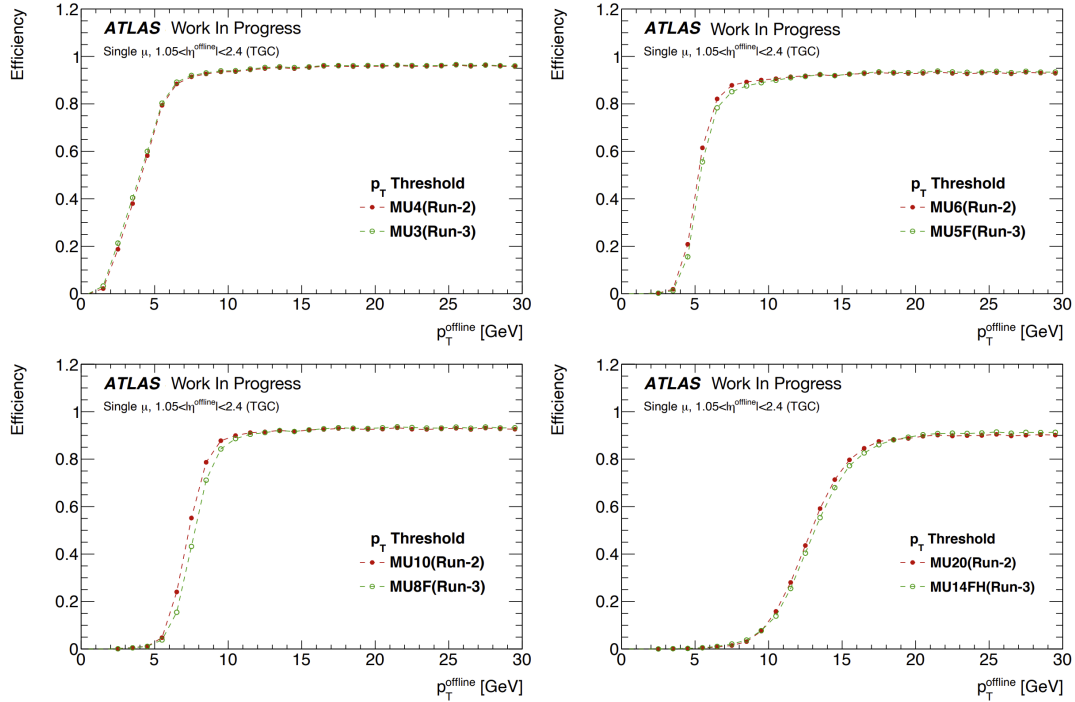


図 4.4 : Run-2 の TGC における Turn-on curve と同程度のパフォーマンスである Run-3 の TGC における Turn-on curve の比較 [42]。Run-2 と Run-3 の  $p_T$  値の対応関係を示す。Run-2 の L1\_MU4 と Run-3 の L1\_MU3、L1\_MU6 と L1\_MU5、L1\_MU10 と L1\_MU8、L1\_MU20 と L1\_MU14 が対応する。

$$p_T \text{ residual} = \frac{\frac{1}{p_T^{\text{offline}}} - \frac{1}{p_T^{\text{L1}}}}{\frac{1}{p_T^{\text{offline}}}} = \frac{p_T^{\text{L1}} - p_T^{\text{offline}}}{p_T^{\text{L1}}} \quad (4.4)$$

この  $p_T^{\text{L1}}$  は、コインシデンスの結果出力される  $p_T$  の代表的な値を示し、Run-3 において measured- $p_T$  の値を示す。トリガー判定された結果の  $p_T^{\text{L1}}$  とマッチしたミュオンの  $p_T^{\text{offline}}$  が近ければ 0 に近づく。また、0 から離れるだけトリガー判定の結果の  $p_T^{\text{L1}}$  が  $p_T^{\text{offline}}$  とずれており、対象とするトリガーの性能が悪いことを示す。この  $p_T \text{ residual}$  を  $3 \text{ GeV} < p_T^{\text{offline}} < 20 \text{ GeV}$  において  $1 \text{ GeV}$  刻みでみることで、 $p_T$  分解能を評価する。トリガー効率と同様にシングルミュオンの MC サンプルを用いて評価し、図 4.5 に BW Coincidence の  $9 \text{ GeV} < p_T^{\text{offline}} < 10 \text{ GeV}$  における  $p_T \text{ residual}$  分布を示す。 $p_T \text{ residual}$  は 0 を中心とした分布が得られている。

また、図 4.1 において最も低い  $p_T \text{ number} = 1$  の CW だけは、ミュオンの  $\Delta R$ 、 $\Delta\phi$  分布を反映しておらず、トリガー効率を落とさないために同じ RoI に HPT ボードから wire と strip の入力があった時に必ずトリガーを返すように定義されている。このため、 $p_T^{\text{L1}} = 3 \text{ GeV}$  ( $p_T \text{ number} = 1$ ) は  $p_T$  分解能の評価では除外して考える。

この  $p_T \text{ residual}$  分布の中心と標準偏差をみることでトリガー同士の  $p_T$  分解能を評価する。

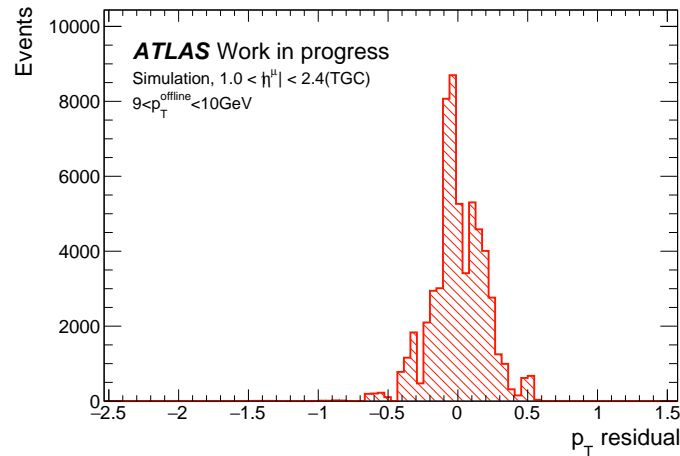


図 4.5 : BW Coincidence の  $9 \text{ GeV} < p_T^{\text{offline}} < 10 \text{ GeV}$  における  $p_T$  residual 分布。

## 4.5 NSW を用いたコインシデンス

### 4.5.1 BW×NSW Coincidence の概要

NSW と BW におけるコインシデンスは、BW との相対位置  $d\eta (= \eta_{BW} - \eta_{NSW})$  :  $d\phi (= \phi_{BW} - \phi_{NSW})$  と角度情報  $d\theta$  を用いて、衝突点中心からミューオンが通る可能性がある領域に対してコインシデンスを要求する。

NSW と BW の位置情報を用いたトリガーロジックの概要を図 4.6 に示す。NSW までほぼ直線に進んだミューオンは磁場により  $\eta, \phi$  方向に曲げられるため、この曲がり具合から  $p_T$  を判定することができる。この位置情報を用いたトリガーロジックを実装するためには、NSW における  $d\eta$  :  $d\phi$  の Coincidence Window (CW) を検出器の分解能に基づいて決定する必要がある。

また、NSW の角度情報を用いたトリガーロジックの概要を図 4.7 に示す。位置情報を用いたロジックでは、衝突で発生するすべてのミューオンが検出器の中央で生成されていることを仮定しており、検出器の中央の点と TGC の最外層で判定されたミューオンの位置を結んだ直線からのズレを使って  $p_T$  を判定していた。衝突点の中心から直進し NSW にヒットした場合  $d\theta = 0$  となるが、実際は衝突点が中心から  $\sigma \sim 5 \text{ cm}$  ほどの広がりを持つことと、NSW の位置に進むまでにカロリメータ等の物質との相互作用による多重散乱を起こすため、 $d\theta$  は 0 を中心とする分布を持つ。この角度情報を用いたトリガーロジックを NSW の角度情報  $d\theta$  と、NSW と TGC のヒット位置の差  $d\eta$  の情報を組み合わせることで実装する。

トリガー判定は位置情報の CW と角度情報の CW を用いる。用いる CW の cell の大きさは NSW の分解能に対応するように決められている。また、NSL の FPGA におけるメモリの使用量が限界を超えないように CW の自体の大きさが決められている。このような CW を用いず、 $|d\eta| < 0.15$ 、 $|d\phi| < 0.07 \text{ rad}$ 、 $|d\theta| < 0.015$  の範囲に入ったトラックに対して必ずコインシデンスをとるロジックはカットベースロジックと呼び、CW を用いたコインシデンスロジックとの

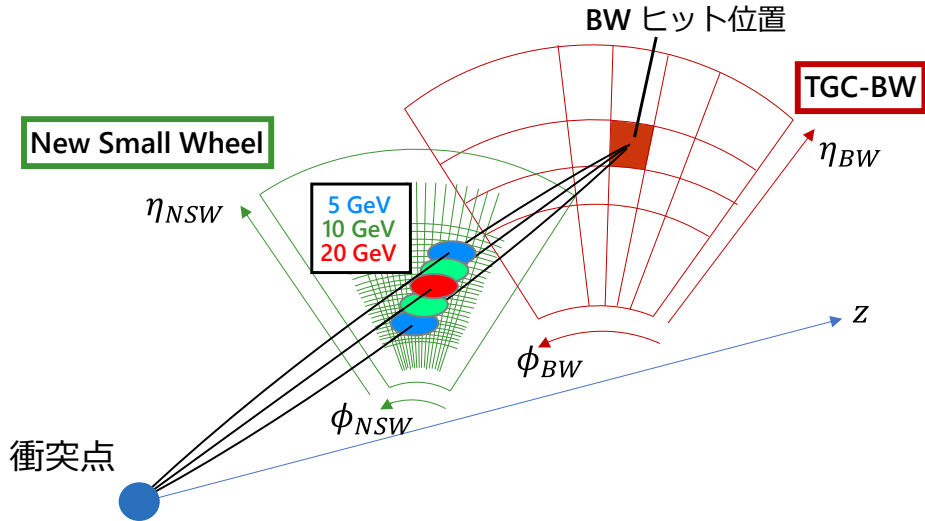


図 4.6 : NSW の位置情報を用いたトリガーロジックの概要。BW の位置情報と NSW の位置情報から  $d\eta$  と  $d\phi$  を定義し、 $d\eta : d\phi$  の CW を用いて  $p_T$  を判定する。

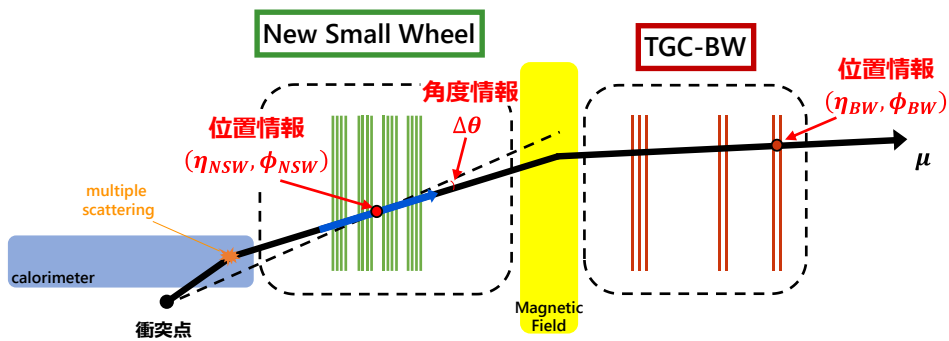


図 4.7 : NSW の角度情報を用いたトリガーロジックの概要。BW の位置情報と NSW の位置情報から  $d\eta$  を定義し、衝突点の中心からヒット位置まで延ばした直線と、実際の NSW で得られたトラックとの角度差で定義される NSW の角度情報 ( $d\theta$ ) とともに  $d\eta : d\theta$  の CW を用いて  $p_T$  を判定する。

第4章 磁場内部の検出器を用いた初段エンドキャップ部ミュオントリガーロジックの開発 45  
比較に用いられる。BW のみ (Inner Coincidence をとらない) のロジック、カットベースロジック、CW を用いるロジックを順に導入していくと、衝突点由来でない荷電粒子によるフェイクトリガーを削減することでレートを削減することができるが、トリガー効率を落とす可能性があるため評価を行う必要がある。

#### 4.5.2 BW×NSW Coincidence に用いる CW の作成

ここからは BW×NSW Coincidence に用いる CW の作成について説明する。BW×NSW Coincidence には BW Coincidence に対するトリガー効率を維持することと、measured- $p_T$  の性能を維持することを要求され、この2点を満たしながら可能な限りレートを削減できる CW を作成する。また、このトリガーにおいて BW×NSW Coincidence を通過した  $p_T$  number は BW Coincidence で判定された  $p_T$  number と同じ値を返すことにする。

BW にヒットしたミュオンの RoI における位置情報を  $(\eta_{BW}, \phi_{BW})$ 、NSW が再構成するミュオンの位置情報を  $(\eta_{NSW}, \phi_{NSW})$  として、相対位置を  $d\eta = \eta_{BW} - \eta_{NSW}$  と  $d\phi = \phi_{BW} - \phi_{NSW}$  で計算する。ミュオンの運動量と検出器同士の相対位置 ( $d\eta, d\phi$ ) や角度 ( $d\theta$ ) の関係から CW を作成していく。各 RoI ごとに磁場の影響や検出器のアライメントが異なるので、これに対応してヒットマップの形も変わる。まずヒットマップを作成するために、シングルミュオンのモンテカルロシミュレーション (MC) サンプルを 5000 万イベント分作成した。このときのシングルミュオンは 0 ~ 50 GeV までで一様な  $p_T$  分布、A-side のみの  $0.7 < \eta < 2.7$  で一様な  $\eta$  分布で発生させる (このようなサンプルを  $p_T$  フラット、 $\eta$  フラットと呼ぶ)。

$p_T$  が高いミュオンを用いると小さな領域の CW が作成され、レートを下げることができるが、BW Coincidence で得られた効率を下げることになる。反対に、 $p_T$  が低いミュオンを用いると大きな領域の CW が作成され、BW Coincidence で得られた効率を維持できるが、低い  $p_T$  のミュオンがトリガーされることによりレートの削減能力が低下する。これを考慮した上で、各  $p_T$  number の CW の作成に用いるミュオンの  $p_T$  を表 4.4 のように定義した。

この  $p_T$  のミュオンを用いて、RoI における ( $d\eta, d\phi$ ) についてのヒットマップを  $p_T$  number ごとに作成する。ヒットマップの例を図 4.8 に示す。 $d\eta : d\phi$  分布は、 $p_T$  が高い場合は原点付近を通るのに対し、 $p_T$  が低い場合はミュオンの電荷によって曲がる方向が異なるため2つの成分に分かれる。ATLAS 検出器は、理想的には  $\phi$  方向に八回対称の形状をしているため、統計を増やすために  $\phi$  方向に対称な8つの RoI を重ねてヒットマップを作成する。さらに  $\phi$  方向に異なるヒットマップの形状に対して  $\eta$  方向に異なるヒットマップの形状の変化が少ないことを活用して、統計を増やすために同じ SSC で R 方向に2つの RoI を重ねてヒットマップを作成する。

BW Coincidence Window の作成と同様に、ミュオンのエントリー数の多い cell から順次 CW として採用していく。採用した cell のエントリー数の合計が、ヒットマップ全体のエントリー数に対してある一定の割合 (この例では 99.9 %) に達するまで処理を続ける。

このように作成した CW には、シミュレーションサンプルの統計が不足しているため穴の空い



表 4.4 : ヒットマップの  $p_T$  number と入力に用いるミュオンの  $p_T$  との対応関係。

$p_T$ number	入力に用いるミュオンの $p_T$
1	$0 < p_T < 10$ GeV
2	$3 < p_T < 13$ GeV
3	$4 < p_T < 14$ GeV
4	$5 < p_T < 15$ GeV
5	$6 < p_T < 16$ GeV
6	$7 < p_T < 17$ GeV
7	$8 < p_T < 18$ GeV
8	$9 < p_T < 19$ GeV
9	$10 < p_T < 20$ GeV
10	$11 < p_T < 21$ GeV
11	$12 < p_T < 22$ GeV
12	$13 < p_T < 23$ GeV
13	$14 < p_T < 24$ GeV
14	$15 < p_T < 25$ GeV
15	$16 < p_T < 26$ GeV

ている部分、また多重散乱により偶然にヒットがあるため孤立している部分が存在する。このため以下のアルゴリズムを用いて、CW の最適化をおこなう。

- 1) 孤立したヒットを削除するために、周囲にヒットがある cell が 2 つ以下であるとき CW として採用しない。
- 2) 穴の開いた部分を埋めるために、周囲にヒットがある cell が 6 つ以上あるとき CW として採用する。

最適化された CW を図 4.9 に示す。

これらの CW を重ね合わせて、図 4.10 にあるような 15 段階の CW を作成した。この図における色分けは  $p_T$  number を表し、高い  $p_T$  number の CW ほど中央に存在する分布となっている。ここで、 $p_T$  number が小さい CW の領域は  $|\eta| < 0.15$  の外側にも分布している。このため低い  $p_T$  のミュオンが  $|\eta| > 0.15$  の領域にヒットした場合、コインシデンスをとることができないためその  $p_T$  number においてトリガー効率が下がる。

また、同様に角度情報を用いた 15 段階の CW についても図 4.11 のように作成した。

第 4 章 磁場内部の検出器を用いた初段エンドキャップ部ミュオントリガーロジックの開発 47

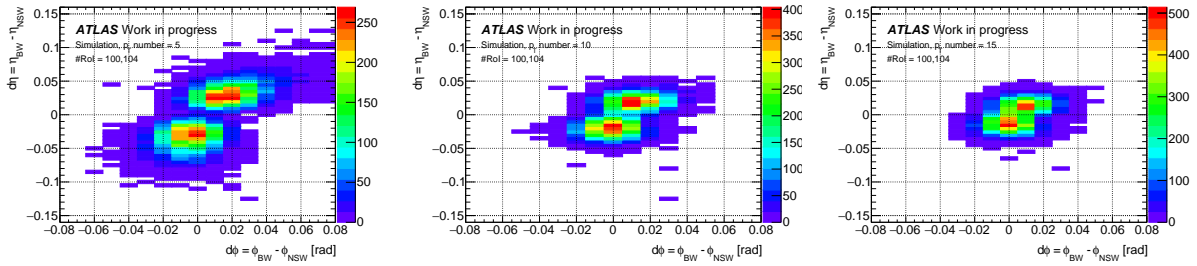


図 4.8 : RoI 100 番および 104 番 ( $|\eta| = 1.6$ ) で、 $p_T$  number = 5, 10 および 15 のにおける  $d\eta : d\phi$  のヒットマップ。

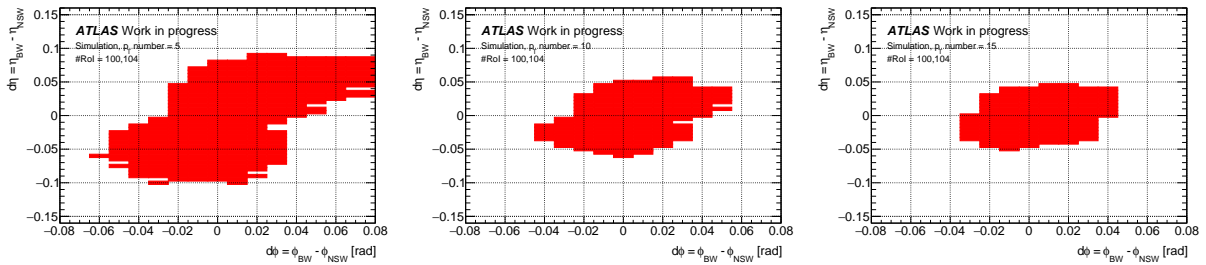


図 4.9 : 図 4.8 のヒットマップの 99.9 % を含むように定義し、最適化をおこなった  $d\eta : d\phi$  の Coincidence Window。

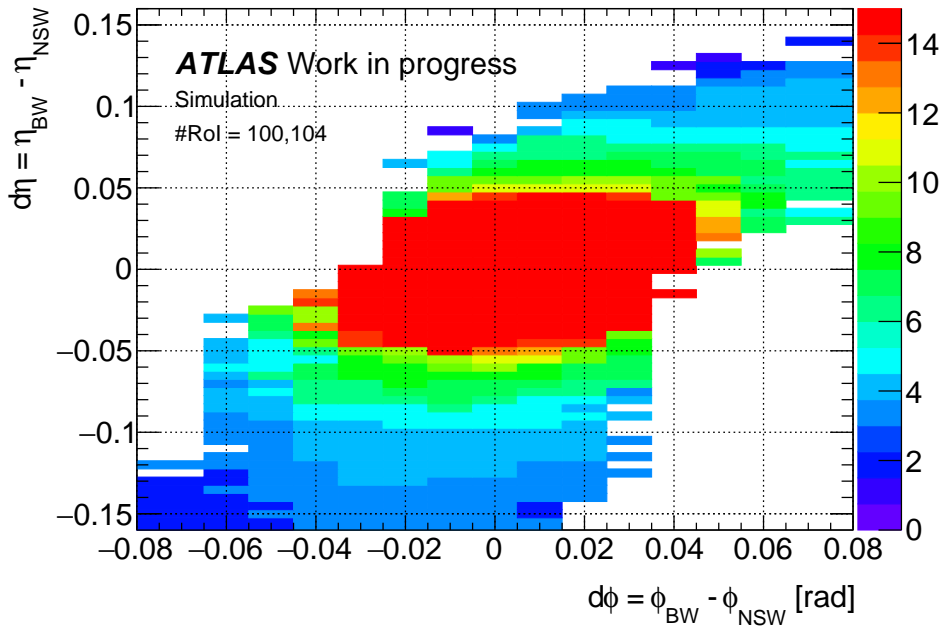
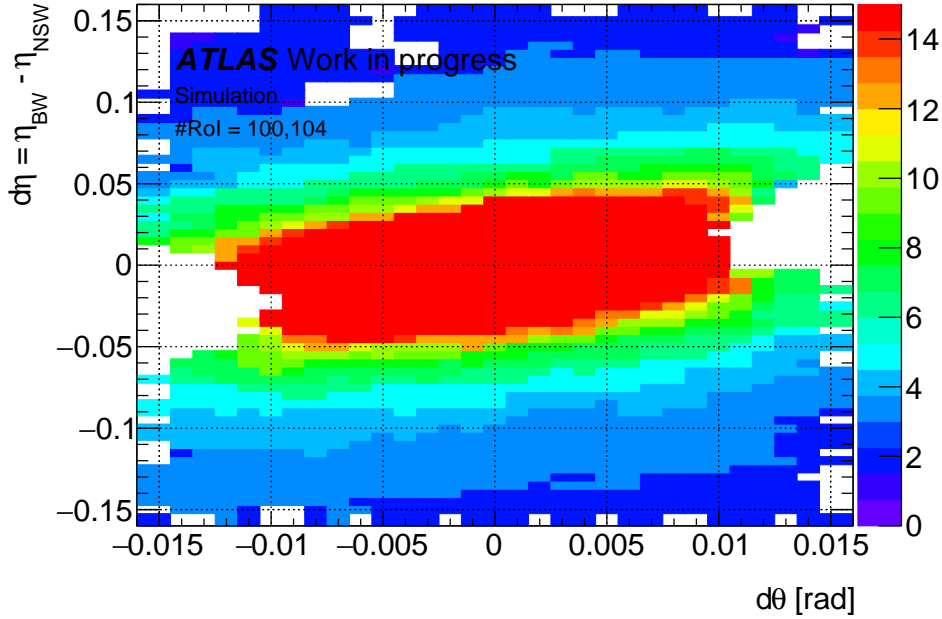


図 4.10 : NSW を用いた  $d\eta : d\phi$  の Coincidence Window。


 図 4.11 : NSW を用いた  $d\eta : d\theta$  の Coincidence Window。

#### 4.5.3 BW×NSW Coincidence を用いた $p_T$ 出力の性能評価

BW からの  $p_T$  出力を  $p_T(\text{BW})$ 、BW-NSW 間の位置情報 ( $d\eta : d\phi$ ) からの  $p_T$  出力を  $p_T(\text{NSW pos})$ 、NSW の角度情報 ( $d\eta : d\theta$ ) からの  $p_T$  出力を  $p_T(\text{NSW ang})$  として、これらを用いて最終的な  $p_T$  出力を決定する。このアルゴリズムを  $p_T$  merger と呼び、出力を  $p_T(\text{merge})$  とする。この研究において  $p_T(\text{merge})$  は  $p_T(\text{BW})$  から変更せず、 $p_T(\text{BW})$  と同じ  $p_T$  number の位置 CW と角度 CW を参照し、両方のコインシデンスがとれた場合に  $p_T(\text{BW})$  をそのまま後段に送る処理を行う。

この  $p_T$  merger を通過したトリガーの Turn-on curve を図 4.12 に示す。また、Turn-on curve のプラトー効率 (式 4.3 における  $A$ ) を、横軸はトリガーの  $p_T$  number を表 4.2 の measured  $p_T$  で表し、図 4.13 に示す。BW×NSW Coincidence を通過したトリガーは BW Coincidence と比べて最大 0.7% のプラトー効率の減少が見られる。

そして、BW Coincidence 単体のトリガーを通過したミューオンに対する BW×NSW Coincidence のトリガー相対効率  $\epsilon_{\text{NSW}/\text{BW}}$  を、式 4.5 に示す。

$$\epsilon_{\text{NSW}/\text{BW}} = \frac{\text{BW} \times \text{NSW Coincidence がとれたトリガー数}}{\text{BW Coincidence がとれたトリガー数}} = \frac{\epsilon_{\text{NSW}}}{\epsilon_{\text{BW}}} \quad (4.5)$$

このトリガー相対効率  $\epsilon_{\text{NSW}/\text{BW}}$  を図 4.14 に示す。 $p_T < 15$  GeV において BW からのトリガー相対効率の減少が見られる。このトリガーは measured- $p_T$  が 20 GeV などの高いトリガーは低い  $p_T$  のミューオンを削減できる利点がある。しかし、低い  $p_T$  number のトリガーにおいて、前節で説明したように measured- $p_T$  に近い  $p_T$  において  $\epsilon_{\text{NSW}/\text{BW}}$  を下げるトリガーである。

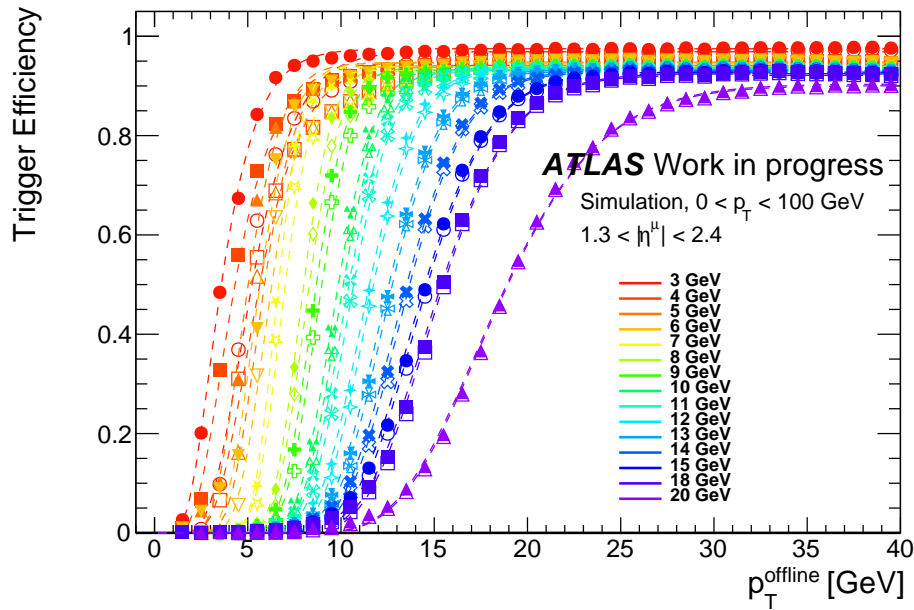


図 4.12 : BW×NSW Coincidence における  $p_T$  merger を通過したトリガーの Turn-on curve。色塗りは BW Coincidence のトリガー結果を表し、白抜きは BW×NSW Coincidence のトリガー結果を表す。

また、 $p_T^{\text{offline}}$  に関して 1 GeV ごとに作成した  $p_T$  residual(式 4.4) 分布を図 4.15 に示す。1 GeV 刻みの  $p_T$  residual 分布の平均値と標準偏差を図 4.16 に示す。BW Coincidence のトリガー出力における  $p_T$  residual の分布に対して、平均と拡がりはほぼ変わらないことが見てとれる。つまり、BW Coincidence で判定される “measured- $p_T$ ” の判定性能を落とさないトリガーである。

## 4.6 RPC BIS78 を用いたコインシデンス

### 4.6.1 BW×RPC Coincidence の概要

RPC の持つ高い位置分解能を活かして NSW と同様に衝突点由来でない荷電粒子によるフェイクトリガーを削減することで、トリガーレートを削減する。CW の作成は、RPC の  $d\eta (= \eta_{BW} - \eta_{RPC})$  :  $d\phi (= \phi_{BW} - \phi_{RPC})$  の相対位置を用いて行う。RPC 検出器についても実際の衝突データを用いた評価は行うことができないため、MC サンプルを用いて CW を定め、トリガーの削減率を見積もる。RPC が配置される位置における粒子の飛跡情報を用いて、それを RPC の分解能まで落としたものを RPC が再構成する飛跡情報の代わりに使用する。 $d\eta$  :  $d\phi$  分布は、 $p_T$  が高い場合は原点付近を通るのに対し、 $p_T$  が低い場合はミュオンの電荷によって曲がる方向が異なるため 2 つの成分に分かれる。また、磁場の分布が異なることによりこの分離の方向は RoI によって大きく異なるため、RoI ごとに最適な CW を定める必要がある。

RPC BIS78 は位置の情報だけでなく、3 層の位置情報を組み合わせることで飛跡の角度情報を

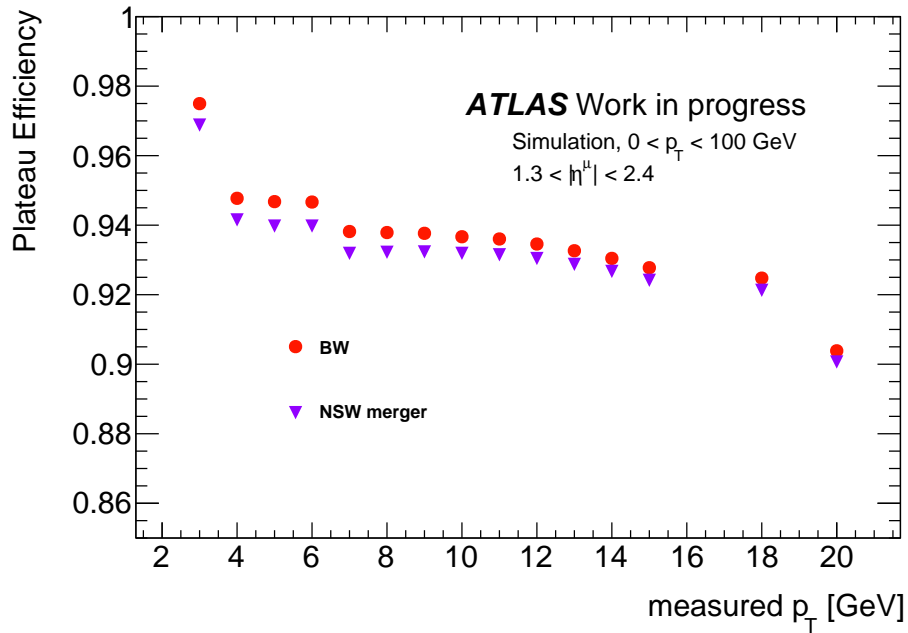


図 4.13 : BW×NSW Coincidence における  $p_T$  merger を通過したトリガーの プラトー効率 (式 4.3)。

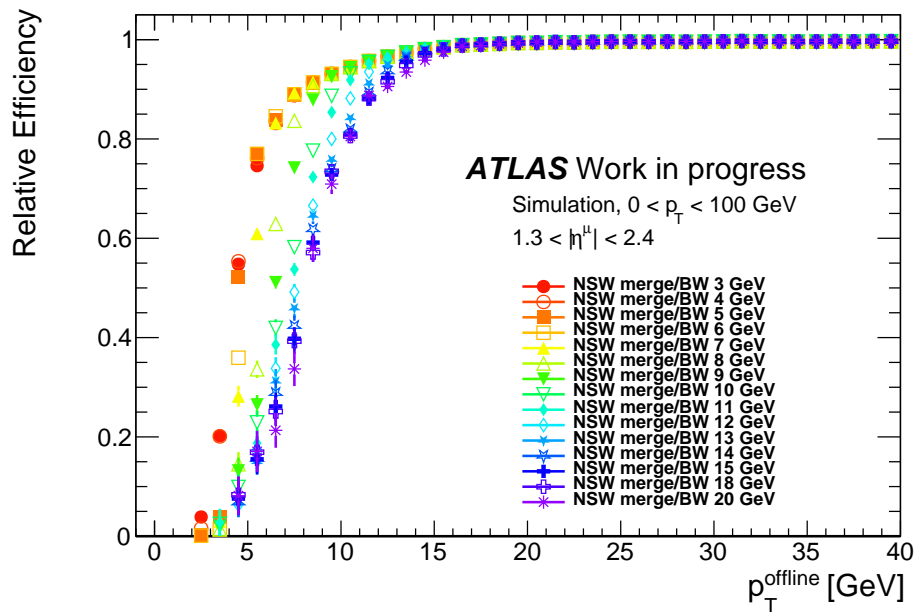


図 4.14 : BW Coincidence 単体のトリガーを通過したミューオンに対する BW×NSW Coincidence のトリガー効率  $\epsilon_{\text{NSW/BW}}$ 。

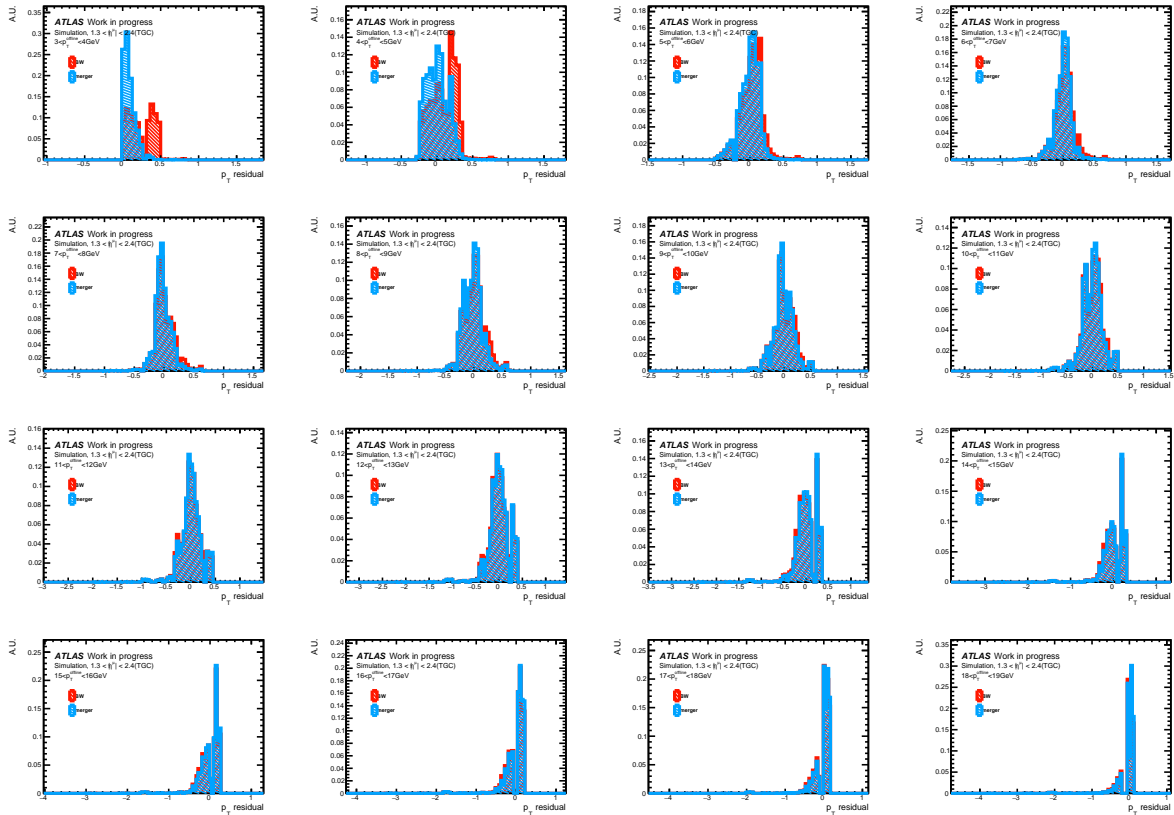


図 4.15 : 1 GeV 刻みの  $p_T$  residual 分布 (3 ~ 19 GeV)。赤が BW Coincidence、青が BW×NSW Coincidence を適用した時の結果である。

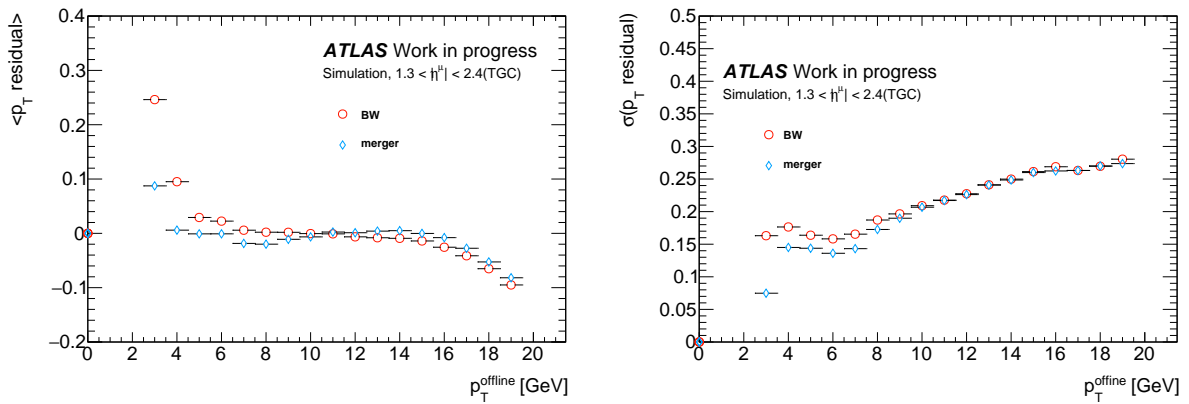


図 4.16 : (左)BW×NSW Coincidence における 1 GeV 刻みの  $p_T$  residual 分布の平均値 (右) BW×NSW Coincidence における 1 GeV 刻みの  $p_T$  residual 分布の標準偏差

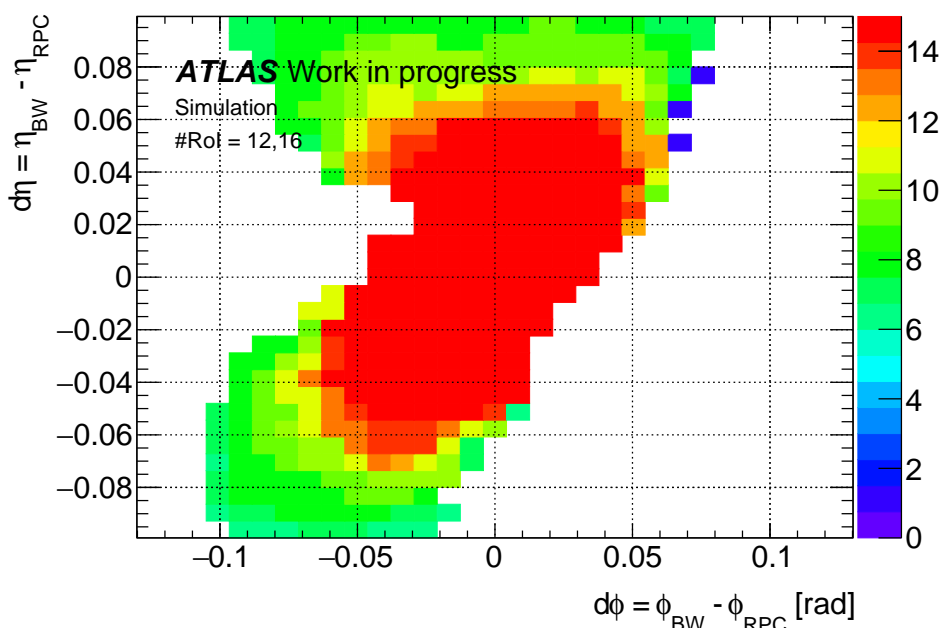


図 4.17 : RPC BIS78 を用いた  $d\eta : d\phi$  の Coincidence Window。 ( $|\eta|=1.15$ )

得ることができる。この角度情報は、RPC BIS78 の最内層で得られた位置情報 ( $\eta_{inner}, \phi_{inner}$ ) から最外層で得られた位置情報 ( $\eta_{outer}, \phi_{outer}$ ) を引いた ( $\Delta\eta, \Delta\phi$ ) と定義する。これを用いる  $d\eta : \Delta\eta$ 、 $d\phi : \Delta\phi$  の CW を用いてトリガー判定を行うロジックを実装する。

#### 4.6.2 BW×RPC Coincidence に用いる CW の作成

BW×NSW Coincidence と同様に BW Coincidence に対するトリガー効率を維持することと、measured- $p_T$  の性能を維持することを満たしながら可能な限りレートを削減できる BW×RPC Coincidence に用いる CW を作成する。また、このトリガーにおいて BW×RPC Coincidence を通過した  $p_T$  number は BW Coincidence で判定された  $p_T$  number と同じ値を返すことにする。そして、表 4.4 で定義された  $p_T$  のミュオンを用いて BW×NSW Coincidence と同じ手順で 15 段階 CW を作成した。作成した CW を図 4.17, 図 4.18 に示す。

#### 4.6.3 BW×RPC Coincidence を用いた $p_T$ 出力の性能評価

BW×RPC Coincidence の  $p_T$  merger は、BW からの  $p_T$  出力、BW-RPC 間の位置情報 ( $d\eta : d\phi$ ) からの  $p_T$  出力 ( $p_T(\text{RPC pos})$ )、RPC の角度情報 ( $d\eta : \Delta\eta, d\phi : \Delta\phi$ ) からの  $p_T$  出力 ( $p_T(\text{RPC ang}(\eta)), p_T(\text{RPC ang}(\phi))$ ) を用いて、最終的な  $p_T$  出力 ( $p_T(\text{merge})$ ) を決定する。NSW と同様に  $p_T(\text{merge})$  は  $p_T(\text{BW})$  から変更せず、 $p_T(\text{BW})$  と同じ  $p_T$  number の位置 CW と角度 CW を参照し、両方のコインシデンスがとれた場合に  $p_T(\text{BW})$  をそのまま後段に送る処理を行う。

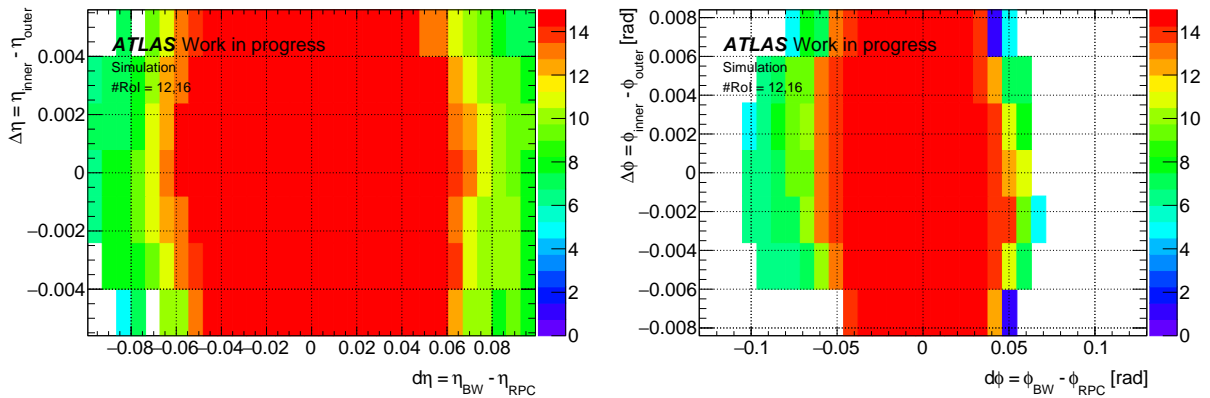


図 4.18 : (a)RPC BIS78 を用いた  $d\eta$  :  $\Delta\eta$  の Coincidence Window。 ( $|\eta|=1.15$ ) (b)RPC BIS78 を用いた  $d\phi$  :  $\Delta\phi$  の Coincidence Window。 ( $|\eta|=1.15$ )

この  $p_T$  merger を通過したトリガーの Turn-on curve を図 4.19 に示す。また、Turn-on curve のプラトー効率 (式 4.3 における  $A$ ) を、横軸はトリガーの  $p_T$  number を表 4.2 の measured  $p_T$  で表し、図 4.20 に示す。BW×RPC Coincidence を通過したトリガーは BW Coincidence と比べて最大 0.4 % のプラトー効率の減少が見られる。このトリガー相対効率  $\epsilon_{\text{RPC/BW}}$  を図 4.21 に示す。

また、 $p_T^{\text{offline}}$  に関して 1 GeV ごとに作成した  $p_T$  residual 分布を図 4.22 に示す。1 GeV 刻みの  $p_T$  residual 分布の平均値と標準偏差を図 4.23 に示す。BW Coincidence のトリガー出力における  $p_T$  residual の分布に対して、平均は 0 からずれるが、拡がりは小さくなる。

## 4.7 実データを使ったトリガーレートの評価

2018 年に取得した Run-2 データを用いて、Inner Coincidence を導入することによるトリガーレートの削減性能の評価をおこなった。

### 4.7.1 実データにおける NSW と RPC BIS78 のヒット情報の再現

NSW と RPC は Run-2 時点では導入されていないため、実データを用いた解析にはその領域におけるヒット情報を他の検出器情報で代用する必要がある。

エンドキャップ領域 ( $1.3 < |\eta| < 2.0$ ) では、ほぼ同じ位置に設置されている MDT (Monitored Drift Tube) と呼ばれる精密測定用のドリフトチェンバーで再構成されたトラックの情報で代用する。MDT は、R 方向の分解能は  $35 \mu\text{m}$  と高いが、 $\phi$  方向にはチェンバー単位でしか分解能はない。このため、 $\phi$  方向の位置情報は TGC-FI のストリップの情報を代用する。また MDT で再構成された飛跡は  $d\theta$  にも分解能が  $0.14 \text{ mrad}$  と高いため代用することができる。フォワード領域 ( $2.0 < |\eta| < 2.4$ ) では、Run-2 においてほぼ同じ位置に設置されていた CSC (Cathode Strip Chamber) と呼ばれるガスチェンバーで再構成されたトラックの情報で代用する。CSC は、R 方



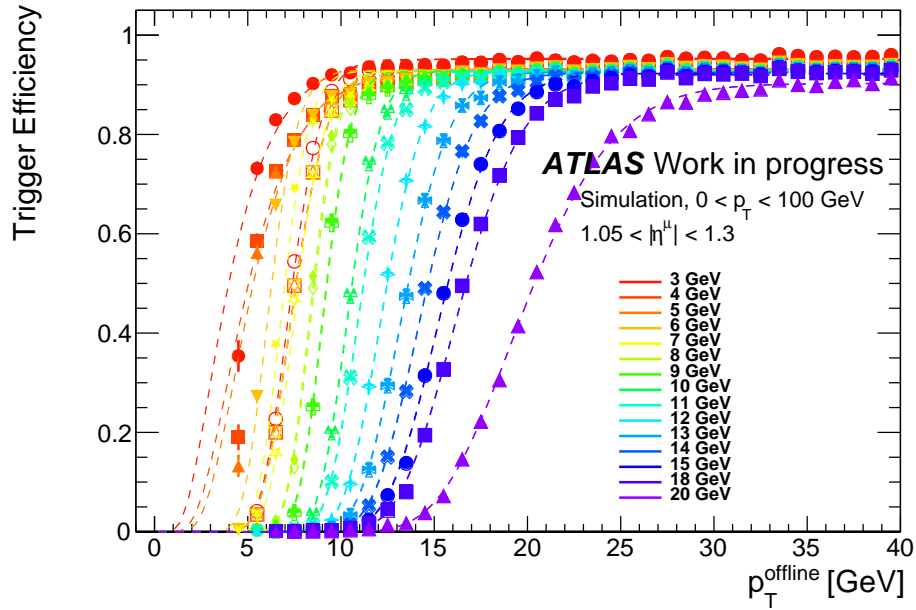


図 4.19 : BW×RPC Coincidence における  $p_T$  merger を通過したトリガーの Turn-on curve。色塗りは BW Coincidence のトリガー結果を表し、白抜きは BW×RPC Coincidence のトリガー結果を表す。

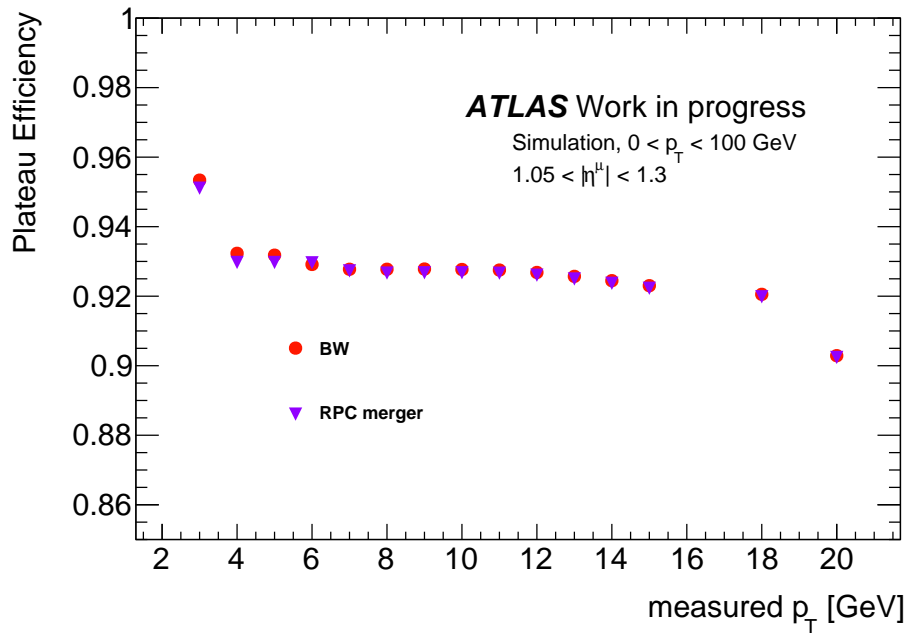


図 4.20 : BW×RPC Coincidence における  $p_T$  merger を通過したトリガーの プラトー効率 (式 4.3)。

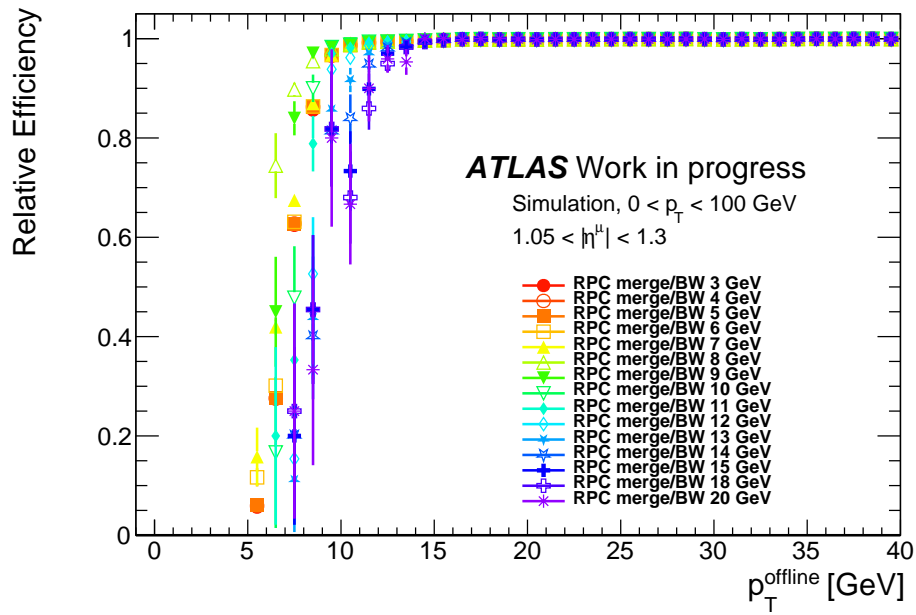


図 4.21 : BW×RPC Coincidence における Relative Efficiency。BW Coincidence 単体のトリガーに対する、BW×RPC Coincidence をとった場合の相対的なトリガー効率を示す。

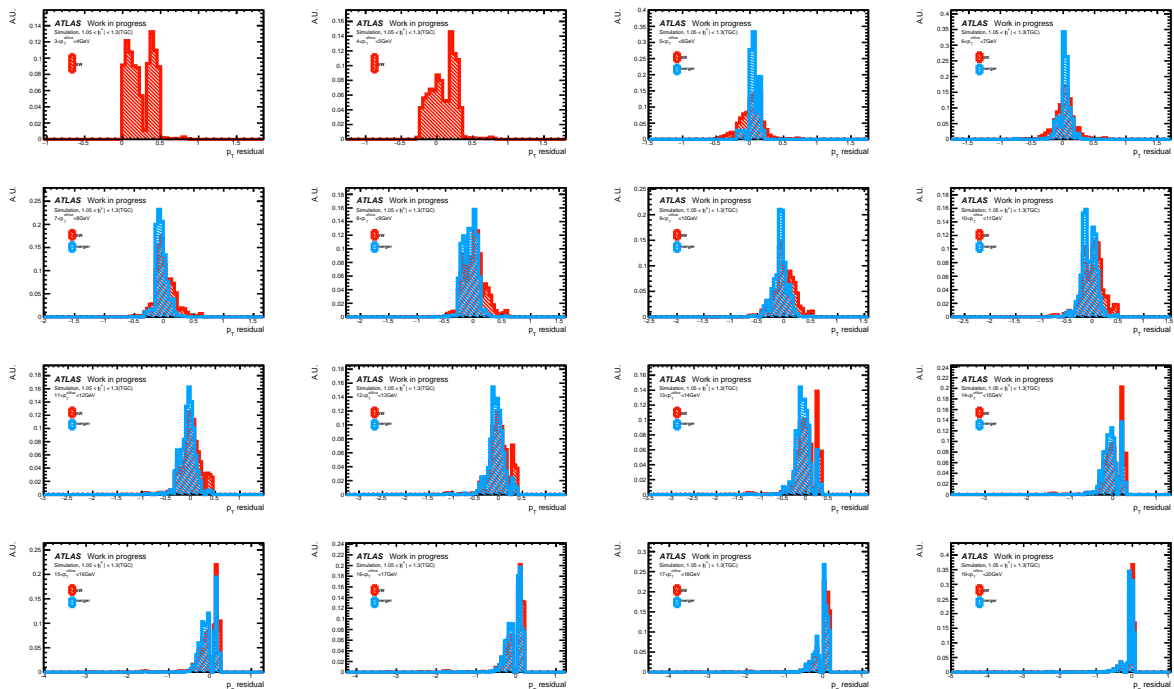


図 4.22 : 1 GeV 刻みの  $p_T$  residual 分布 (3 ~ 19 GeV)。赤が BW Coincidence の結果であり、青が BW×RPC Coincidence の結果である。 $p_T^{\text{offline}} < 5 \text{ GeV}$  において、BW×RPC Coincidence のトリガーが発行されないため、BW Coincidence の  $p_T$  分布だけを示す。

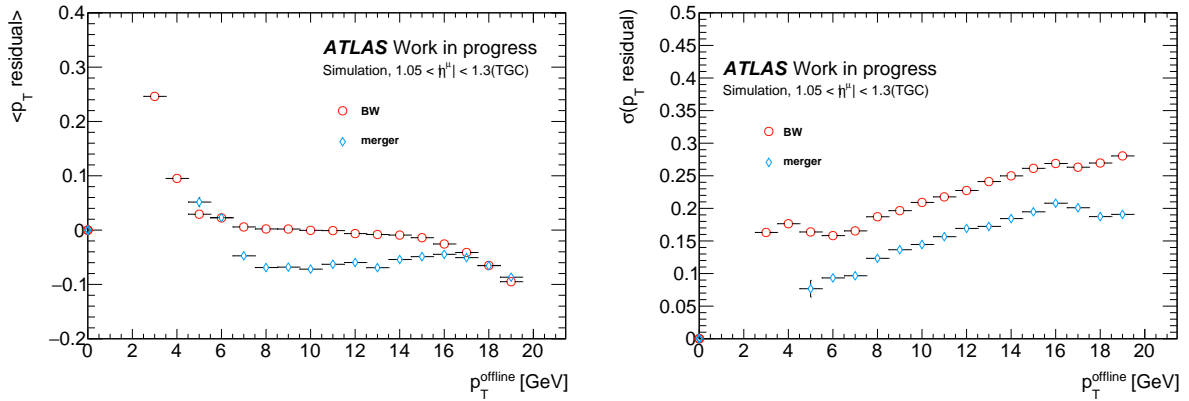


図 4.23 : (左) BW×RPC Coincidence における 1 GeV 刻みの  $p_T$  residual 分布の平均値 (右) BW×RPC Coincidence における 1 GeV 刻みの  $p_T$  residual 分布の標準偏差

向の分解能は  $40 \mu\text{m}$ 、 $\phi$  の分解能は  $5 \text{ mm}$  である。CSC にはビーム軸に対する角度情報が、フォワード領域では  $d\eta : d\phi$  の位置コインシデンスだけをおこなう。これらの代用した  $\eta, \phi, (d\theta)$  情報を用いて、NSW の分解能まで落としたものを NSW が再構成する飛跡情報の代わりに使用する。この見積もりにおいて、角度コインシデンスを用いることができないため本来の NSW コインシデンスよりトリガーレートの削減性能が低下することに留意する必要がある。

また、RPC BIS78 は Run-2 においてほぼ同じ位置に設置されていた MDT BIS78 を用いる、 $\eta$  方向の分解能は  $4.7 \times 10^{-6}$  と高いが、 $\phi$  方向にはチェンバー単位でしか分解能はない。一方 RPC BIS78 の  $\eta$  方向の分解能は  $1.6 \times 10^{-3}$ 、 $\phi$  方向の分解能は  $2.1 \text{ mrad}$  である。これら MDT で代用した  $\eta$  情報を用いて、RPC BIS78 の分解能まで落としたものを RPC BIS78 が再構成する飛跡情報の代わりに使用する。また  $\phi$  方向については粗いカット ( $|d\phi| < 0.15 \text{ rad}$ ) をかけるのみにする。そして、 $d\eta : d\phi$  の CW を用いる代わりに  $d\eta$  のみの CW を新たに定義して位置コインシデンスを行い、 $p_T$  を判定する。この見積もりにおいて、 $\phi$  方向の情報を用いることができないため本来の RPC BIS78 コインシデンスよりトリガーレートの削減性能が低下することに留意する必要がある。

#### 4.7.2 Which Inner の適用方法

図 2.8 で説明したように、 $1.05 < |\eta| < 1.3$  において、複数の検出器が存在したり隣接する領域が存在する。その領域において、RPC, EI, Tile コインシデンスを行う RoI 領域を  $p_T(\text{BW})$  に対して変更する。このアルゴリズムを Which Inner と呼ぶ。ミュオンの  $p_T$  が低く検出器の境界付近の RoI にヒットがあった場合、電荷が異なるミュオンに対応して 2 つの検出器と Inner Coincidence をとることができる。これらに対して OR を取ると効率を高く保つことができるがレートが上昇する。

表 4.5 に、ミュオンがヒットした RoI に対してコインシデンスをおこなう検出器の対応関係を RPC, EI, Tile の導入状況別に示す。検出器の導入状況が“Tile のみ”とは Tile カロリメータ

表 4.5: ミューオンがヒットした RoI に対してコインシデンスをおこなう検出器の対応関係。

検出器の導入状況	ミューオンがヒットした RoI			
	C-side		A-side	
	small sector	large sector	small sector	large sector
Tile のみ	Tile	Tile	Tile	Tile
EI, Tile	Tile	EI	Tile	EI
RPC, EI, Tile	Tile	EI	RPC	EI

だけコインシデンスを行う状態であり、“EI, Tile” とは RPC が導入されず EI と Tile カロリメータがコインシデンスを行う状態である。“RPC, EI, Tile” の場合は、RPC BIS78 は A-side だけにのみ導入されるので、これを考慮して C-side small sector は Tile カロリメータとのコインシデンスをおこなうこととする。“Tile のみ” が導入された場合と “EI, Tile” が導入された場合における RoI と検出器の対応関係は、図 4.30、図 4.31 における削減できるトリガー発行数の見積りに用いる。

#### 4.7.3 フェイクトリガーの削減の見積り

トリガー中における衝突点由来でない荷電粒子によるフェイクトリガーの割合を評価するために、fake ratio を式 4.6 で計算する。

$$\text{fake ratio} = 1 - \frac{\text{offline で再構成されたミューオン数}}{\text{トリガー数}} \quad (4.6)$$

トリガーの状態は、MU<sub>x</sub> に対するフラグとしてあらわされ、“F” が BW コインシデンスに用いる R,φ の入力が両方とも HPT コインシデンス (3.3.2 節) を満たす状態 (“3 station” flag)、“C” が Inner Coincidence がとれた状態 (Inner flag)、“H” が HotRoI ではない RoI からのトリガー発行であること (HotRoI flag) の 3 つがある。また、カットベースロジック (cut) と呼ぶ状態は 4.5 節で説明したように、NSW, RPC において CW として設定される最大範囲の中にトラックがある場合にコインシデンスを取るロジックである。これに対し、本研究で作成した CW を用いた NSW, RPC でのコインシデンスロジックを (CW) と表記する。

図 4.24, 図 4.25, 図 4.26 に各 p<sub>T</sub> number に対する fake ratio を評価した。Inner Coincidence を行うと fake ratio を大幅に削減できることがわかる。

#### 4.7.4 トリガーレートの見積り

Run-3 における、初段シングルミューオントリガーのトリガーレートを見積もる。Run-2 における L1MU4 と Run-3 における L1MU3 が同じパフォーマンスである (表 4.3) ことから、Run-2

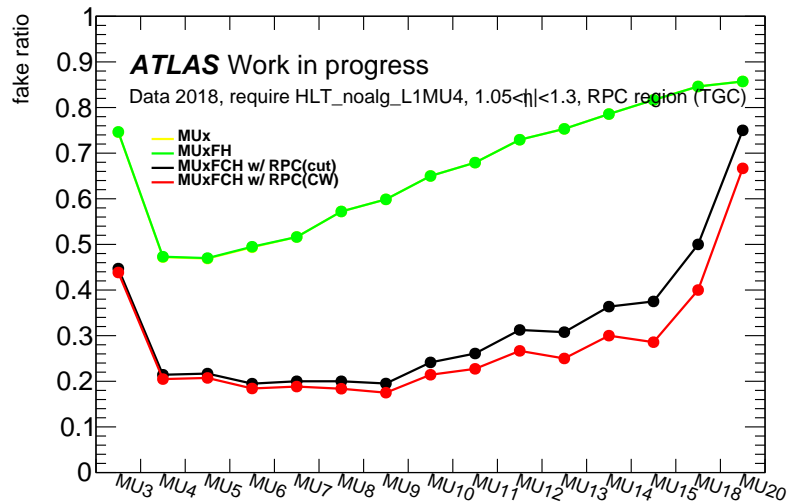


図 4.24 : TGC( $1.0 < \eta < 1.3$ ) における Run-3 の  $p_T$  値を用いた fake ratio。黄色は TGC-BW コインシデンスによる fake ratio を示す。青色は 3 station flag を要求したときの fake ratio を示す。緑色は追加で HotRoI flag を要求した時の fake ratio を示す。黒色は追加で RPC についてカットベースロジックの Inner Coincidence を要求した時の fake ratio を示し、赤色はさらに RPC について CW を用いた Inner Coincidence を要求した時の fake ratio を示す。

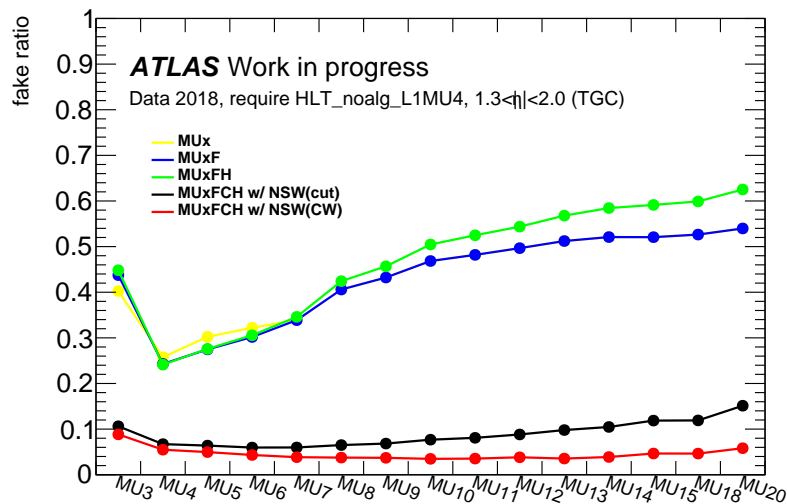


図 4.25 : TGC( $1.3 < \eta < 2.0$ ) における Run-3 の  $p_T$  値を用いた fake ratio。黄色は TGC-BW コインシデンスによる fake ratio を示す。青色は 3 station flag を要求したときの fake ratio を示す。緑色は追加で HotRoI flag を要求した時の fake ratio を示す。黒色は追加で NSW についてカットベースロジックの Inner Coincidence を要求した時の fake ratio を示し、赤色はさらに NSW について CW を用いた Inner Coincidence を要求した時の fake ratio を示す。

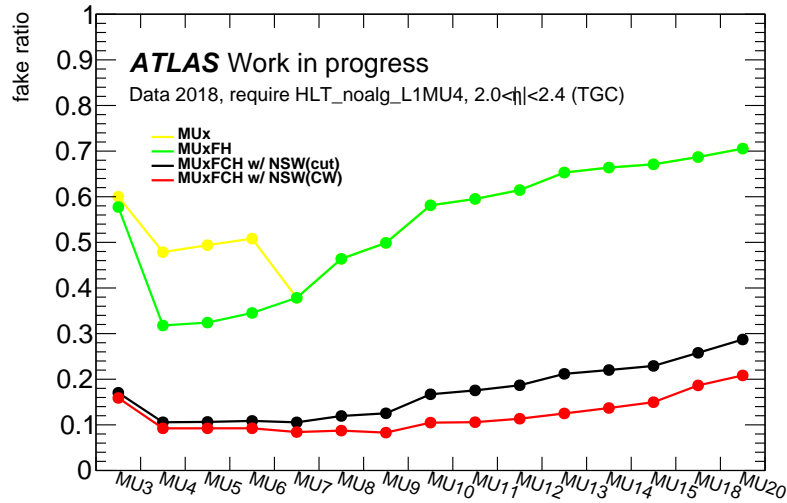


図 4.26 : TGC( $2.0 < \eta < 2.4$ ) における Run-3 の  $p_T$  値を用いた fake ratio。黄色は TGC-BW コインシデンスによる fake ratio を示す。青色は 3 station flag を要求したときの fake ratio を示す。緑色は追加で HotRoI flag を要求した時の fake ratio を示す。黒色は追加で NSW についてカットベースロジックの Inner Coincidence を要求した時の fake ratio を示し、赤色はさらに NSW について CW を用いた Inner Coincidence を要求した時の fake ratio を示す。

データから瞬間ルミノシティが  $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  である場合の L1MU4(Run-2) のトリガーレートを考え、これを基にして各  $p_T$  number のトリガーレートを求める。Run-2 データにはトリガーにプリスケールによるバイアスが存在するため、バイアスのない状態でトリガーレートを計算するために、“初段トリガーで L1MU4(Run-2) かつ HLT をパススルーした”(HLT ではトリガーを要求しないこと) トリガーチェーン (2.2.5 節) を用いて、式 4.7 のようにプリスケール値とトリガー時間を用いることで、L1MU4(Run-2) のレートを求める。

$$\text{L1MU4 のレート [kHz]} = \frac{\text{L1MU4 かつ HLT をパススルーしたイベント数} \times \text{プリスケール値}}{\text{トリガー時間 [s]}} \quad (4.7)$$

そして、瞬間ルミノシティと求めた L1MU4 のトリガーレートの間係を図 4.27 に示した。トリガーレートはルミノシティに対して線形性を示しており、Run-3 における瞬間ルミノシティが  $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  の時の L1MU3(Run-3) のトリガーレートは  $1653 \pm 7 \text{ kHz}$  と計算される。

そして、Run-3 の新しい  $p_T$  値 (MUX(Run-3)) におけるトリガーレートを計算する。Run-2 データにおいて “初段トリガーで L1MU4(Run-2) かつ HLT をパススルーした” トリガーチェーンを用いて、この中に MUX がトリガーされたイベントがいくら存在するかを調べ、瞬間ルミノシティが  $2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  の時の L1MU4 のトリガーレート (1650 kHz) をかけることで MUX のトリガーレートを見積もる。式 4.8 に計算式を示す。

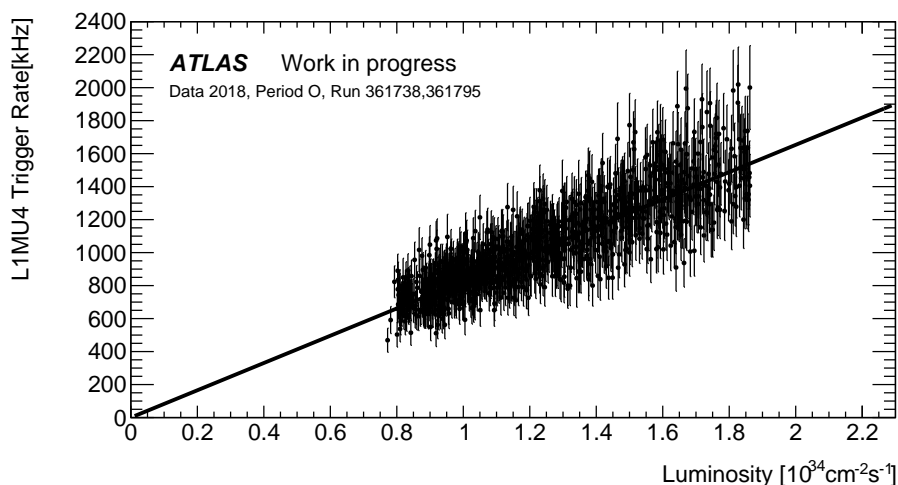


図 4.27 : Run2(2018 年) のデータ取得におけるルミノシティと L1MU4(Run-2) のトリガーレートの関係。

$$\text{MU}_x \text{ のレート [kHz]} = \frac{\text{MU}_x \text{ がトリガーされたイベント数}}{\text{L1MU4 かつ HLT をパススルーしたイベント数}} \times \text{L1MU4 のレート [kHz]} \quad (4.8)$$

また、TGC における Run-3 用の 15 段階  $p_T$  値の判定に用いている CW は MC をもとに作成しており、TGC の BW の位置は設計上の位置となっている。しかし TGC-BW は、図 4.28 のように設計上の位置と実際の位置が少しずれている。従って、データを用いて評価する際、本来はデータのアライメントに合わせて CW を修正し、 $p_T$  判定を行わなければならない。先行研究では、CW の最適化により全体で 10% ~ 20% のトリガーレートの削減が可能になると見積もられている [44]。CW の修正は実際に Run-3 が始まりある程度のデータを収集してから、再構成されたミューオンの  $p_T$  と RoI で発行された  $p_T$  number との比較から修正を行う予定である。今回は MC をもとに作成し、これまで性能評価をおこなった CW を使用してトリガーレートを見積もる。

TGC だけでなく RPC のトリガーレートも見積もり、初段ミューオントリガーにおけるシングルミューオン全体のトリガーレートを見積もる。しかし、Run-2 データに Run-3 用の RPC の  $p_T$  値を導入できないため、Run-2 の  $p_T$  値のままトリガーレートを見積もる。Run-2 における RPC の MU20 は Run-3 における MU14 と同程度のパフォーマンスであるため、そこから Run-3 における瞬間最高ルミノシティ下でのトリガーレートを式 4.8 を用いて計算する。図 4.29 にルミノシティが  $2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  での RPC における Run-2 の  $p_T$  値 (表 4.1) を用いたトリガーレートを示す。

MU3 におけるトリガー発行数の  $\eta$  分布を図 4.30 に、MU14 におけるトリガー発行数の  $\eta$  分布を図 4.31 に示す。そして、MU $_x$ (Run-3) の出力に対するトリガーレートを図 4.32 に示す。BW Coincidence のトリガー出力 (黄) から順に “3 station” flag (青), HotRoI flag (緑), カットベース

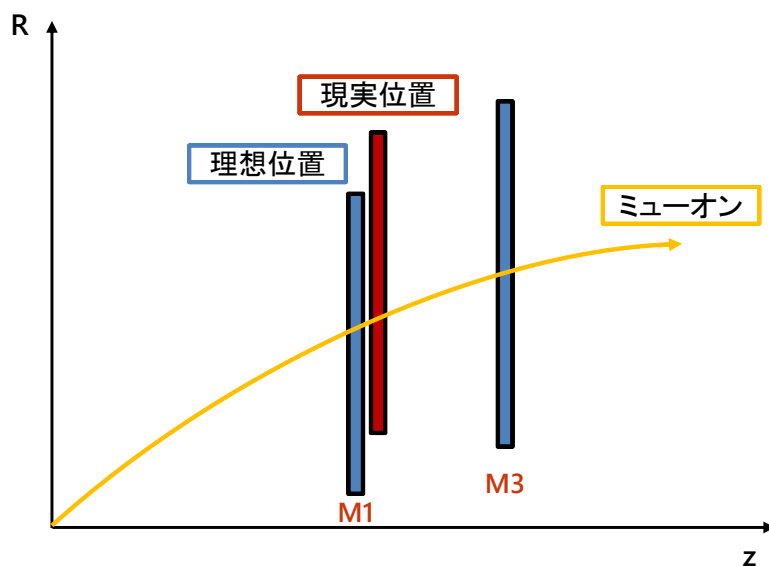


図 4.28 : 理想的な TGC の位置と実際の TGC の位置におけるずれの概念図 [44]。ずれによって  $p_T$  判定の際に TGC の M3 と M1 のヒット位置が大きく (または小さく) なり、MC を用いて作成した CW では正しい  $p_T$  が判定できない。

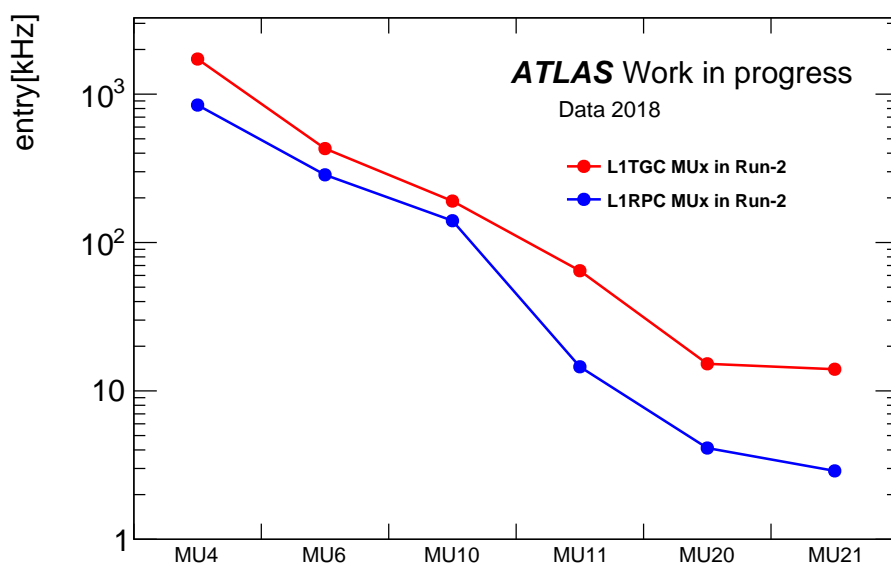


図 4.29 : RPC(バレル部) と TGC(エンドキャップ部) における Run-2 の  $p_T$  値 (4.1) を用いたシングルミュオントリガーレート ( $L = 2.0 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ )



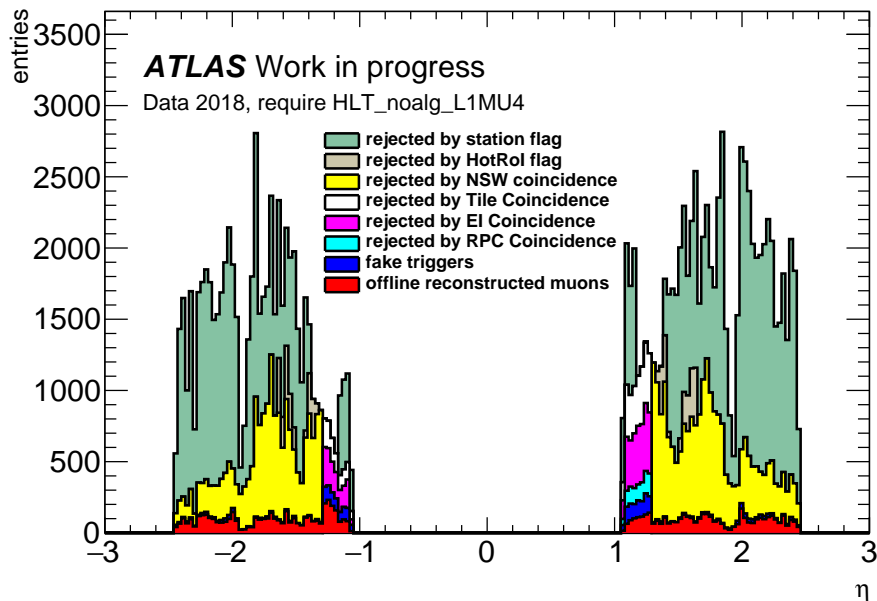


図 4.30 : Run-3 で予想される TGC 領域かつ MU3 におけるトリガー発行数の  $\eta$  分布。薄緑、灰色の領域はそれぞれ station flag、HotRoI flag で削減されるトリガー発行数を示す。白色、薄い青色、黄色の領域はそれぞれ Tile カロリメータ、RPC BIS78、NSW を用いた Inner Coincidence を導入した場合に削減できるトリガー発行数を示す。青色の領域は Run-3 で期待されるトリガー発行数、赤色の領域は発行されたトリガーのうちオフラインで再構成されるミュオンの数を示す。

ロジックの Inner Coincidence(黒) , CW を用いた Inner Coincidence(赤) を順番に要求していくとレートが下がっていくことが見える。また、BW Coincidence (3 station) 単体に対して Inner Coincidence が取れたトリガーレートの割合を図 4.33 に示す。エンドキャップ部の全ての  $p_T$  出力について、BW Coincidence に対して Inner Coincidence をとると 70% ~ 80% のレートを削減できる。

表 4.6 に、Run-3 における MU14 のトリガーレートを示す。MU14 において、CW を導入しない場合は 8.0 kHz、CW を導入する場合は 7.2 kHz である。初段ミュオントリガー全体で Run-2 のトリガーレートに対して 60% のトリガーレートを削減でき、カットベースのロジックに対して 10% のトリガーレートを削減できる。また、エンドキャップ領域だけを考える場合、Run-2 のトリガーレートに対して 78% のトリガーレートを削減でき、カットベースのロジックに対して 20% のトリガーレートを削減できる。

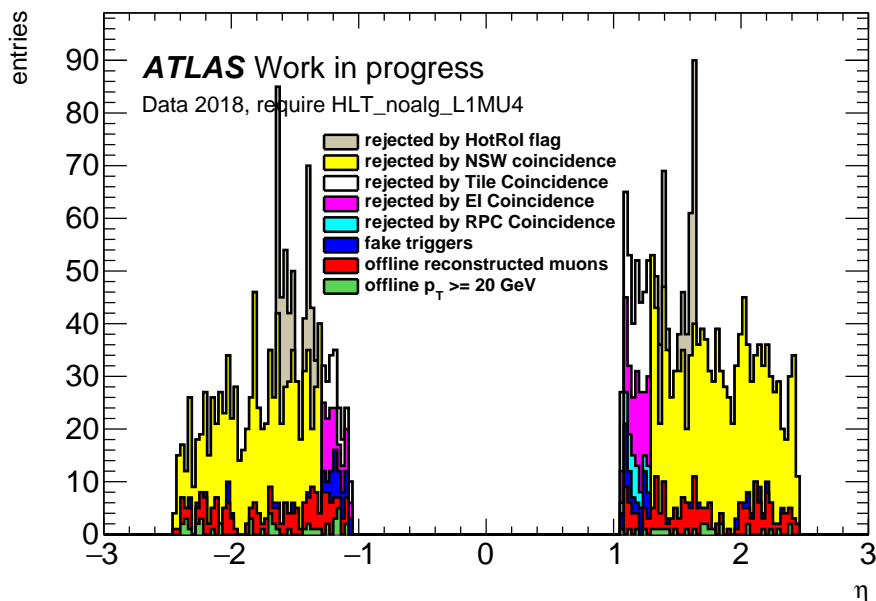


図 4.31 : Run-3 で期待される TGC 領域かつ MU14 におけるトリガー発行数の  $\eta$  分布。白色、薄い青色、黄色の領域はそれぞれ Tile カロリメータ、RPC BIS78、NSW を用いた Inner Coincidence を導入した場合に削減できるトリガー発行数を示す。青色の領域は Run-3 で期待されるトリガー発行数、赤色の領域は発行されたトリガーのうちオフラインで再構成されるミュオンの数を示す。緑の分布はオフラインで再構成されたミュオンのうち、 $p_T$  が 20 GeV 以上のミュオンの数を示す。

表 4.6 : Run-3 における MU14 のトリガーレート。Run-2 は MU20 のトリガーレートを用いた。

トリガー名	エンドキャップ部 [kHz]	バレル部 [kHz]	合計 [kHz]
MU20(Run-2) w/ EI/FI,Tile	14.0	4.1	18.1
MU14F	16.4	4.1	20.5
MU14FCH w/ NSW(cut),RPC(cut),EI,Tile	3.9	4.1	8.0
MU14FCH w/ NSW(CW),RPC(CW),EI,Tile	3.1	4.1	7.2

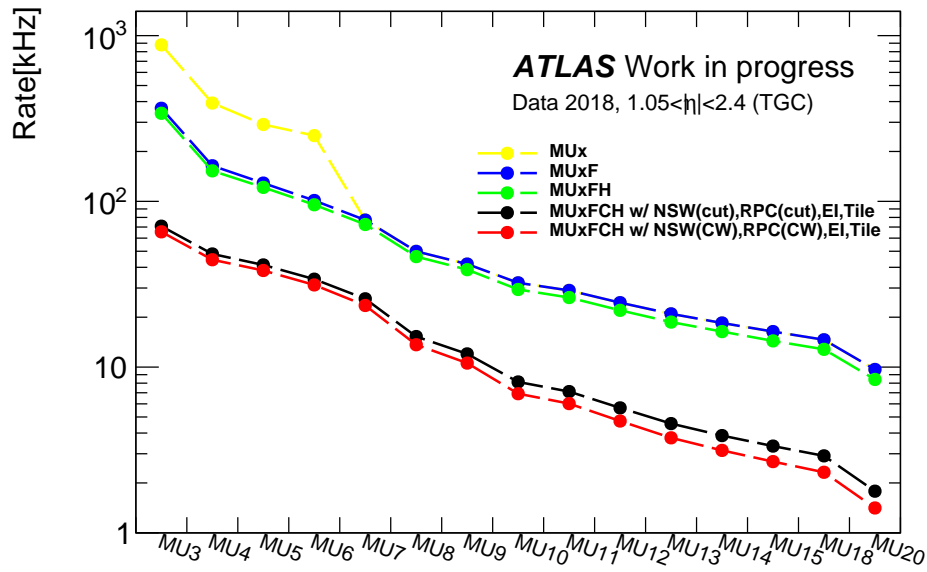


図 4.32 : TGC における Run-3 の  $p_T$  値を用いたシングルミューオントリガーレート ( $L = 2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ ) 黄色は TGC-BW コインシデンスによるトリガーを示す。青色は 3 station flag を要求したときのトリガーを示す。緑色は追加で HotRoI flag を要求した時のトリガーを示す。黒色は追加で NSW, RPC についてカットベースロジックの Inner Coincidence を要求した時のトリガーを示し、赤色はさらに NSW, RPC について CW を用いた CW を用いた Inner Coincidence を要求した時のトリガーを示す。

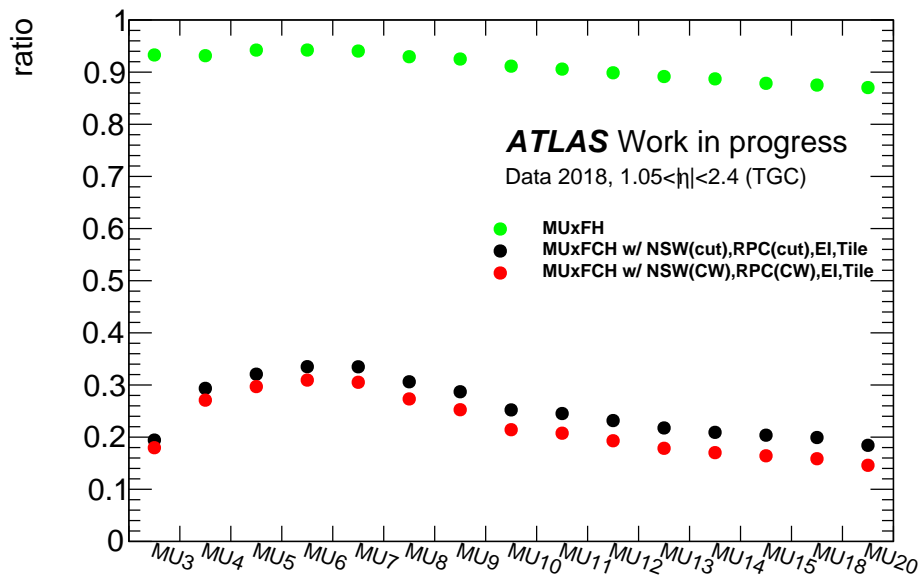


図 4.33 : BW Coincidence (3 station) に対して HotRoI flag, Inner Coincidence, CW を順番に要求していった場合のトリガーレートの割合。

## 第5章 New Sector Logic に実装するトリガーファームウェアの開発

前章で述べた ATLAS 実験 Run-3 に向けた初段ミューオンエンドキャップ部トリガーロジックを実装するために、New Sector Logic(NSL)を開発した。本章では、NSL の各機能を実装するためのファームウェアの開発と検証について述べる。

### 5.1 NSL に実装するファームウェアの概要

FPGA にファームウェアを書き込むことでロジックや配線を設定し、様々な機能を実装することができる。本研究では、Xilinx 社の提供する “Vivado”<sup>[45]</sup> と呼ばれるソフトウェアを用いてコンパイルを行い、ロジック及び配線・配置等の制約を回路の情報に焼き直すことで、機能を実装する。ブロック RAM(BRAM) と呼ばれるメモリブロックを用いてトリガー判定に必要な情報を保存したり、読み出しのための一時的なデータの保持を行う。FPGA では論理回路はクロックに同期した形で実装され、信号がどのクロックに同期しているか、信号が異なるクロック間をまたぐ場合にどのように処理されるかを考える必要がある。図 5.1 に、開発した NSL ファームウェアのブロック図を示す。

ファームウェアは大きく 3 つの部分に分けられる。1 つ目がトリガー情報の送受信を担当する部分で、図 5.1 の外につながる矢印と接続されている “GTX”<sup>[46]</sup>、“G-Link”<sup>[39]</sup>、“Phase Align”、“Delay” の部分である。シリアルデータを受信、または送信するための機能を担当する。<sup>[27]</sup> 2 つ目がトリガー部分で、“Trigger Firmware” と示されたブロック部分である。受信データをもとにトリガー判定を行い、その結果を出力する。3 つ目が読み出し部分で “Readout Firmware” というブロックで示されている。データの保持・圧縮・整形を行い、SiTCP<sup>[47]</sup> を用いて外部に送信する機能を担当する。

次節から、ファームウェアにおけるトリガーアルゴリズムの実装について記述する。

### 5.2 トリガーファームウェアの実装

2.2.5 節で説明したように、初段トリガーは Fixed Latency システムを採用しているため、トリガー判定にかかる時間は全てのバンチ衝突に対して常に一定でなければならない。また  $2.5 \mu\text{s}$  以内にトリガー判定を行わなければならない。

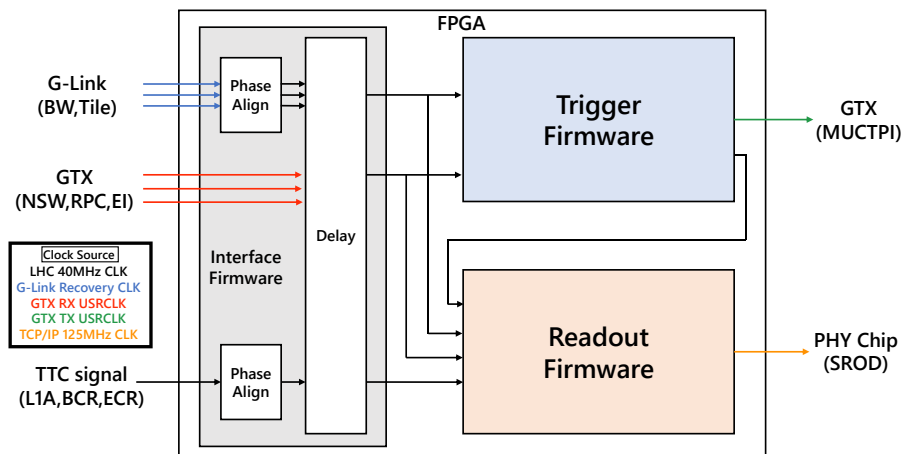


図 5.1 : NSL の FPGA に実装されるファームウェアの概要。データ送受信部分、トリガー部分、リードアウト部分で構成されている。

表 5.1 に NSL がトリガー判定に用いることのできる時間を示す。ここでは TGC-BW からデータを受信するまでにかかる時間およびバンチ衝突から NSL にデータが届くまでの時間が一番長い、すなわちトリガー判定に使える時間が一番短い NSW トリガーセクターの latency を示す。Bunch Crossing (BC) はバンチ交差間隔の時間で、25 ns である。NSL が NSW のデータを受信するまでにかかる時間は、バンチ衝突から 41.4 BC (約 1  $\mu$ s) 後であり、シリアルで受信したデータをパラレルに戻すための処理に 2.5 BC かかる。その後、各検出器からの受信データのタイミングを合わせるための delay 処理に 1 BC かかる。1 BC 分の時間をかけて NSW から受信したデータを変換し、検出器の位置のズレの補正を行う。2 BC 分の時間をかけて TGC-BW とのコインシデンスをとり、 $p_T$  へと変換される。1 BC 分の時間をかけてコインシデンス後に残ったミュオントラックの中から MUCTPI Appendix D.3.1 へ送る候補を選ぶ。1 BC 分の時間をかけて送信用のデータフォーマットへ変換する。

NSW から受信したデータをパラレルに戻す処理までにかかる時間 (衝突から 44 BC) と、MUCTPI へ送信するためデータをシリアルに変換するための時間 (衝突から 50 BC) は決まっているため、NSL では 6 BC(150 ns) 以内に要求される全ての処理を終えなければならない。

トリガーファームウェアの概要を図 5.2 に示す。まず TGC-BW Coincidence で、TGC-BW から受信した情報のみを用いて BW でのヒット位置 (RoI) の決定と  $p_T$  の判定を行う。RoI の情報は、磁場領域より内側にある検出器で得られたミュオンの飛跡情報をデコードするためのモジュールである Decoder へと送られる。Decoder では磁場領域より内側にある検出器と TGC-BW の相対的な位置のずれの補正を行い、コインシデンスロジックへ入力するために飛跡情報の変換を行う。デコードされた飛跡情報と RoI 情報は BW×Inner Coincidence に送られ、 $p_T$  の判定を行う。これらの処理を各 SSC(3.1.2 節) で並列に行い、Track Selector で MUCTPI へ送るミュオンのトラックを最大 4 つ選ぶ。これを NSL が処理する 2 トリガーセクターで並行して行う。

表 5.1 : NSL がトリガー判定ロジックに用いる時間。(1 BC = 25 ns)

New Small Wheel			TGC-BW		
	BC	時間		BC	時間
NSW からの信号を受信		41.4	BW からの信号を受信		37
シリアル→パラレルへの変換	2.5	44	シリアル→パラレルへの変換	2	39
Delay	1	45	TGC-BW Coincidence(5.2.1)	2	41
NSW Decoder(5.2.2)	1	46	NSW 信号を待機	5	46
			BW×NSW Coincidence(5.2.2)	2	47
			Track Selector(5.2.4)	1	49
			パラレル→シリアルへの変換	2	51
			MUCTPI への信号の送信	2	53

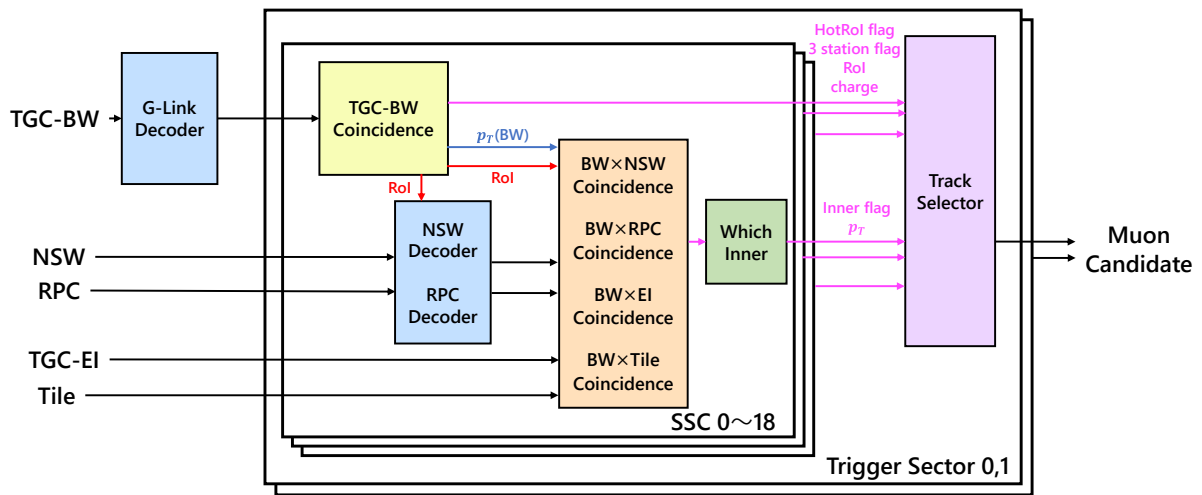


図 5.2 : トリガーファームウェアの概要。赤は位置を表す RoI 情報で、青は TGC-BW 単体で判定した  $p_T$  である。TGC-BW の RoI 情報と磁場領域より内側に設置された検出器で得られたミュオンの飛跡情報を用いて、BW×Inner Coincidence をおこなう。これらの処理は各 SSC ごとに並列で行われ、HotRoI flag, 3 station flag, Inner flag, charge, RoI,  $p_T$  を Track Selector に送信する。最後に Track Selector で MUCTPI へ送信するミュオンの候補 (Muon Candidate) を選択する。

### 5.2.1 TGC-BW Coincidence の実装

TGC-BW Coincidence の概要を図 5.3 に示す。TGC-BW Coincidence では TGC-BW の情報 (Appendix B.2.1) のみを用いてミューオンのヒット位置 (RoI) と  $p_T$  の判定を行う。

ミューオンのヒット位置の決定法について図 5.4 を用いて説明する。 $p_T$  の判定に用いる R 方向の位置情報は SSC あたり 1 つしか送られてこないが、 $\phi$  の情報は最大 4 つ分受け取る可能性がある。そのため、 $\phi_0 \sim \phi_3$  までの 4 つの  $\phi$  のヒット情報を  $\phi_0, \phi_1$  と  $\phi_2, \phi_3$  の 2 つずつに分け、 $\phi$  selector に入力する。 $\phi$  selector では入力の  $\phi$  情報を表すもののうち、HPT コインシデンスがとれたかを表す H/L flag を見て、HPT ボード (3.3.2 節) でのコインシデンスがとれた  $\phi$  情報を優先的に選ぶ。同じ quality の場合は、あらかじめ決められた優先順位で 1 つの  $\phi$  情報を選ぶ。

このようにして選ばれた 2 つの  $\phi$  情報を用いて M1-M3 間の  $dR : d\phi$  コインシデンスをおこない、 $p_T$  と電荷の計算と RoI の決定を SSC ごとに行う。4 章において記述した Coincidence Window (CW) を参照することで  $p_T$  と電荷の判定をおこなう。この CW は NSL ボードの FPGA の BRAM の中に実装している。CW から出力されるトリガー判定の結果は 15 段階の  $p_T$  と電荷の合計 5 bit で表現される。また、wire HPT ボードと strip HPT ボードにおいてそれぞれ HPT コインシデンスがとれていれば H、とれていなければ L で表す。HH, HL, LH, LL の 4 通りの組み合わせが存在し、それぞれの組み合わせで用いる CW を決定する。特に HH はフルステーションコインシデンスと呼ばれ、“3 station” flag を後段に送る。HH の場合は 1~15、HL, LH の場合は 1~4、LL の場合は 1,2 の  $p_T$  番号を出力する。

2 つの  $\phi$  情報から得られた 2 つのトリガーのうち  $p_T$  が高いものを選ぶ。磁場領域の弱い領域を通過するため横運動量  $p_T$  の判定能力が低い RoI が存在する。そのような RoI でなければ HotRoI flag を後段に送る。

最終的に、ミューオンの  $p_T$  4 bit と電荷 1 bit、ヒット位置 (RoI) 3 bit、3 station flag 1 bit と HotRoI flag 1 bit の 10 bit でトリガー情報が表現される。

TGC-BW Coincidence では、CW を用いて  $p_T$  を判定するために 40 MHz のクロックを 1 クロック (= 1 BC) 分、SSC 中の複数のミューオンの候補から 1 つ選ぶためにもう 1 クロックの時間を使う。

### 5.2.2 BW×Inner Coincidence の実装

BW×Inner Coincidence では TGC-BW Coincidence で判定されたミューオンのトラックと磁場領域より内側にある検出器で得られた飛跡情報を組み合わせたトリガー判定を行う。

4.7.2 節 で説明したように、BW×Inner Coincidence では、RoI ごとにコインシデンスを要求する内側検出器が異なる。 $1.05 < |\eta| < 1.3$  において、1 つの RoI (BW ヒット位置) に対して 1 つの内部検出器とコインシデンスをとると最もレートを下げることができるが、複数の内部検出器で並行にコインシデンスを行うとトリガー効率を上げることができる。例えば、2 つのミューオ

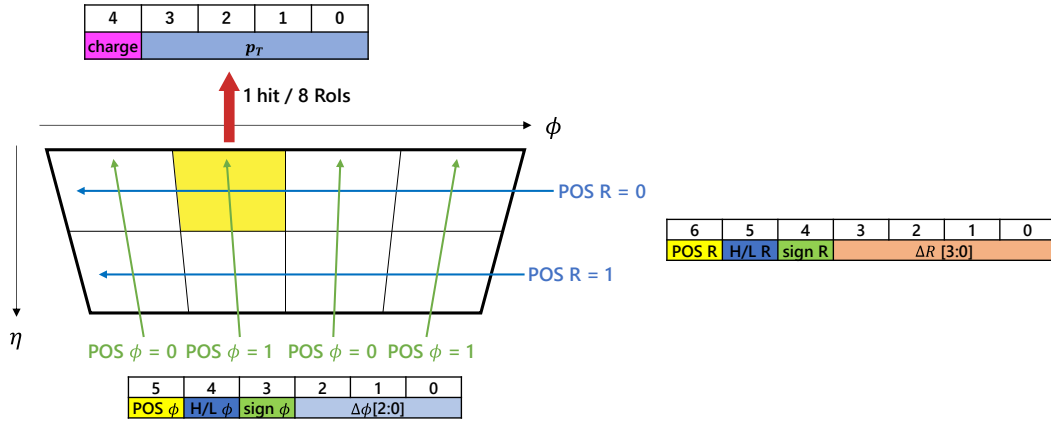


図 5.3 : TGC-BW Coincidence の概要。8 RoI (1 SSC) の中から 1 つのミュオンの RoI 情報と  $p_T$  を決定する。POS が飛跡の位置情報を表しており、 $R$  と  $\phi$  にデコードされ、RoI を決定するために用いる。H/L R, H/L  $\phi$  は HPT コインシデンスがおこなわれたかどうかを示す。詳細なフォーマットは B.2.1 節を参照。

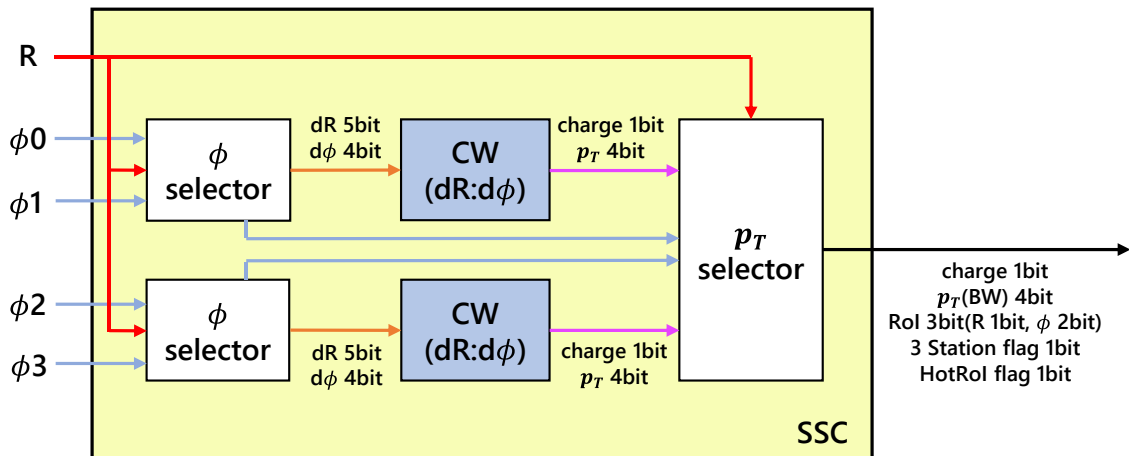


図 5.4 : TGC-BW Coincidence のブロック図 (1 SSC 分)。まず  $\phi$  selector で  $\phi$  の情報の数を 2 つに減らす。その後、2 つの  $\phi$  の情報を用いて CW で  $p_T$  の判定を行い、2 つの  $p_T$  から高いものを選ぶ。



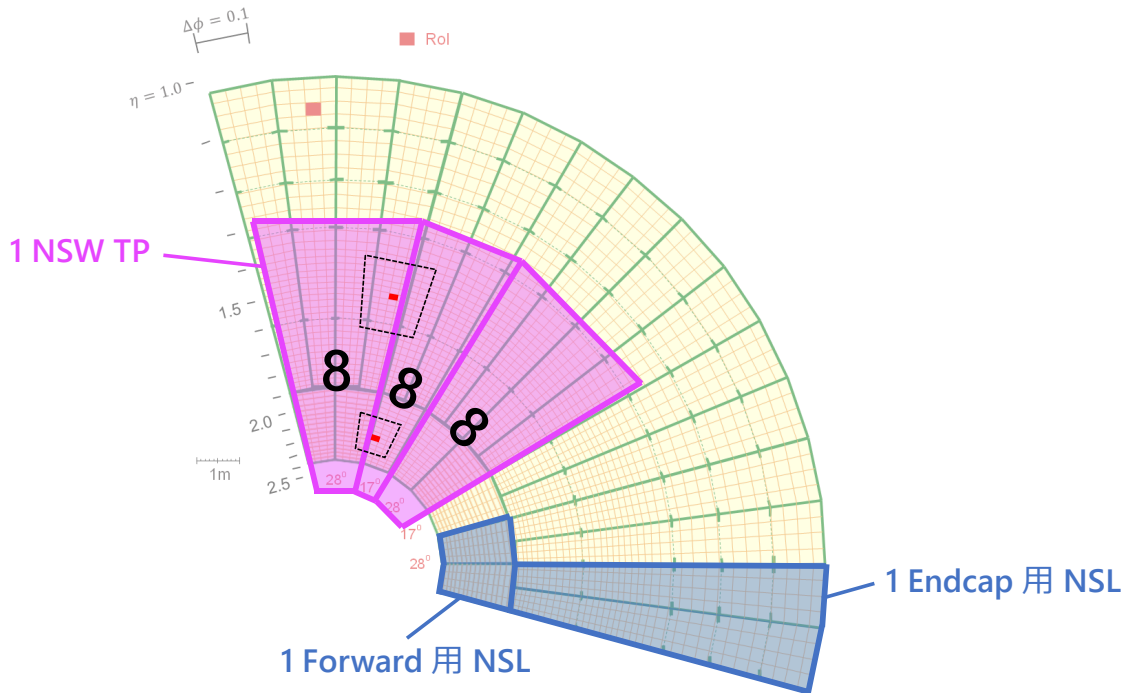


図 5.5 : 1 つの RoI と対応する NSW で再構成されたミュオントラックの数。1 つの NSW TP は最大 8 トラック分の情報を NSL へ送る。赤色の RoI に入射したミュオンに対してコインシデンスを要求し得る範囲を点線で示した。この範囲内に入るトラックの数は 16 トラック分 (NSW TP 2 つ分) である。

ンが異なる内側検出器を通過した場合、電荷や運動量が違うことで磁場による曲がり方が異なるために同じ RoI にヒットすることもある。

コインシデンスをとる検出器選択をさらに最適化する余地を残すために、1 つの RoI (BW ヒット位置) に対して、 $(1.3 < |\eta| < 2.4$  の場合は NSW とコインシデンスをとり、)  $1.05 < |\eta| < 1.3$  の場合は RPC BIS78, TGC-EI, Tile カロリメータの中から並行にコインシデンスをとることができるように実装する。

以下では、BW と NSW とのコインシデンスについて説明する。図 5.2 における NSW Decoder と BW×NSW Coincidence のブロックごとに分けて説明する。

### (1) NSW Decoder の実装

図 5.2 の Decoder 部分について説明する。Decoder では、NSW と TGC-BW の相対的な位置の補正を行う。NSL は NSW からミュオンの飛跡情報を受け取り、 $p_T$  の判定を行うが、このためにはトラックの位置  $(\eta, \phi)$  から TGC-BW のヒット位置と磁場領域より内側でのミュオントラックの位置の差  $(d\eta, d\phi)$  へと変換する必要がある。

1 つの NSL は 2 つか 3 つの NSW TP から最大 24 トラックの情報を受け取る。受け取った NSW トラックと TGC-BW のトラックはそのままで対応がとれていないので、TGC-BW

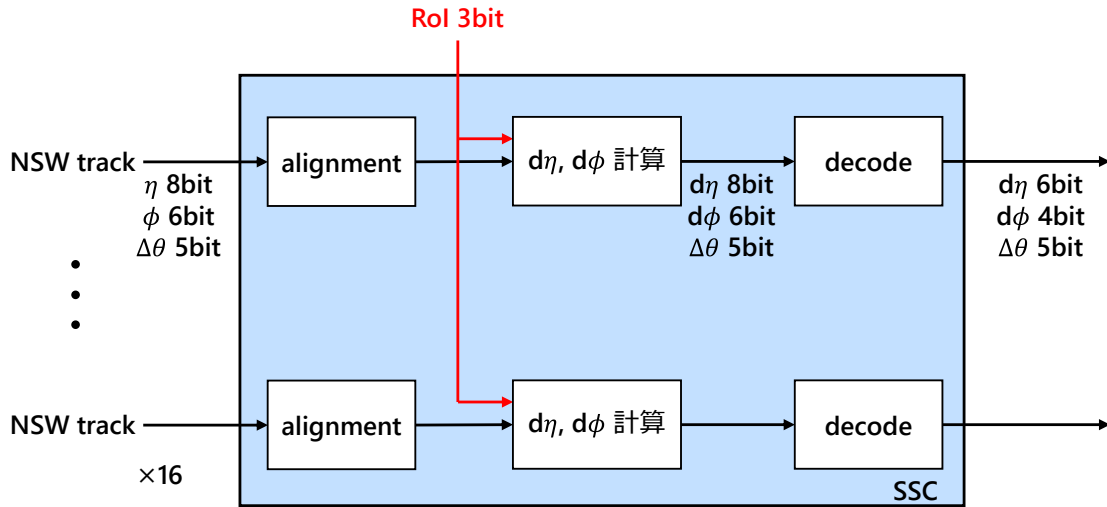


図 5.6 : NSW Decoder のブロック図 (1 SSC 分)。“alignment”で TGC-BW と NSW の相対的な位置のずれを補正し、TGC-BW Coincidence で決定した RoI 情報を使って  $d\eta$ ,  $d\phi$  を計算する。計算後の飛跡情報はコインシデンスロジックにかける範囲内のものであれば余分な bit を削る。コインシデンスを要求する範囲外のものであればコインシデンスをとれないようなパターンへ変換する。

Coincidence で判定された各ミューオンの候補に対して、NSW で再構成されたすべてのトラックとの  $(d\eta, d\phi)$  を計算する必要がある。また、図 5.5 に示すように各トリガーセクター (3.1.2 節) では最大の 16 本の NSW トラックとのコインシデンスがおこなわれる。また、各 SSC ごとに独立して判定を行う。

図 5.6 に NSW の飛跡情報を変換するための Decoder ロジックのブロック図を示す。NSW の各飛跡情報は、TGC-BW との相対的な位置のずれを補正するため alignment モジュールに入力される。補正された飛跡情報は、 $p_T$  の判定を行うために TGC-BW で判定されたミューオンの位置情報  $(\eta, \phi)$  との相対位置  $(d\eta, d\phi)$  の情報へと変換される。

NSW の飛跡情報の  $\eta$ ,  $\phi$  の 1 bit は、それぞれ 0.005、0.01 rad に対応している。TGC-BW のコインシデンスが行われたヒット位置 (RoI) と NSW における飛跡情報の相対位置を表す  $d\eta$ ,  $d\phi$  は 8 bit、6 bit で表され、それぞれ  $|d\eta| < 0.635$ 、 $|d\phi| < 0.31$  rad の位置を bit 情報で表現できる。 $p_T$  判定を行うために用意する CW は  $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$  rad の範囲であるため、 $d\eta$  の符号を表す 1 bit と  $|d\eta|$  の大きさを表す 5 bit の計 6 bit があれば、 $p_T$  判定に必要な  $|d\eta| < 0.15$  を表すことができる。同じように  $d\phi$  も 4 bit あれば十分である。そこで Decoder では  $|d\eta| < 0.15$ 、 $|d\phi| < 0.07$  rad の範囲内の飛跡情報に対して、余分な 2 bit を削る処理を行う。4 bit で  $-0.07 \sim +0.07$  rad を 0.01 rad の粒度で表現すると、必要なパターン数は 15 である。そのため 4 bit で表される  $d\phi$  のうち、 $-0$  のパターンは  $p_T$  判定には不必要であり、意味のある  $p_T$  情報を出力しないようにする役割をもっている。これらの処理は全ての NSW のトラックに対して各 SSC で並行して行う。

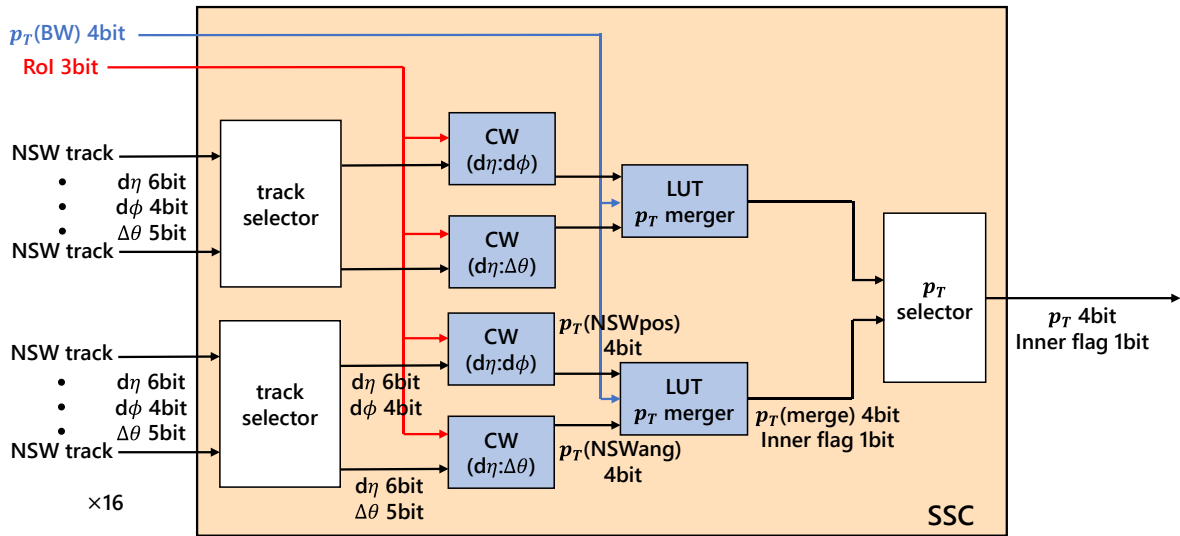


図 5.7 : BW×NSW Coincidence のブロック図 (1 SSC 分)。最大 16 トラックとコインシデンスをとる可能性があるため 320 MHz のクロックを用いてロジックを動かす。2 つの経路で並行に処理を走らせることで 16 トラックとのコインシデンスを可能にする。“Track Selector” でトラックを 1 つずつ選び、3 つの CW でその飛跡情報をもとに  $p_T$  判定を行う。最後に “ $p_T$  Selector” で判定される合計 16 トラック分の  $p_T$  の中から一番高い  $p_T$  を選び出す。

Decoder の処理は 1 BC 以内で行われる。

## (2) BW×NSW Coincidence の実装

BW×NSW Coincidence 実装について、50 ns (2 BC) 以内に NSW の 16 個の飛跡情報を用いて  $p_T$  を判定する必要がある。TGC-BW Coincidence と同様に  $p_T$  の判定は BRAM を用いた CW で実装するため、並行して  $p_T$  判定を行う場合には複数の BRAM を使う必要がある。1 つの BRAM で順番に  $p_T$  判定を行う場合、50 ns 以内に 16 個の全ての飛跡情報とコインシデンスをとるロジックを実装することが難しいので、図 5.7 に示すように 2 つのパスを用意して、320 MHz のクロックを用いて順番に 2 トラックずつトリガー判定を行う。最後に全ての結果をまとめ、40 MHz の LHC クロックに同期して出力する。

Track Selector から受け取る 320 MHz のクロックに同期した飛跡情報を入力として、CW を用いて、位置情報を用いたコインシデンスと角度情報を用いたコインシデンスの  $p_T$  を判定した後に、TGC-BW Coincidence で判定された  $p_T$  と合わせて “ $p_T$  merger” で最終的な  $p_T$  の値を決定する。この  $p_T$  merger も BRAM を用いて実装する。

このロジックは 2 つのパスで並列で判定を行っているが、さらにもう 1 パス追加すると BRAM の使用量が 12.5 % 増えてしまう。そのため、320 MHz のクロックを用いて 2 つのパスで並列に  $p_T$  の判定を行うことにした。

$p_T$  Selector では 320 MHz のクロックに同期して順に判定される合計 16 トラック分の  $p_T$  の中から一番高い  $p_T$  を選びだす。 $p_T$  の選び方としては、2 つのパスで並列に判定された  $p_T$  の内の高い  $p_T$  のものを選び、さらに今までに判定された中で一番高い  $p_T$  と比較して、一番高い  $p_T$  を持つミューオンを選ぶ。この処理を 8 回繰り返すことで 16 個の  $p_T$  の中から一番高い  $p_T$  を選びだすことができる。

BW×NSW Coincidence において、1 トラックとのコインシデンスをとるために必要な処理時間は、CW を用いて  $p_T$  を 2 回判定するため 320 MHz のクロックを 2 クロックと、 $p_T$  Selector で 2 クロックの合計 4 クロック (= 0.5 BC) である。しかし実際は FPGA 中の BRAM の物理的な位置を移動させることができないため、2 つの CW 用 BRAM から  $p_T$  merger 用 BRAM へ 320 MHz の 1 クロック以内に 4 bit の  $p_T$  を送ることは難しい。そこで CW を用いて判定した  $p_T$  を  $p_T$  merger へ送る前に、一度レジスタに保存するようにする。この処理を行うことで 320 MHz の 1 クロックだけ処理が遅くなるが、タイミングの制約がゆるくなり BRAM の配置に自由度が生まれることで正しくデータを送ることができる。これにより 1 トラックとのコインシデンスをとるために必要な処理時間は 5 クロックとなる。この処理を順に 8 回繰り返すため、合計で 12 クロック (= 1.5 BC) かかる。40 MHz のクロックに同期させる処理の latency も含めて、2 BC 以内に BW×NSW Coincidence の全ての処理を終えることができる。

### 5.2.3 Which Inner の実装

Which Inner について要求される機能は、主に  $1.05 < |\eta| < 1.3$  において、SSC 単位での出力でどの Inner detector とのコインシデンス結果を出力するかを決定し、 $p_T$  出力を後段に送信することである。RPC コインシデンスがとれないときには BW コインシデンスの  $p_T$  出力をそのまま出力するように  $p_T$  merger で設定されている。また、EI と Tile カロリメータのコインシデンスではどちらも BW コインシデンスの  $p_T$  出力をそのまま出力する。ここで、RPC と EI, Tile カロリメータで同時にコインシデンスが取れた場合、検出器のクオリティに従って RPC コインシデンスの結果を優先し RPC コインシデンスの  $p_T$  を出力とする。次に EI コインシデンスの結果を出力し、最後に Tile コインシデンスの結果を出力する。また、NSW, RPC, EI, Tile コインシデンスのそれぞれでコインシデンスが取れたかどうかのデータとして読み出すために保存する。

### 5.2.4 Track Selector の実装

Track Selector に要求される機能は TGC の 1 つのトリガーセクターで判定された複数のミューオントリガー候補のうち、後段に送るべき最大 4 つの候補を選ぶことである。エンドキャップ領域トリガーセクター用 NSL に実装した Track Selector のブロック図を図 5.9 に示す。Track Selector は 3 段階でミューオンの候補を絞る。

“Candidate selector” は、SSC から送られてくる情報から、コインシデンスのとれていない SSC のものを捨てる。これにより後段の Comparator へ送る情報を減らす。NSL は HPT ボードから

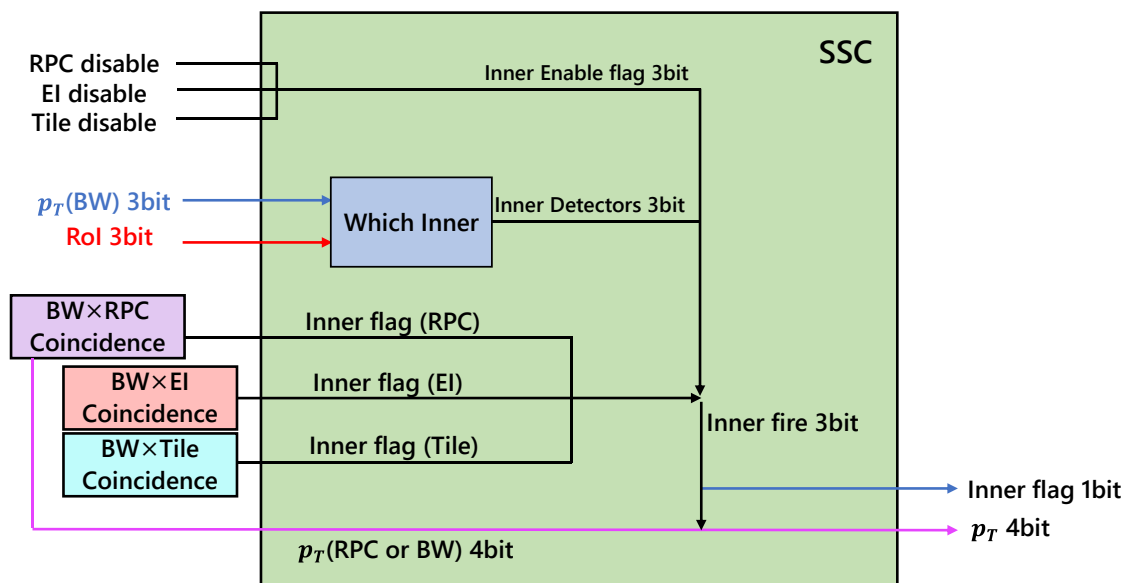


図 5.8 : Which Inner のブロック図 (1 SSC 分)。SSC 単位での出力でどの Inner detector とのコインシデンス結果を出力するかを決定し、 $p_T$  出力を後段に送信する。

受け取る TGC-BW の情報を用いてミューオンの RoI を決定している。しかしデータ転送速度の限界により、図 3.13 に示すようにある HPT ボードに属する SSC のグループの中で最大 2 個の R 情報しか送ることができない。そのためエンドキャップ領域用 NSL が受け取ることができる TGC-BW の R 情報の制限を用いて、19 個の SSC のコインシデンス結果の中から、SSC0 で 1 つ、SSC1-6、SSC7-12、SSC13-18 の中から各 2 つずつの合計 7 つまでを選び出す。フォワード領域用 NSL では最大 4 つの R 情報しか受け取らないので、図 5.9 の後段の処理は必要ない。また、Candidate selector でミューオン候補が 4 つ以上あったときに、後段に送れないミューオン候補が存在することを示すフラグである “more than 4 Candidate flag” を MUCTPI に送信する。

Comparator では、Candidate selector で絞られた最大 7 つのミューオン候補から、後段の MUCTPI ボードへ送信する 4 つのミューオンを決定する。ミューオントラックのクオリティを示すフラグに優先順位を定め HotRoI flag > Inner flag > 3 station flag >  $p_T$  とする。4 つの候補の選び方はミューオントラックのクオリティが高いもの、同じクオリティの場合は R の大きいものを優先的に選ぶように実装した。 $7C_2 = 21$  通りの総当たりで優先順位の比較をし、これらの比較結果を用いて “Final selector” で 4 つのミューオンを選び出す。最終的に、ミューオンの  $p_T$  4 bit と電荷 1 bit、SSC 5 bit と RoI 3 bit、3 station flag 1 bit, Inner flag 1 bit と HotRoI flag 1 bit の 16 bit でトリガー情報が表現される。(表 5.2)

Track Selector はこれらの処理を 1 BC 以内に完了することができる。

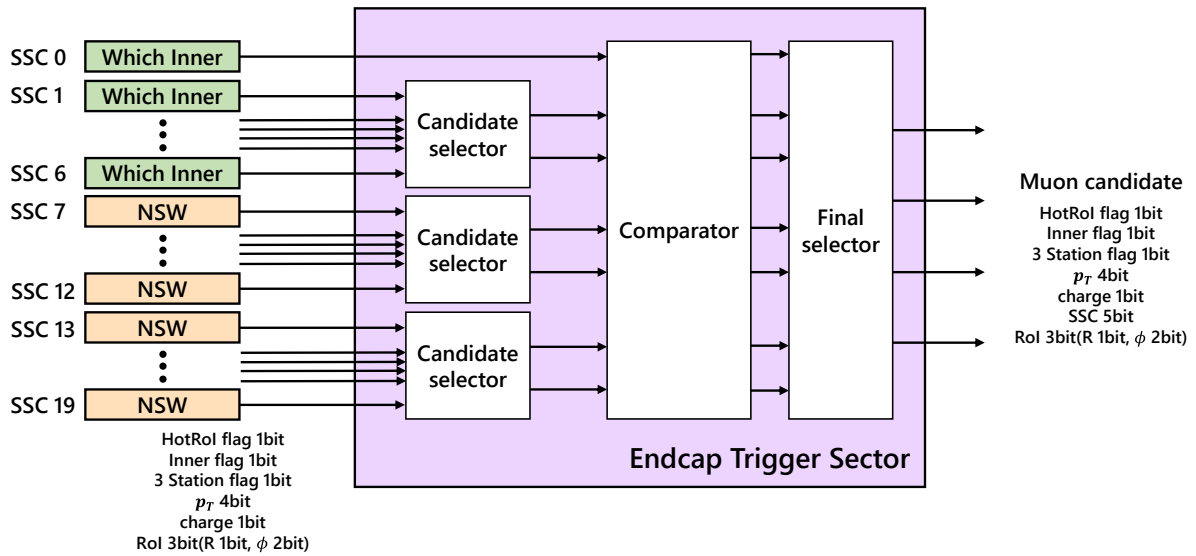


図 5.9 : エンドキャップ領域トリガーセクター用 NSL に実装した Track Selector のブロック図 (1 Trigger Sector 分)。19 個の SSC からミューオンの候補を選び出す Candidate selector、選ばれた候補の  $p_T$  を総当たりで比較する Comparator、Comparator の結果を用いて後段に送る 4 つの候補を選ぶ Final selector の 3 段階で構成されている。フォワード領域用 NSL では Candidate selector のみ実装されている。

表 5.2 : MUCTPI に送信するミューオントラックの情報。

情報	flag	charge	$p_T$	SSC	RoI
ビット幅	3	1	4	5	3

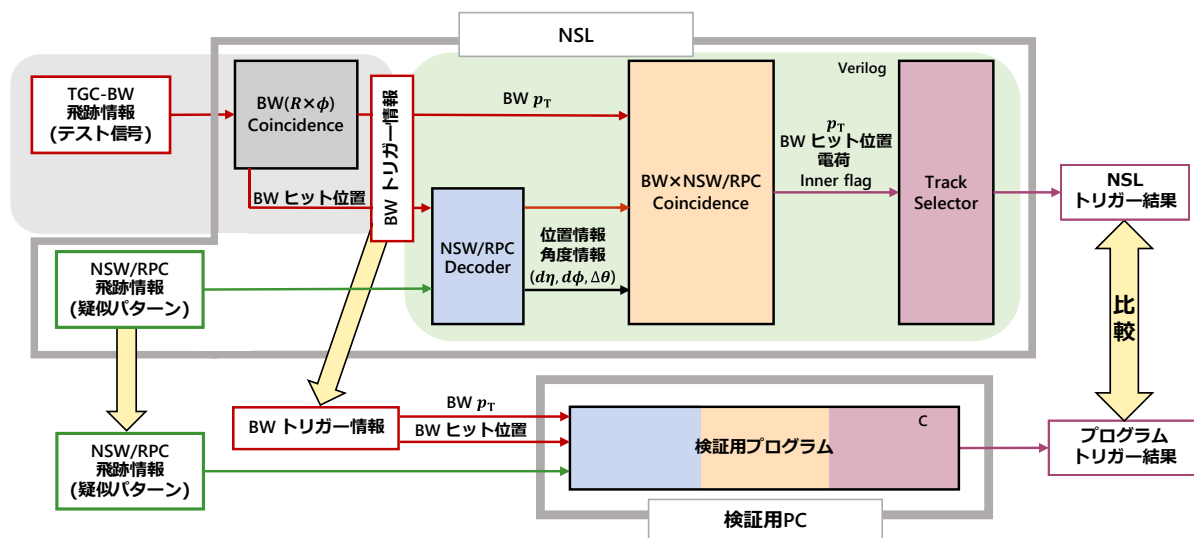


図 5.10 : トリガーファームウェアのロジック動作検証試験の概要。NSL と検証用プログラムに同じ入力 (BW トリガー情報、NSW/RPC 飛跡情報 (疑似パターン)) を与え、トリガー結果が同じことを確認する。

### 5.3 トリガーファームウェアの検証試験

Run-3 に向けて、開発した初段ミューオントリガーファームウェアが正しく機能し、要求する性能を満たしているかを試験しなければならない。本研究では新しく導入した検出器の情報を用いた Inner Coincidence の検証試験をおこなった。

この試験の前に、実際に TGC のフロントエンド回路からのデータを NSL で受信し、BW Coincidence がおこなわれていることの検証をおこなった。<sup>[48]</sup> TGC-BW からは PS ボード上の SLB ASIC Appendix D.1.2 で作り出したテスト信号を、検出器からの信号として常に出力する。また、NSW と RPC BIS78 のフォーマット (Appendix B.2.3, B.2.4) に従って作成したデータを入力し、BW Coincidence のトリガー結果 (RoI,  $p_T$ ) を用いて Inner Coincidence をおこなう。

トリガーファームウェアのロジック動作検証試験の概要を図 5.10 に示す。TGC-BW の HPT から受信した入力に対して BW Coincidence を取りトラックの  $p_T$  や電荷を判定する。NSW や RPC は、NSW TP(3.3.3 節) や RPC BIS78 Pad trigger logic board(3.3.4 節) を経由して NSL にトリガーデータを送信するが、まだ接続試験が実施されていないため、検出器からの情報を用いることができない。このため、ファームウェア内でランダムに生成したデータを NSW, RPC の飛跡情報の代わりに入力し、NSW/RPC Decoder(5.2.2 節)、BW×NSW/RPC Coincidence(5.2.2 節)、Track Selector(5.2.4 節) を通過して出力したトリガー結果 (表 5.2) を保存する。

また、ファームウェアへの入力からトリガーファームウェアを再現した検証用プログラムを用いて、トリガー判定結果の予想を作成する。ソフトウェアでのトリガー判定予想と NSL でのトリガー判定結果を比較することで正しい処理が行えているか確認した。

動作試験の結果を図 5.11 に示す。トリガーセクターにおける全ての出力は、入力データから予

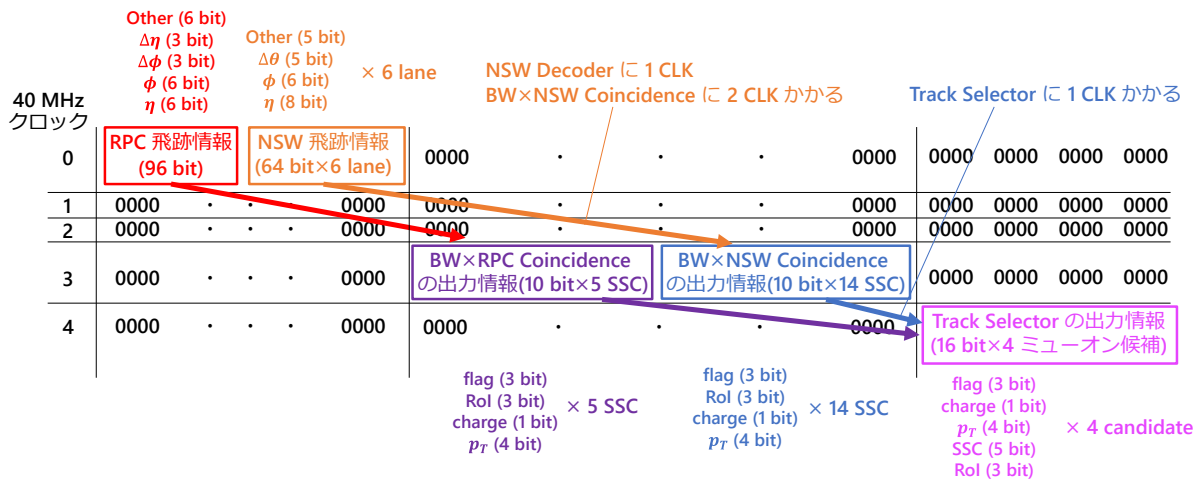


図 5.11 : トリガーファームウェアのロジック動作検証試験の結果。一番左の値は NSL 内でカウントした 40 MHz クロックであり、時間の向きは上から下である。横方向に 40 MHz のクロックに同期した、1 つのトリガーセクターの NSW/RPC 飛跡情報 (トリガー情報)、BW×NSW/RPC Coincidence、Track Selector (トリガー結果) の出力結果を表す。コインシデンスをとる全ての出力は入力データから予想された結果と同じであり、各モジュールの処理に要する時間もデザイン通りであった。

想された結果と同じであり、各モジュールの処理に要する時間もデザイン通りであった。このトリガーファームウェアの動作試験では 1000 イベント分の読み出しを行っており、その全てで出力結果と各処理のタイミングが変わらないことを確認した。



## 第6章 結論と今後の展望

2022 年から始まる Run-3 において LHC は重心系エネルギー 13.6 TeV、瞬間ルミノシティ  $2.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  で運転する予定である。重要な物理事象を最大限有効に集めるために、ATLAS 実験のトリガーシステムのアップグレードが必要となる。本研究では Run-3 のために開発したトリガー判定ボード New Sector Logic を含む新たな初段ミュオントリガーについて、TGC 検出器と新たに導入される New Small Wheel (NSW)、RPC BIS78 の情報を組み合わせたミュオントリガーアルゴリズムの開発とトリガー性能の評価を行った。また、New Sector Logic についての動作検証試験を行い、Run-3 に向けたトリガーシステムの構築をおこなった。

シミュレーションを用いて新検出器 NSW と RPC BIS78 の情報を用いた新しいトリガーロジックの開発を行った。NSW と RPC BIS78 の位置情報と角度情報を用いてトリガー判定を行うロジックを考案し、トリガー効率の評価を行い、またトリガーの削減率を見積もった。本研究で開発したアルゴリズムはトリガー効率と  $p_T$  分解能を維持しつつ、衝突点由来でない荷電粒子によるフェイクトリガーをエンドキャップ領域で約 78 % のトリガーを削減でき、初段ミュオントリガー全体として約 60 % のトリガーを削減できることがわかった。

NSW、RPC BIS78 の情報を用いたトリガーロジックを New Sector Logic 上に実装するためのファームウェアの開発を行った。また、TGC-BW のフロントエンド回路と FPGA 内で作成した NSW、RPC BIS78 の情報を用いてコインシデンスをとる検証試験をおこない、想定された時間内にトリガー判定を行うことを確認した。以上の研究により、Run-3 において開発したトリガーが正しく動作することを確認した。

Run-3 へ向けて初段ミュオントリガーシステムを完成させるためには、NSL と実際に通信を行う各検出器・後段のシステムで接続試験をおこない通信を確立させる必要がある。また、NSW、RPC BIS78 との接続試験をおこない、実際の運用につなげていくために必要な試験を進めていく必要がある。

その上で、Run-3 が開始されデータ取得が始まった後に、実データでのトリガーの動作検証を行う。また、TGC-BW と NSW、RPC BIS78 の相対的な位置のずれを補正するために NSW/RPC Decoder に実装されるアライメント補正を確定する必要があり、実データを用いてアライメントの測定を行いファームウェア内に実装することで Inner Coincidence を運用できるように準備する必要がある。それとともに、CW の最適化をおこなうことでトリガーレートを削減することができる。

New Sector Logic は新しいトリガーを開発して組み込めるように、ある程度の拡張性を持たせて開発されている。この拡張性を生かした新しいトリガー案として BW×NSW/RPC Coincidence

の出力である  $p_T(\text{merge})$  の  $p_T$  number を調整することによって measured- $p_T$  の判定性能を向上させるトリガーや、また BW Coincidence で判定された  $p_T(\text{BW})$  と電荷情報を用いて Which Inner を改善することでトリガーレートの増加を抑えながら検出効率を向上させるトリガーを考えることができ、これらの性能を評価することが今後の研究課題となる。

## 謝辞

本研究を遂行し修士論文をまとめるにあたり、多くの方々にお世話になりました。修士2年間の間、支えてくださった多くの方々に感謝申し上げます。

指導教官である隅田土詞助教には、日々の研究のアドバイスや論文の執筆などにおいて助言をくださったことを非常に感謝しております。また、長野邦浩准教授には本論文の添削・コメントをしていただいたことを深く感謝しております。

Phase-1 Upgrade チームのメンバーの皆様にも感謝申し上げます。Phase-1 ミーティングにおいて様々な意見や質問を投げかけてくださったことで本研究を最後まで進めることができました。前田順平講師には、ファームウェア開発においてだけでなく、学会等の発表の練習や論文執筆においても細やかなアドバイスをいただきました。心から感謝いたします。齋藤智之助教にはファームウェア開発において多くの助言をいただき、コロナ禍で現地に行って作業ができない状況において試験のセットアップの構築などの作業を行っていただいたことに大変感謝しております。青木雅人助教には TGC 検出器を用いた試験のセットアップの情報についてアドバイスをいただいたことに心から感謝いたします。

総合研究大学院大学の水上敦さん、東京大学の杉崎海斗さん、名古屋大学の麻田晴香さんには KEK でのコミショニングにおいて専門的な知識と研究に対する姿勢の手本とさせていただきました。そして、同期の東京大学の林雄一郎氏、神戸大学の寺村七都氏といった一緒に議論しながら研究を進めていける同期の仲間がいて、本当に良かったと思います。

京都 ATLAS グループの中では、野口陽平氏には ATLAS のソフトウェアについて詳しくアドバイスいただき感謝しております。岡崎佑太氏には New Sector Logic のファームウェア開発について丁寧に教えていただき感謝しています。三野裕哉氏にはトリガーアルゴリズムについての相談にアドバイスいただき感謝しております。辻川吉明氏にはファームウェア開発において常に情報共有を行い、検証試験において様々な力添えをいただきありがとうございました。小林蓮氏にはトリガーやファームウェア開発において様々なヒントをいただきありがとうございました。

高エネルギー物理学研究室の皆様にもお世話になりました。同期の川上将輝君、中田嘉信君、小高駿平君、佐野高嶺君、樫野幸将君には感謝しております。また特に、川上君と中田君が買ってきてくれたコーヒーには大変助けられました。

高エネ秘書の関口さん、佐々木さん、また実験秘書の谷澤さんには毎回の事務手続きにおいて、丁寧に対応していただいたこと感謝しております。

最後に、自由に研究生活を送ることを支えていただいている家族に深く感謝します。

## 参考文献

- [1] Wikipedia, Standard Model  
[https://en.wikipedia.org/wiki/Standard\\_Model](https://en.wikipedia.org/wiki/Standard_Model)
- [2] ATLAS Collaboration, Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC, Phys. Lett. B, 716 (2012)  
<https://doi.org/10.1016/j.physletb.2012.08.020>
- [3] CMS Collaboration, Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC, Phys. Lett. B, 716 (2012)  
<https://doi.org/10.1016/j.physletb.2012.08.021>
- [4] G. 't Hooft, Naturalness, chiral symmetry, and spontaneous chiral symmetry breaking, NATO Adv. Study Inst. Ser. B Phys. 59, 135 (1980)  
<https://dspace.library.uu.nl/bitstream/handle/1874/4690/18232.pdf>
- [5] Rubin, V. C. et al, Rotational properties of 21 SC galaxies with a large range of luminosities and radii, from NGC 4605 (R=4kpc) to UGC 2885 (R=122kpc), The Astrophysical Journal, 238: 471. (1980)  
[https://ui.adsabs.harvard.edu/link\\_gateway/1980ApJ...238..471R/doi:10.1086/158003](https://ui.adsabs.harvard.edu/link_gateway/1980ApJ...238..471R/doi:10.1086/158003)
- [6] 三野裕哉, 高輝度 LHC ATLAS 実験に向けた初段ミュオントリガーアルゴリズムの開発およびハードウェアへの実装, 修士論文, 2019  
[https://www-he.scphys.kyoto-u.ac.jp/theses/master/mino\\_mt.pdf](https://www-he.scphys.kyoto-u.ac.jp/theses/master/mino_mt.pdf)
- [7] LHC Higgs Cross Section Working Group.  
<https://twiki.cern.ch/twiki/bin/view/LHCPhysics/LHCHSWG>
- [8] ATLAS collaboration, Combined measurements of Higgs boson production and decay using up to 80  $fb^{-1}$  of proton-proton collision data at  $\sqrt{s} = 13$  TeV collected with the ATLAS experiment, Phys. Rev. D 101, 012002 (2020).  
<https://doi.org/10.1103/PhysRevD.101.012002>
- [9] Particle Data Group, Status of Higgs boson physics, 2019  
<http://pdg.lbl.gov/2019/reviews/rpp2018-rev-higgs-boson.pdf>

- [10] What's On!- ICEPP 素粒子物理国際研究センター  
<https://www.icepp.s.u-tokyo.ac.jp/what/>
- [11] Stephen P. Martin, A Supersymmetry Primer, 16 September 1997  
<https://arxiv.org/abs/hep-ph/9709356>
- [12] ATLAS Collaboration, SUSY June 2021 Summary Plot Update, 6 June 2021  
<http://cdsweb.cern.ch/record/2771785>
- [13] CMS Collaboration, Evidence for Higgs boson decay to a pair of muons, J. High Energ. Phys. 2021, 148 (2021).  
[https://doi.org/10.1007/JHEP01\(2021\)148](https://doi.org/10.1007/JHEP01(2021)148)
- [14] ATLAS Collaboration, A search for the dimuon decay of the Standard Model Higgs boson with the ATLAS detector, Phys. Lett. B 812 (2021) 135980.  
<https://doi.org/10.1016/j.physletb.2020.135980>
- [15] G. Aad et al, Searches for electroweak production of supersymmetric particles with compressed mass spectra in  $\sqrt{s} = 13$  TeV pp collisions with the ATLAS detector, Phys. Rev. D 101, 052005 (2020)  
<https://doi.org/10.1103/PhysRevD.101.052005>
- [16] P.A. Zyla et al., (Particle Data Group),  $B_s^0$  meson, Prog. Theor. Exp. Phys. 2020, 083C01 (2020).
- [17] C. Csaba, The Minimal Supersymmetric Standard Model, 1996  
<https://arxiv.org/pdf/hep-ph/9606414.pdf>
- [18] M. Ghneimat on behalf of the ATLAS Collaboration, The study of rare decays  $B_s \rightarrow \mu\mu$  at  $\sqrt{s} = 13\text{TeV}$  with the ATLAS detector, ATL-PHYS-SLIDE-2020-305.  
<https://cds.cern.ch/record/2728041/files/ATL-PHYS-SLIDE-2020-305.pdf>
- [19] ATLAS, CMS and LHCb collaborations, Combination of the ATLAS, CMS and LHCb results on the  $B_{(s)}^0 \rightarrow \mu\mu$  decays, ATLAS-CONF-2020-049.  
<https://cds.cern.ch/record/2727216>
- [20] X.Y. Pham, Lepton flavor changing in neutrinoless  $\tau$  decays, Eur. Phys. J. C 8 (1999) 513-516.  
<https://arxiv.org/abs/hep-ph/9810484>
- [21] M. Raidal, et al., Flavor physics of leptons and dipole moments, Eur. Phys. J. C 57, (2008) 13-182.  
<https://doi.org/10.1140/epjc/s10052-008-0715-2>

- [22] The BaBar Experiment  
<https://www-public.slac.stanford.edu/babar/default.aspx>
- [23] The CMS collaboration, Search for the lepton flavor violating decay  $\tau \rightarrow 3\mu$  in proton-proton collisions at  $\sqrt{s} = 13$  TeV. J. High Energ. Phys. 2021, 163 (2021).  
[https://doi.org/10.1007/JHEP01\(2021\)163](https://doi.org/10.1007/JHEP01(2021)163)
- [24] LHC Project Schedule  
<https://project-hl-lhc-industry.web.cern.ch/content/project-schedule>
- [25] ATLAS Collaboration, The ATLAS Experiment at the CERN Large Hadron Collider, JINST 3 (2008) S08003.
- [26] ATLAS Magnetic Field  
<http://atlas.web.cern.ch/Atlas/GROUPS/MUON/magfield/>
- [27] 岡崎佑太, LHC-ATLAS 実験 Run-3 に向けたミュオントリガーの改良とハードウェアへの実装, 修士論文, 2018  
[https://www-he.scphys.kyoto-u.ac.jp/theses/master/okazaki\\_mt.pdf](https://www-he.scphys.kyoto-u.ac.jp/theses/master/okazaki_mt.pdf)
- [28] ATLAS Japan  
<https://atlas.kek.jp/main/movie/index.html>
- [29] Konstantinos A. Ntekas, Performance characterization of the Micromegas detector for the New Small Wheel upgrade and Development and improvement of the Muon Spectrometer Detector Control System in the ATLAS experiment, CERN-THESIS-2016-019, 2016  
<https://cds.cern.ch/record/2143887>
- [30] Kawamoto Tatsuo et.al, New Small Wheel Technical Design Report, CERN-LHCC-2013-006, 2013  
<https://cds.cern.ch/record/1552862>
- [31] Y. Kataoka, S. Leontsinis, K. Ntekas, Performance Studies of a Micromegas Chamber in the ATLAS Environment, 20 January 2014  
<https://arxiv.org/abs/1310.8603>
- [32] ATLAS Collaboration, The ATLAS BIS78 Project, ATL-MUON-INT-2016-002, 2016  
<https://cds.cern.ch/record/2161109>
- [33] ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer, CERN-LHCC-2017-017, 2017  
<https://cds.cern.ch/record/2285580>

- [34] ATLAS Collaboration, Approved Plots TDAQ  
<https://twiki.cern.ch/twiki/bin/view/AtlasPublic/ApprovedPlotsDAQ>
- [35] ATLAS Collaboration, Trigger menu in 2018, ATL-DAQ-PUB-2019-001.  
<https://cds.cern.ch/record/2693402/files/ATL-DAQ-PUB-2019-001.pdf>
- [36] ATLAS Collaboration, Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ system, CERN-LHCC-2017-020.  
<https://cds.cern.ch/record/2285584>
- [37] ATLAS Collaboration, ATLAS level-1 trigger : Technical Design Report, CERN-LHCC-98-014.  
<https://cds.cern.ch/record/381429>
- [38] 赤塚駿一, LHC-ATLAS 実験 Run-3 に向けたミュオントリガーの改良, 修士論文, 2017  
[https://www-he.scphys.kyoto-u.ac.jp/theses/master/akatsuka\\_mt.pdf](https://www-he.scphys.kyoto-u.ac.jp/theses/master/akatsuka_mt.pdf)
- [39] ELECODIS, Agilent HDMP-1032A/1034A Transmitter/Receiver Chip Set Data Sheet, 2001  
<http://datasheet.elcodis.com/pdf2/73/12/731299/hdmp-1034a.pdf>
- [40] L1 Muon Trigger Public Results  
<https://twiki.cern.ch/twiki/bin/view/AtlasPublic/L1MuonTriggerPublicResults>
- [41] 一宮 亮, ATLAS 実験前後方ミュオントリガシステム用 Sector Logic の開発, 修士論文, 2001  
<https://atlas.kek.jp/sub/documents/ichimiya200102.pdf>
- [42] 塩見崇宏, LHC-ATLAS 実験における第三期運転に向けた初段ミュオントリガーアルゴリズムの開発, 修士論文, 2020  
[https://ppwww.phys.sci.kobe-u.ac.jp/seminar/pdf/Shiomi\\_mron.pdf](https://ppwww.phys.sci.kobe-u.ac.jp/seminar/pdf/Shiomi_mron.pdf)
- [43] 吉田登志輝, LHC-ATLAS 実験 Run-3 に向けたレベル 1 ミュオントリガー判定システムの改良, 修士論文, 2019  
[https://ppwww.phys.sci.kobe-u.ac.jp/seminar/pdf/Yoshida\\_thesis.pdf](https://ppwww.phys.sci.kobe-u.ac.jp/seminar/pdf/Yoshida_thesis.pdf)
- [44] 木戸将吾, ATLAS 実験 Run2 におけるレベル 1 ミュオントリガーの性能評価及び最適化の研究, 修士論文, 2016  
[http://ppwww.phys.sci.kobe-u.ac.jp/seminar/pdf/Kido\\_thesis.pdf](http://ppwww.phys.sci.kobe-u.ac.jp/seminar/pdf/Kido_thesis.pdf)
- [45] XILINX, Vivado Design Suite, 2020  
<https://japan.xilinx.com/products/design-tools/vivado.html>

- [46] XILINX, 7 Series FPGAs GTX/GTH Transceivers User Guide, 2020  
[https://www.xilinx.com/support/documentation/user\\_guides/ug476\\_7Series\\_Transceivers.pdf](https://www.xilinx.com/support/documentation/user_guides/ug476_7Series_Transceivers.pdf)
- [47] 内田智久, SiTCP 説明書 第 1.3 版, 2012  
<http://esysinfo00.kek.jp/SiTCP/doc/SiTCP.pdf>
- [48] 辻川吉明, LHC-ATLAS 実験 Run-3 に向けた TGC 検出器を用いた初段ミュオントリガーシステムの検証, 修士論文, 2020  
[https://www-he.scphys.kyoto-u.ac.jp/theses/master/tsujikawa\\_mt.pdf](https://www-he.scphys.kyoto-u.ac.jp/theses/master/tsujikawa_mt.pdf)
- [49] XILINX, 7 Series FPGAs Data Sheet: Overview, 2020  
[https://japan.xilinx.com/support/documentation/data\\_sheets/ds180\\_7Series\\_Overview.pdf](https://japan.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf)
- [50] W.Peterson and D.Brown, Cyclic codes for error detection, Proceedings IRE, Vol.49, no.1, pp.228-235, Jan. 1961  
<https://doi.org/10.1109/JRPROC.1961.287814>
- [51] 徳永孝之, LHC-ATLAS 実験 RUN3 に向けた新しいミュオントリガー装置の FPGA 読み出し開発とその性能評価, 修士論文, 2014  
[http://www.icepp.s.u-tokyo.ac.jp/download/master/m2014\\_tokunaga.pdf](http://www.icepp.s.u-tokyo.ac.jp/download/master/m2014_tokunaga.pdf)
- [52] R. Spiwoks et al., CentOS Linux for the ATLAS MUCTPI Upgrade, presented at IEEE RT, 2020  
<https://arxiv.org/abs/2010.08105>
- [53] I. Riu on behalf of the ATLAS Collaboration, The ATLAS Level-1 Topological Trigger performance in Run-2, J. Phys. Conf. Ser. 898 (2017) 032037.  
<https://cds.cern.ch/record/2242304>



## 付録A New Sector Logic に実装するファームウェアの開発

本章では、コインシデンスに用いる変換表の高速読み込み機構の開発、トリガータイミング同期システムの開発について報告する。

### A.1 コインシデンスに用いる変換表の高速読み込み機構の開発

ミューオン曲率から横運動量  $p_T$  を判定する Coincidence Window (CW) や複数の  $p_T$  判定値を用いてより正確な  $p_T$  を算出する  $p_T$  merger、複数の detector が存在する領域においてコインシデンスに用いる detector を指定する which inner は Look Up Table(LUT) を用いて実装、管理される。これまでは LUT の設定は Firmware の作成と同時にしか行えなかったため、LUT を改善するためには Firmware を作成し直して、それを FPGA に焼き直さなければならず、手間が多いため積極的に LUT を更新していくことができなかった。そこで、VME 通信を用いて NSL 内のレジスタに LUT の値を詰めることで自動的に LUT を設定する仕組みを実装した。これにより、LUT を再設定する際に Firmware を焼き直す必要が無くなり、積極的なトリガーのコントロールが可能となる。

#### A.1.1 NSL に実装する LUT の種類

NSL には、“BW pos”, “NSW pos”, “NSW ang”, “NSW  $p_T$  merger”, “RPC pos”, “RPC ang  $d\phi$ ”, “RPC ang dz”, “RPC  $p_T$  merger”, “which inner” の計 9 種類の LUT が実装される。各 LUT はそれぞれ入力 bit 数と出力 bit 数が定められており、それぞれのトリガーセクターごとに、RoI 単位か SSC 単位で設定される。(表 A.1)

BW Coincidence は全ての RoI に対して LUT を設定する。BW pos は  $dR:d\phi$  位置コインシデンスを行い  $p_T(\text{BW})$  と電荷情報を判定するために用いる CW が実装される。

BW×NSW Coincidence は  $1.3 < |\eta| < 1.9$  に対応する SSC に対して LUT を設定する。NSW pos は  $d\eta:d\phi$  位置コインシデンスを行い  $p_T(\text{NSWpos})$  を判定するために用いる CW が、NSW pos は  $d\eta:d\theta$  角度コインシデンスを行い  $p_T(\text{NSWang})$  を判定するために用いる CW が、NSW  $p_T$  merger は 3 つの  $p_T$  情報 ( $p_T(\text{BW})$ ,  $p_T(\text{NSWpos})$ ,  $p_T(\text{NSWang})$ ) を判定するために用いる表が実装される。

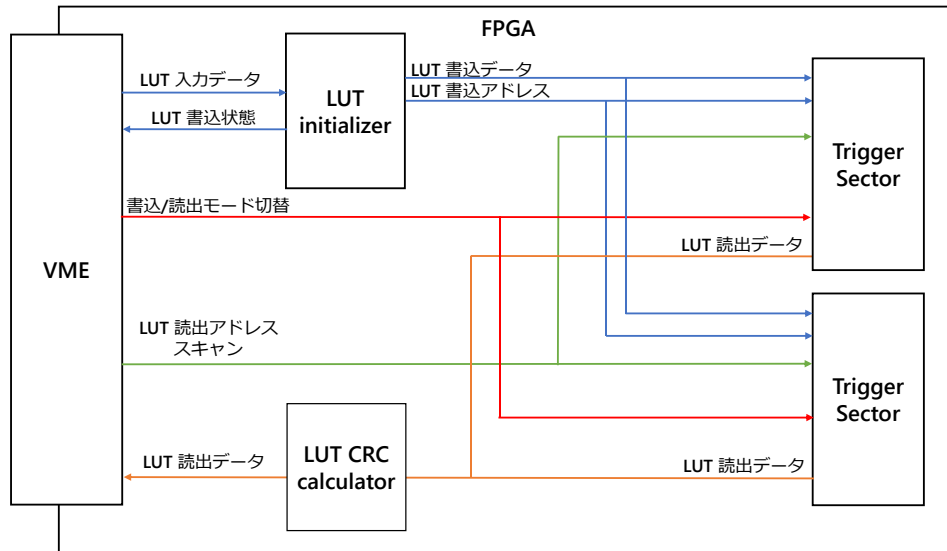


図 A.1: トリガーロジックに用いる LUT を設定するためのデータパス。

BW×RPC Coincidence は  $1.05 < |\eta| < 1.3$  に対応する SSC に対して LUT を設定する。RPC pos は  $d\eta:d\phi$  位置コインシデンスを行い  $p_T(\text{RPCpos})$  を判定するために用いる CW が、RPC ang  $d\phi$  は  $d\phi:\Delta\phi$  角度コインシデンスを行い  $p_T(\text{RPCang}(\phi))$  を判定するために用いる CW が、RPC ang  $d\eta$  は  $d\eta:\Delta\eta$  角度コインシデンスを行い  $p_T(\text{RPCang}(\eta))$  を判定するために用いる CW が、RPC  $p_T$  merger は 3 つの  $p_T$  情報 ( $p_T(\text{BW})$ ,  $p_T(\text{BWpos})$ ,  $p_T(\text{BWang})$ ) を判定するために用いる表が実装される。

which inner は  $1.05 < |\eta| < 1.3$  に対応する SSC に対して LUT を設定する。RoI 情報と  $p_T(\text{BW})$  から transition 領域における Inner Coincidence をとる検出器を指定するために用いる表が実装される。

### A.1.2 LUT initializer

LUT initializer は VME 接続を用いて FPGA に 16 bit の形式で入力されたデータを LUT に対して割り振り、定められたアドレス空間に格納するための機構である。LUT に書き込むデータは、DB ファイルと呼ばれる CW を表現するためのテキストファイルを VME 通信で書き込み可能なファイルへと変換することで作成される。具体的に、BW Coincidence の LUT ファイルは charge 1 bit,  $p_T$  4 bit の合計 5 bit が 3 組 ( $5 \text{ bit} \times 3 = 15 \text{ bit}$ ) が一回の VME 通信で FPGA に書き込まれる。LUT の書き込みに用いる 1 トリガーセクターあたりの VME 通信の回数は、エンドキャップ用 NSL において表 A.1 の通りであり、1 台の NSL は 2 つのトリガーセクターを担当することから、合計で 461344 回 VME 通信を行う必要がある。

そして、16 bit の VME 入力データは LUT initializer 内の FIFO で保存され、水晶発振器由来の 40 MHz クロックを用いて LUT 書き込みデータ (BW Coincidence の場合 5 bit) を読み出

表 A.1: エンドキャップ用 NSL に実装する LUT の一覧。

type	入力	深さ	値	単位	VME 通信の回数
BW pos	14 bit	$2^{14}=16384$	5 bit	RoI	103766
NSW pos	13 bit	$2^{13}=8192$	4 bit	SSC	28672
NSW ang	14 bit	$2^{14}=16384$	4 bit	SSC	57344
NSW $p_T$ merger	12 bit	$2^{12}=4096$	5 bit	SSC	19115
RPC pos	13 bit	$2^{13}=8192$	4 bit	SSC	10240
RPC ang $d\phi$	11 bit	$2^{11}=2048$	4 bit	SSC	2560
RPC ang dz	11 bit	$2^{11}=2048$	4 bit	SSC	2560
RPC $p_T$ merger	12 bit	$2^{12}=4096$	5 bit	SSC	6287
which inner	7 bit	$2^7=128$	3 bit	SSC	128

し送信する。また同時に、LUT type, トリガーセクター, SSC, (RoI) を変化させて順番に書き込みアドレスを変化させ LUT control port にアクセスする。

### A.1.3 LUT control port

NSL で CW を実装する LUT は正確にはデュアルポート RAM と呼ばれるものであり、LUT の書き込みや検証用の読み出しにはトリガー判定用のポートとは異なるポートを用いる。LUT initializer から指定されたアドレスに水晶発振器由来の 40 MHz クロックを用いて、LUT に指定されたデータを書き込む。また、書き込み/読み出しモードを切り替えて読み出しアドレスを指定することで、書き込まれているデータを読み出すことができる。

### A.1.4 LUT CRC calculator

LUT を設定した後に正しく実装されているか検証するために、CRC (Cyclic Redundancy Check)<sup>[50]</sup> 計算を用いた計算機を実装した。CRC とは、別々に存在する 2 つの大きなデータに対して定められた生成多項式で除算することでデータを圧縮し、圧縮データ同士を比較照合することでデータの破損を検出する仕組みである。LUT に書き込まれた値を順番に読み出し、連続して CRC 計算を行うことで圧縮する。CRC 計算の完了後、CRC 圧縮値のみを VME 経由で読み出し、事前に DB ファイルから計算しておいた CRC 圧縮値と一致するか確認し、LUT が正しく書き込めていることを確認する。

## A.2 トリガータイミング同期システムの開発

TGC システム外の検出器とのコインシデンスを取るためには、信号のタイミング同期を行い、正しいタイミングで正しいデータが送られてきていることを保証する必要がある。ここでは、他の検出器から送信される BCID を用いたトリガータイミング同期のためのシステム開発について述べる。

### A.2.1 NSL 側での BCID カウントアップ機構

BCID Counter は LHC クロックの立ち上がりのたびにカウントアップし、リセット信号 (BCID Reset、BCR) でリセットする 12 bit カウンターである。後述する BCID check が行われるタイミングにおいて、NSL に最も遅く到達する信号である NSW に合わせるように BCR の delay を設定する。

### A.2.2 BCID checker

#### BCID カウントアップエラーに対するカウンター

NSW から受信する BCID は 12 bit であるが、Tile カロリメータや RPC から送信される BCID はそれぞれ 4 bit, 8 bit であり、残りの上位 bit を BCID checker 内部で再現する。このようにして受信した BCID が正しい場合は 0x0 から 0xdeb(3563) まで順番にカウントアップして、また 0x0 にリセットされる挙動をとる。受信した BCID が正しくカウントアップとリセットが行われていない場合、そのクロックでエラーカウンターを回し、BCID エラー信号を出す。

#### BCID 同期エラーに対するカウンター

また、受信した BCID と NSL での BCID が一致していない場合、そのクロックでエラーカウンターを回し、BCID エラー信号を出す。1 クロックだけ間違った BCID が送られてきた場合は、カウントアップエラーと同期エラーのカウンターが同時に回る。2 クロック連続で間違った BCID が送られてきた場合では、ランダムな BCID が送られた場合はカウントアップエラーと同期エラーのカウンターが同時に回る。しかし、最初の BC でずれた BCID のまま連続で送られてくる場合は同期エラーのカウンターだけが回る。このように 2 種類のカウンターを比較することで、エラーの原因の分離ができる。

### A.2.3 BCID を同期させるための手続き

正しい BCID が送られてくるときは、常にカウントアップエラーのカウンターは回らない。その上で、同期エラーのカウンターを 0 にするように信号の Delay 値を調整することでトリガー用

信号の BCID 同期を行う必要がある。最初に、NSL に最も遅く到達する信号である NSW に合わせるように、BCR の delay 値 (約 44 クロック (=  $44 \times 25 \text{ ns} = 1.1 \mu\text{s}$ )) を設定する。そして、BW, RPC, EI, Tile の delay 値を設定することを予定している。

### A.3 通信安定性情報を用いたコインシデンスの自動停止機構の開発

NSL への入力正しいタイミングで正しいデータが送られてこない場合には、システムの異常から回復するための対処を適切に行う必要がある。ここでは、前段のボードと NSL との通信状態を監視し、通信に異常が発生したときにコインシデンスを自動的に停止するシステム開発について述べる。

#### A.3.1 G-Link Auto disable 機構

G-Link 通信では 17 bit のデータとは別に 4 bit の通信状況を示すフラグ情報が付属して送られる。これを用いて通信安定性をチェックし、不安定な状態が 32 クロック連続で発生するとエラーカウンターを回し、G-Link エラー信号を出す。そして NSL は自動的に G-Link 通信のリセットをおこなう。G-Link 通信のリセットは mode 切り替えにあたる DIV 信号を使って、mode を切り替えリンクを外してから取り直すことで行い、約 32000 クロック (約 800 us) の時間を必要とする。

#### A.3.2 G-Link 通信状態を用いたコインシデンスの自動停止機能

G-Link 通信をリセットしている間、トリガー情報を用いたコインシデンスを停止する。G-Link 0~5 いずれかのリセットをおこなうと、トリガーセクター 0 の BW Coincidence を停止し、その結果トリガーセクター 0 全体のトリガー出力もされない。G-Link 6~11 いずれかのリセットをおこなうと、トリガーセクター 1 の BW Coincidence を停止し、その結果トリガーセクター 1 全体のトリガー出力もされない。G-Link 12 のリセットをおこなうと、BW×Tile Coincidence を停止する。

#### A.3.3 BCID・CRC 情報を用いたコインシデンスの自動停止機能

G-Link 通信、GTX 通信で送信される BCID と NSL 内でカウントする BCID が一致せずエラー判定された場合、また GTX 通信で送信される CRC 情報<sup>[50]</sup> と NSL 内で再計算された CRC 情報が一致せずエラー判定された場合、エラーの発生している BCID に対応するタイミングで、対応する BW Coincidence, BW×Inner Coincidence を停止する。

	Flag	MSB														LSB	
	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
G-LINK12		BCID[3:0]				module3[2:0]			module2[2:0]			module1[2:0]			module0[2:0]		
					D5+6	D6	D5	D5+6	D6	D5	D5+6	D6	D5	D5+6	D6	D5	D5+6

図 A.2 : TMDB から受け取るデータフォーマット B.2.5。

## A.4 TMDB-NSL 間の接続試験

NSL と TMDB 間での通信エラーが起こる頻度の測定を行った。NSL 6 台とそこに接続される TMDB 2 台 (Tile カロリメータ 16 台) との間で試験を行った。今回の試験では NSL は BCR の Delay 値を設定していない。まず、TMDB から A.2 のフォーマットで送信する (B.2.5)。NSL 側で受け取った 4 bit の BCID を見て、0xb から 0x0 になることで BCID のリセットがおこなわれたことを確認する。そこからカウントしていくことで、BCID の送られてきていない上位 8 bit を BCID checker 内部で再構成する。

基本的に、TMDB から送られる BCID はカウントアップとリセットが正常に行われているため、NSL の BCID とはずれが一定である。この試験において、BCR の Delay 値を設定しないことにより TMDB の BCID の方が遅い方にずれているため、BCR の Delay 値を設定することで同期させる。NSL と TMDB 間の配線の長さがそれぞれ異なるため、NSL ごとにずれの値が異なることがある。今回の試験で TMDB-C6 から対応する NSL へのずれは 21 クロック、TMDB-A0 から対応する NSL へのずれは 19 クロックであったため、その値を各 NSL の BCR Delay 値として設定することで同期を行った。

BCID の同期を取った後 1 時間程度接続試験を行い、その間に発生した G-Link エラーと BCID エラーを測定した。結果を表 A.2 に示す。G-Link エラーも BCID エラーも 1 時間あたり十回程度発生していることがわかる。また、overflow は不明な BCID エラーが継続的に発生し、エラーカウンターが回り切ったため正確なエラー数を測定できなかったことを示す。

TMDB-NSL 間の通信において G-Link エラーと BCID エラーの両方が発生するが、コインシデンスがを停止する必要がある時間は G-Link Auto Reset に伴う待機時間の寄与が支配的となる。1 回の Auto Reset につき約 1 ms の待機時間が発生し、今回の試験では G-Link Auto Reset は < 20 回/h 程度の頻度で発生しているので 20 ms/h の時間だけコインシデンスが停止されることになる。これにより、通信エラーによる Tile コインシデンスの効率低下は  $6 \times 10^{-4} \%$  と見積もられ、性能にはほとんど影響しないと考えられる。

## A.5 BW×NSW Coincidence におけるタイミング整合性の検証試験

BW×NSW Coincidence(5.2.2 節) は、複数の BRAM と 320 MHz のクロックを用いて構成されているため、トリガーロジックの中でも特にロジックの配置・配線の制約が厳しく、320 MHz 1 クロック = 3.125 ns の間にギリギリ信号が間に合せている配線が存在する。具体的には、あ

表 A.2 : TMDB-NSL 間で 1 時間程度の接続試験を行った結果のエラー数。overflow は不明な BCID エラーが継続的に発生し、エラーカウンターが回り切ったため正確なエラー数を測定できなかったことを示す。

TMDB	NSL	G-link error	BCID error
C6	C10-E20	12 回	5 回
	C11-E21	2 回	2 回
	C11-E22	4 回	0 回
A0	A01-E02	12 回	2 回
	A02-E03	11 回	overflow
	A02-E04	17 回	18 回

る SSC において角度を用いた Coincidence Window を実装している BRAM と  $p_T$  merger を実装している BRAM 同士を接続する配線が 35 ps しか余裕がなく、タイミング制約がギリギリである。NSL の FPGA が正常に動作している場合、予測通りの挙動でトリガー判定がおこなわれるが、Xilinx 社の提供する FPGA においてクロック生成をおこなう MMCM が最大 200 ps のズレを発生させることが報告されている。MMCM のズレにより BW×NSW Coincidence が正常におこなわれなくなると、そのバンチにおいて間違ったトリガー判定がおこなわれるだけでなく、FPGA が LHC の供給する衝突に対応するクロックと同期しないクロックで動き続ける可能性がある。

この MMCM のズレがどの程度の頻度で発生するかは評価されておらず、また BW×NSW Coincidence がこのズレの影響を受けるかも確認されていない。5.3 節における検証試験では 1 ms 以内のトリガー出力が全て正しいことしか確認していなかったため、長時間試験をおこない BW×NSW Coincidence がどのような挙動を起こすか確認する必要がある。

40 MHz 1 クロックの間全ての LUT の出力が同じかつ、40 MHz 1 クロックごとに各 LUT から ( $f \rightarrow e \rightarrow d \rightarrow \dots 1 \rightarrow 0 \rightarrow f \rightarrow e \dots$ ) のように出力されるように入力データと LUT を設定する。320 MHz のクロックがズレて、送られる信号が 320 MHz 1 クロック分後ろにズレると BW×NSW Coincidence の最終的な  $p_T$  出力が ( $f \rightarrow e \rightarrow d \rightarrow \dots 1 \rightarrow 0 \rightarrow f \rightarrow e \dots$ ) とならず、同じ  $p_T$  が 2 回連続で出力される。全ての SSC (トリガーセクター 2 領域、SSC 5~19) の BW×NSW Coincidence において 1 時間程度測定をおこない、エラーが 1 回も起きないことを確認した。

## 付録B トリガー判定ボード New Sector Logic とデータフォーマット

2022年より開始する Run-3 に向けた初段ミュオントリガーの改良のために、新しいトリガー判定用ボード New Sector Logic (以下 NSL) の開発を行った。本章では NSL のデザインと、各検出器から NSL が受信するデータフォーマットについて説明する。

### B.1 New Sector Logic の概要

#### B.1.1 New Sector Logic に対する要求性能

NSL の主な役割は検出器から情報を受け取り、トリガー判定を行うことである。TGC BW のワイヤーの情報 ( $R, \Delta R$ ) とストリップの情報 ( $\phi, \Delta\phi$ ) の情報を用いて、ミュオンの RoI と  $p_T$  を決定する。また NSL で判定されたミュオンのトラックを各トリガーセクターにつき 4 つまで選択し、その結果を MUCTPI へ送信する。

ここで NSL に対する要求性能についてまとめておく。

##### ① 各検出器からのヒット・飛跡情報の受信

最初に HPT ボードから TGC BW 検出器からの情報を受け取る必要がある。またフェイクトリガーを削減するため、磁場領域よりも内側にある検出器のヒット・飛跡情報を受け取る必要がある。具体的には New Small Wheel, RPC BIS78, TGC EI と Tile カロリメーターの 4 つの検出器から情報を受け取る。これら各検出器のフロントエンド回路から、異なる通信規格・データ転送速度で情報を受け取るため、それぞれに対応したデータ受信方法が必要となる。初段トリガーでは Fixed Latency システムが採用されており、異なるデータ転送速度 (異なる周波数のクロック) で送られてくる情報を一定の latency で正しく受け取る必要がある。

##### ② トリガー判定と判定結果の送信

NSL は各検出器から受信した情報を用いて  $p_T$  閾値を判定し、トリガー判定を行う。Fixed Latency システムであるため、トリガー判定は一定の処理時間で行うことが要求される。またトリガー判定の結果を MUCTPI ボードへと送信する必要があり、複数のミュオンのトラックがあれば、トラックのクオリティが高い順に 4 つまで選ぶ。



### ③ 入力信号の読み出し

NSL は各検出器から受信したデータを保持・圧縮して、後段の SROD へ送信する必要がある。また、トリガー判定の結果や接続状況などの継続的なモニタリングにも用いられる。

### ④ VME 通信によるコントロール

ATLAS のミューオンシステムは VME バスを用いてコントロールされており、そのためのインターフェイスが必要である。具体的にはファームウェア、latency・接続状況、コインシデンス領域・CW の設定、トリガー判定の結果など様々なコントロールやモニタリングに用いられる。

## B.1.2 New Sector Logic のデザイン

ここでは New Sector Logic のデザイン、仕様について説明する。

図 B.1 に NSL の主な I/O インターフェイスと IC チップ、その配線の概略図を示す。要求性能①を満たすために、各検出器からのフロントエンド回路から送られてくる通信規格に対応した入力ポートを搭載した。SFP+ は New Small Wheel、RPC BIS78、TGC EI からデータを受け取るための GTX 通信用入力ポートである。SFP は TGC BW、Tile カロリメーターからデータを受け取るための G-Link 入力ポートである。また GTX 通信でデータを受信し、要求性能②、③を満たすために大規模なロジックを作成できる FPGA を用いた。GTX 通信はトリガー判定結果を MUCTPI へ送る際にも用いる。要求性能③のために、TCP/IP 通信を採用し、Ethernet ケーブル経由でデータを読み出すために PHY チップと出力ポート (RJ45 コネクタ) を搭載した。また要求性能④を満たすため、VME 9U 規格でボードが設計されている。

## B.1.3 主な IC チップ

### FPGA

NSL ではトリガー判定を行うために FPGA を用いる。NSL では GTX、G-Link などの多くの I/O が必要であること、コインシデンスロジックを実装するための BRAM などの必要なリソースの試算から Xilinx 社の Kintex-7 Series FPGA の XC7K410T というチップを採用した。表 B.1 に XC7K410T のリソースを示す。この FPGA は高速通信トランシーバーである GTX を 16 チャンネル分搭載しており、磁場領域より内側にある検出器からデータを受け取るために用いられる。ロジックセルは小規模な論理演算で用いる。ブロック RAM (BRAM) はメモリであり、データ保存や大規模な演算を行う場合に用いる。

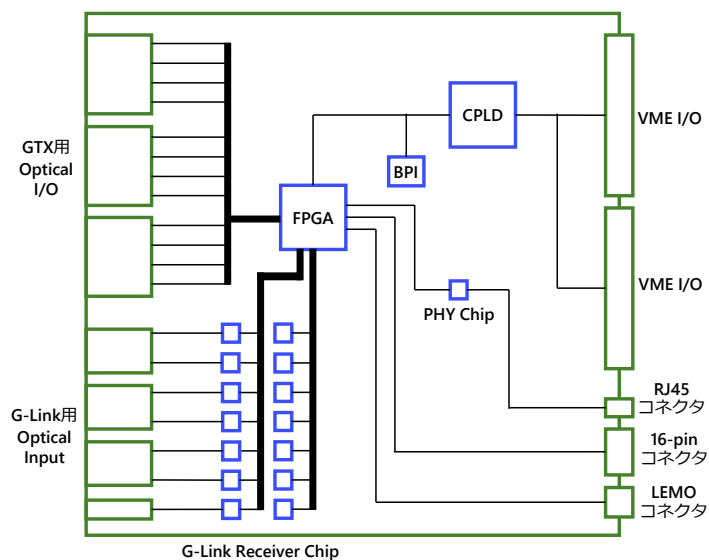


図 B.1 : 主なチップと配線の概略図。緑色のブロックで I/O ポートを、青色のブロックで主なチップを示している。

表 B.1 : XC7K410T の仕様<sup>[49]</sup>。

デバイス	ロジックセル	ブロック RAM (BRAM) (Kb)	GTX (チャンネル数)	ユーザー I/O pin 数
XC7K410T	406,720	28,620	16	500

## G-Link Receiver Chip

G-Link 受信チップは、シリアルで受信した信号を 40 MHz の LHC クロックに同期したパラレル信号に変換し、出力するチップであり HDMP-1034A を搭載している。

## 水晶発振器

NSL ボード単体での運用を可能にするため、水晶発振器 MXO3-7050C を搭載している。LHC のクロック 40 MHz (正確には約 40.079 MHz) に合わせて、周波数を 40.079 MHz にカスタムしたもの (Si5334C- B05812-GM) を用いた。このクロックは、LHC との同期の必要のない、TCP/IP 通信や VME 通信等のロジックに用いる。

## B.1.4 入出力ポート

ここでは、NSL に実装された入出力 (I/O) ポートについて説明する。

## GTX 通信用 SFP+ モジュール

SFP+ は電気信号と光信号の変換を行い、データの送受信を行うためのモジュールであり、NSL では GTX 通信のためのインターフェイスとして用いられる。Avago Technologies 社の AFBR-709SMZ を搭載している。NSL では 12 ポート分の SFP+ モジュールを搭載している。受信用の 6 ポートを New Small Wheel から、残りの 1 ポートずつを RPC BIS78 と TGC EI からのデータ受信に用いる。送信用の 2 ポートを MUCTPI へトリガー判定結果を送信するために用いる。

## G-Link 通信用 SFP モジュール

SFP モジュールは G-Link 通信のための光変換モジュールである。W-Optics 社の SAB-1AC1-111 を搭載している。G-Link 通信では受信のみを行うため、14 ポート分の受信ポートを搭載している。12 ポート (フォワード領域トリガーセクター用 NSL では 6 ポート) 分は TGC BW からのデータ受信に用い、残りの 1 ポートは Tile カロリメーターからのデータ受信に用いる。

## B.2 New Sector Logic が受信するデータフォーマット

### B.2.1 TGC BW から受け取るデータフォーマット

TGC BW から受け取るデータフォーマットについて説明する。TGC BW で得られたヒット情報は、HPT ボードでのワイヤーとストリップで独立したコインシデンスロジックを経由して NSL に送られる。ワイヤー用 HPT ボードからのデータフォーマットを表 B.2、ストリップ用 HPT

表 B.2 : wire HPT ボードから受け取る TGC BW でのミュオン の位置情報と磁場での曲がり具合の情報。

情報	$\Delta R$	Sign	H/L	POS	HITID
ビット幅	4	1	1	1	3

表 B.3 : strip HPT ボードから受け取る TGC BW でのミュオン の位置情報と磁場での曲がり具合の情報。

情報	$\Delta\phi$	Sign	H/L	POS	HITID
ビット幅	3	1	1	1	3

ボードからのデータフォーマットを表 B.3 に示す。データフォーマットを図 B.2 に示す。HITID と POS が飛跡の位置情報を表しており、 $R$  と  $\phi$  にデコードされ、RoI を決定するために用いる。Sign と  $\Delta R$ 、 $\Delta\phi$  は飛跡の曲がり具合の情報を表しており、Coincidence Window (CW) で行う  $p_T$  判定に用いる。H/L flag は HPT ボードで行われる HPT コインシデンスがとれたかどうかを表しており、コインシデンスに用いる CW の種類を決定するために用いる。

### B.2.2 TGC EI から受け取るデータフォーマット

TGC EI から受け取るデータフォーマットについて説明する。TGC EI で得られたヒット情報は、 $R$  と  $\phi$  の位置情報のみを EI コンバーターを経由して NSL に送られる。データ転送速度に制限があるため、PS ボードでは 8 channel の OR をとったものを送信する。データフォーマットを表 B.4, 図 B.3 に示す。

### B.2.3 New Small Wheel から受け取るデータフォーマット

New Small Wheel (NSW) も RPC BIS78 と同じく、ミュオンのヒット位置と角度情報を含んだトラック情報を NSL に送信する。1 つの NSW Trigger Processor (TP) は 8 つのミュオンのトラック情報を 2 本の光ファイバーを用いて NSL へ送る。

1 トラック分の情報を表 B.5 に、1 BC ごとに受け取るデータフォーマットを図 B.4 に示す。 $\eta(R \text{ index})$  や  $\phi(\phi \text{ index})$  のビット幅は、初段トリガーで用いる NSW の分解能 ( $\eta \sim 0.005$ 、 $\phi \sim$

表 B.4 : TGC EI から受け取るデータフォーマット。

情報	strip OR				wire OR		
	ch24-31	ch16-23	ch8-15	ch0-7	ch16-23	ch8-15	ch0-7
ビット幅	1	1	1	1	1	1	1

	Flag	MSB														LSB		
	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Sector 0	G-LINK0	Chip1 Can.2[9:0]							Chip0 Can.1 [6:0]									
	G-LINK1	Chip2 Can.2[6:0]							Chip1 Can.1[9:0]									
	G-LINK2	Chip3 Can.2[3:0]			Chip2 Can.1[9:0]							Chip2 Can.2[9:7]						
	G-LINK3		Chip3 Can.1[9:0]							Chip3 Can.2[9:4]								
	G-LINK4	Chip0 Can.1[7:0]							Chip0 Can.2 [8:0]									
	G-LINK5	Chip1 Can.1[7:0]							Chip1 Can.2[7:0]							Chip0 Can.1[8]		
Sector 1		Flag	MSB														LSB	
		16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	G-LINK6	Chip1 Can.2[9:0]							Chip0 Can.1 [6:0]									
	G-LINK7	Chip2 Can.2[6:0]							Chip1 Can.1[9:0]									
	G-LINK8	Chip3 Can.2[3:0]			Chip2 Can.1[9:0]							Chip2 Can.2[9:7]						
	G-LINK9		Chip3 Can.1[9:0]							Chip3 Can.2[9:4]								
	G-LINK10	Chip0 Can.1[7:0]							Chip0 Can.2 [8:0]									
G-LINK11	Chip1 Can.1[7:0]							Chip1 Can.2[7:0]							Chip0 Can.1[8]			

図 B.2 : バンチ衝突ごとに TGC BW から受け取るデータフォーマット。各 track の中身のフォーマットは表 B.2, 表 B.3 に示している。

	Second Byte								First Byte							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	0								EI Chamber 0 [7:0]							
Word-1	0								EI Chamber 1 [7:0]							
Word-2	0								EI Chamber 2 [7:0]							
Word-3	0			BCID[11:8]					BCID[7:0]							
Word-4	CRC[7:0]								0		ID[0]	lane number[3:0]				
Word-5	0xBC(K28.5)								0xBC(K28.5)							
Word-6	0x0102															
Word-7	0x0A0B															

図 B.3 : バンチ衝突ごとに TGC EI Data Converter から受け取るデータフォーマット。各 track の中身のフォーマットは表 B.4 に示している。

表 B.5 : NSW から受け取る飛跡情報。

情報	$R$ index	$\phi$ index	$\Delta\theta$	$\phi$ resol.	Low R-res.	reserved	Monitor
ビット幅	8	6	5	1	1	2	1

	Second Byte								First Byte							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	comma(0xBC)								comma(0xBC)							
Word-1	track0[15:8]								track0[7:0]							
Word-2	track1[7:0]								track0[23:16]							
Word-3	track1[23:16]								track1[7:0]							
Word-4	track2[15:8]								track2[7:0]							
Word-5	track3[7:0]								track2[23:16]							
Word-6	track3[23:16]								track3[15:8]							
Word-7	BCID[11:4]								BCID[3:0]			ID[3:0]				

図 B.4 : バンチ衝突ごとに NSW TP から受け取るデータフォーマット。各 track の中身のフォーマットは表 B.5 に示している。

10 mrad) から決められている。ミュオンが衝突点の中心からまっすぐに NSW まで飛んだ場合は  $\Delta\theta = 0$  となる。しかし、実際は衝突点に広がりがあることや NSW に到達する前にカロリメータなどで多重散乱を起こすなどの理由で、 $\Delta\theta$  は 0 を中心として広がりを持つ。ほとんどの場合、 $|\Delta\theta| < 15$  mrad であり、初段トリガーで要求される分解能が 1 mrad であるので、 $\Delta\theta$  は 5 bit のビット幅で表される。 $\phi$  resolution flag ( $\phi$  resol.) は、そのセグメントは sTGC のものであり、 $\phi$ -id が MM のものよりも大きな範囲にあることを示す。low R-resolution flag (Low R-res.) は、4 つの detector うち 1 つだけが 3-out-of-4 コインシデンスがとれたため、 $\Delta\theta$  と  $R$  の分解能が悪い場合に設定される。12 bit の BCID (Bunch Crossing ID) は、バンチを識別する番号として用いられ、0x0~0xdeb (0~3563 BC) が送られる。ID は、NSW TP 自身を識別する番号として用いられる。

#### B.2.4 RPC BIS78 から受け取るデータフォーマット

RPC BIS78 は 3 層構造になっており、2-out-of-3 コインシデンスで得られたミュオンの位置情報と複数の層のヒット情報を用いた角度情報を送信する。RPC BIS78 のフロントエンド回路 (Pad Trigger logic board) は 1 BC ごとに 4トラック分の情報を送る。

1トラック分のデータフォーマットを表 B.6 に、1 BC ごとに受け取るデータフォーマットを図 B.5 に示す。 $\eta$  index、 $\phi$  index はミュオンの位置を示し、 $\Delta\eta$ 、 $\Delta\phi$  は角度情報を表す。2/3 flag は 3 層のうち、どの層にヒットがあったかを表すものである。reserved は予備の bit である。この 24 bit でミュオンの 1トラック分の情報を表す。8 bit の BCID (Bunch Crossing ID) は、バンチを識別する番号として用いられ、0x0~0xdeb (0~3563 BC) の下位 8 bit が割り当てられ

表 B.6 : RPC BIS7/8 から受け取る飛跡情報。

情報	$\eta$ index	$\phi$ index	$\Delta\eta$	$\Delta\phi$	2/3 flag	reserved
ビット幅	6	6	3	3	2	4

	Second Byte								First Byte							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word-0	comma(0xBC)								comma(0xBC)							
Word-1	track0[15:8]								track0[7:0]							
Word-2	track1[7:0]								track0[23:16]							
Word-3	track1[23:16]								track1[7:0]							
Word-4	track2[15:8]								track2[7:0]							
Word-5	track3[7:0]								track2[23:16]							
Word-6	track3[23:16]								track3[15:8]							
Word-7	CRC[7:0]								BCID[7:0]							

図 B.5 : バンチ衝突ごとに RPC BIS78 から受け取るデータフォーマット。各 track の中身のフォーマットは表 B.6 に示している。

る。8 bit の CRC (Cyclic Redundancy Check) は、データ転送の際にエラーを検出するために用いられる。RPC BIS78 から送られてくる BCID が NSL 自身でカウントアップする BCID と同期がとれ、一致すること、また送られてくる CRC 情報が NSL 自身で再構成された CRC 計算結果と一致することもコインシデンスを取る条件になっている。(Appendix A.3.3)

### B.2.5 Tile カロリメーターから受け取るデータフォーマット

TMDB から受け取るデータフォーマットを図 B.6 に示す。3 bit の Module は Tile カロリメーターの各モジュールにおける D5、D6 で測定されたエネルギー、およびそれらの和が 500 GeV の閾値を超えたかどうかの結果を格納する。4 bit の BCID (Bunch Crossing ID) は、バンチを識別する番号として用いられ、0x0~0xdeb (0~3563 BC) の下位 4 bit が割り当てられる。TMDB から送られてくる BCID が NSL 自身でカウントアップする BCID と同期がとれ、一致することもコインシデンスを取る条件になっている。

	Flag	MSB														LSB	
	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
G-LINK12		BCID[3:0]				module3[2:0]			module2[2:0]			module1[2:0]			module0[2:0]		
						D5+6	D6	D5	D5+6	D6	D5	D5+6	D6	D5	D5+6	D6	D5

図 B.6 : バンチ衝突ごとに TMDB から受け取るデータフォーマット。

表 B.7: MUCTPI に送信するミューオントラックの情報。

情報	RoI	$p_T$	charge	flag
ビット幅	8	4	1	3

	Second Byte								First Byte						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
Word-0	Muon candidate1[15:0]														
Word-1	Muon candidate2[15:0]														
Word-2	Muon candidate3[15:0]														
Word-3	Muon candidate4[15:0]														
Word-4	Global flag[3:0]			BCID[11:0]											
Word-5	CRC[7:0]							0xFD(K29.7)							
Word-6	0xC5[D5.6]							0xBC(K28.5)							
Word-7	0xC5[D5.6]							0xC5[D5.6]							

図 B.7: バンチ衝突ごとに MUCTPI へ送信するデータフォーマット。4 つのミューオントラック情報と BCID、Global flag、CRC 情報を送る。

### B.3 New Sector Logic から送信するデータフォーマット

NSL はトリガー判定の結果を MUCTPI ボードへ送信する。また 初段トリガーが発行された BC とその前後の BC での全ての情報は Ethernet ケーブルで SROD へと送信する。ここでは NSL が送信するデータフォーマットについて説明する。

#### B.3.1 MUCTPI へ送信するデータフォーマット

NSL は 1 BC ごとにトリガー判定を行い、その結果を MUCTPI ボードへ送信する。NSL が 1 BC ごとに MUCTPI へ送信するデータフォーマットを図 B.7 に示す。MUCTPI へのデータ送信には GTX 通信を用いる。(NSL が送信する 2 種類の Comma は、MUCTPI が Word Alignment に用いる。) Global flag には、4 つ以上のミューオンの候補があったことを示すフラグ (more than 4 cand flag) が 1 bit、NSW のモニタリング用フラグが 1 bit、それ以外の bit は予備である。他にはエラー検出用の CRC とバンチ識別のための BCID を送信する。また NSL は 1 BC ごとに表 B.7 に示したミューオントラックの情報を 4 つ送る。ミューオントラックの情報には、TGC BW でのヒット位置を表すための 8 bit の RoI 情報と、初段トリガー判定で設けられる 15 段階の横運動量閾値を表すために 4 bit の  $p_T$  情報が含まれる。またミューオンの電荷情報を表す 1 bit と、磁場領域より内側にある検出器とコインシデンスが取れたか (Inner flag)、TGC BW において 3 層のステーション間 (M1-M3 間) でコインシデンスが取れたか (station flag)、磁場が弱い RoI 領域にヒットしたか (hot roi flag) を示す 3 bit のフラグ情報も含まれる。



Words (16-bit)	Data Tag	Bunch Tag
Word 0	Header (0xB0D0)	
Word 1	0000	L1ID (12-bit)
Word 2	0000	BCID (12-bit)
Word 3	0000	SLID(12-bit)
Word 4	Zero-Suppressed data Every 32-bit word starts with "1111"	
Word (2N-2)		
Word (2N-1)	0x0000	
Word 2N	Footer (0xE0D0)	

図 B.8 : SROD へ送信するデータフォーマット [38]。ID 情報と初段トリガーが発行された BC とその前後を含めた計 4 BC 分の全ての情報を送る。

### B.3.2 SROD へ送信するデータフォーマット

NSL は 初段トリガーが発行された BC とその前 1 BC、その後 2 BC の計 4 BC 分の全ての情報を送信する。送信する際には、データの圧縮や整形処理を行う。[48]

図 B.8 が、NSL から SROD に送信するデータフォーマットである。NSL から SROD へ送信するデータの長さは、データ圧縮処理により可変長になる。SROD では イベントごとの情報をまとめて後段に送るため、データの始まりと終わりを判別して 1 イベント分の情報を抜き出す必要がある。そのため、データの最初と最後にヘッダー・フッターを付加している。BCID は、LHC のバンチ構造を利用した ID 情報で、ある特定のバンチを BCID = 0 とし、そこから数えて何バンチ目の交差にあたるかを示している。L1ID は、LHC のランが開始してから何回 L1A 信号が発行されたかを示す ID 情報である。SLID は、SL 自身の ID 情報である。その他の情報についてはデータ圧縮処理がなされるため、そのデータがどういう情報を表すかを判断する 16 bit の data tag と 16 bit の data を合わせた 32 bit から構成される。

## 付録C New Sector Logic に実装する読み出しファームウェア

NSL はトリガー判定を行うだけでなく、受信データとトリガー判定結果の読み出しも行う。L1A (Level-1 Accept) 信号を受け取ると、信号に対応した BC のデータを読み出し、整形・圧縮後、SROD へと送信する。開発した読み出しファームウェアのブロック図を、図 C.1 に示す。読み出しファームウェアは L1 Buffer、ID Counter、Derandomizer、Zero Suppress、SiTCP の 5 つのモジュールからなる。

### C.1 L1 Buffer

L1 Buffer では L1A が発行するまで全てのデータ出力をバッファに保存し、トリガーが発行された場合にその BC と前 1 BC、後 2 BC の計 4 BC 分のデータを読み出す。Data Buffer は NSL が受信した各検出器からの情報を保存しておくためのバッファであり、Trigger Buffer は NSL で判定したトリガー情報を保存しておくためのバッファである。

### C.2 ID Counter

受信データとともに、そのデータの ID 情報を付与して送る必要がある。この ID 情報を元に HLT は他の検出器と同じイベント・同じ BC の情報を共有し、より高い精度のトリガーを行うためである。ID には Bunch Crossing ID (BCID) 及び L1ID (Event ID) の 2 種類がある。

BCID は、LHC のバンチ構造を利用した ID 情報で、ある特定のバンチを BCID = 0 とし、そこから数えて何バンチ目の交差にあたるかを示す情報を持つ。LHC 1 周は 3564 個のバンチに相当するので、BCID を表すのに必要なビット幅は 12 bit である。BCID は 0 から 3563 までで定義されており、16 進数で表示すると 0x0 から 0xdeb となる。LHC のバンチ交差は 40 MHz で行われているため、この BCID は 40 MHz 毎に 1 ずつ数を増やす。

L1ID (Event ID) は、LHC のランが開始してから何回 L1A が発行されたかを示す ID 情報である。L1ID は NSL では 12 bit まで数えており、L1ID をリセットする信号を受信したら、再び 0 に戻る。後段の読み出し回路では L1ID を常に監視していて、L1ID が 0 に戻ったら Extended L1ID と呼ばれるカウンターでその回数を数え、L1A と合わせて 24 bit の ID 情報で全イベントを識別する。

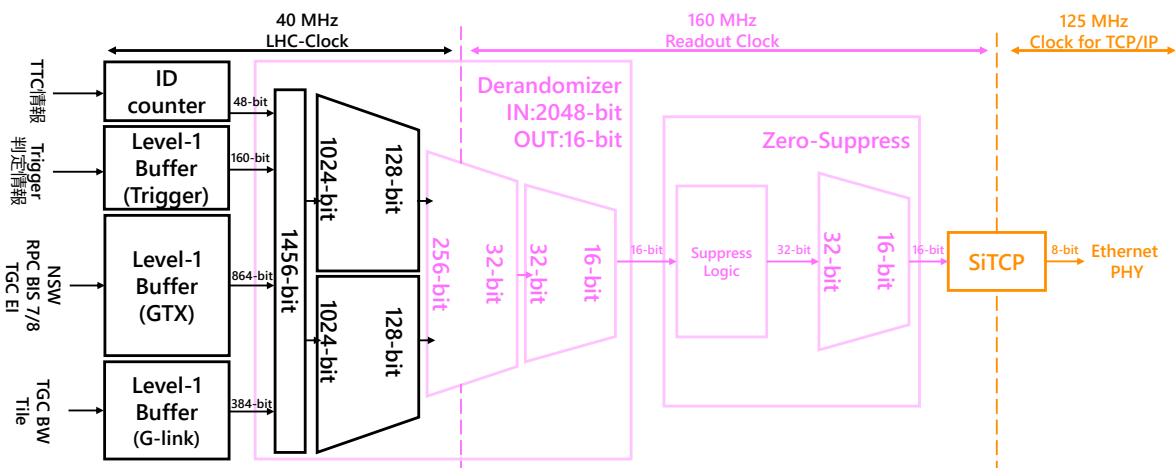


図 C.1 : 読み出しファームウェアの概念図。L1A 信号を受け取ると、信号に対応した BC のデータを読み出し、整形・圧縮後、SROD へと送信する。

これらの ID を付与するために NSL で必要な情報は、BCID を数えるための 40 MHz の LHC クロック、BCID のリセット信号 (BCID Reset, BCR)、L1ID を数えるための L1A (Level-1 Accept)、L1ID のリセット信号 (Event Counter Reset, ECR) の 4 つである。これらの情報は TTC (Trigger Timing Control) システムから受信する。TTC システムは、トリガー信号 (L1A) 及びタイミング信号 (LHC クロック, BCR, ECR)、コントロール信号 (Test Pulse, BUSY) を合わせて全トリガーシステムに供給する。ID Counter では、BCID Counter は LHC クロックの立ち上がりのたびにカウントアップし BCR でリセットする 12 bit カウンター、L1ID Counter は LHC クロックの立ち上がり時 L1A 信号が受信されている時のみカウントアップし、ECR でリセットする 12 bit カウンターとして、それぞれの値を出力するような実装となっている。

### C.3 Derandomizer

Derandomizer は、L1A が発行されたイベントに対して、Data Buffer、Trigger Buffer 及び ID Counter からの出力を FIFO を保存し、データ幅の調整をおこなう。この FIFO は 40 MHz で 2048 bit の情報を受信し 160 MHz 読み出しクロックに同期した 16 bit で出力するものである。

### C.4 Zero Suppress

Zero Suppress はデータを圧縮するためのロジックである。特にデータの中で 0 の割合が多い場合にデータの圧縮率が高くなるロジックであり、基本的には 0 でないデータのみを送信するようにしてデータ転送量を減らす。

表 C.1 に Suppress ロジック後のデータフォーマットを示す。16 bit のデータに 16 bit の cell 情報を付け加えて 32 bit へと変換する。16 bit の cell 情報は、SROD で 16 bit のデータが何の

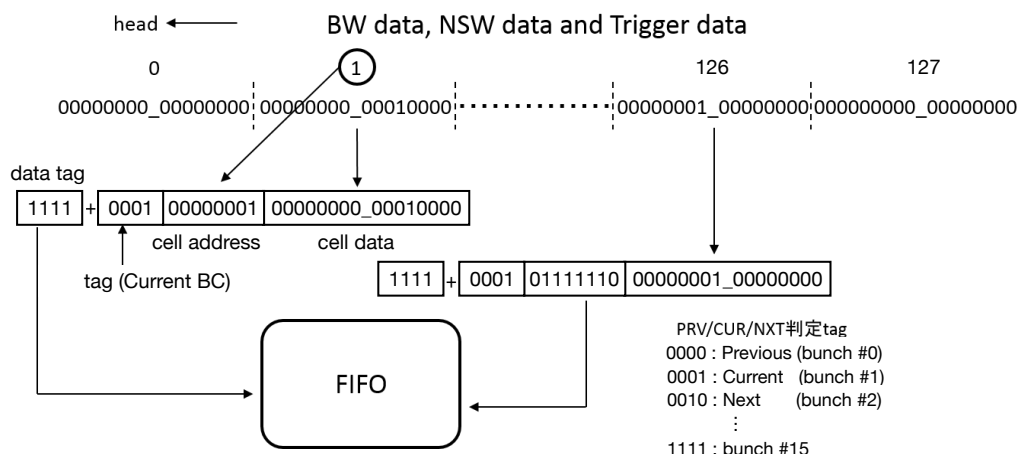


図 C.2 : Zero Suppress ロジックの概念図 [51]。16 bit ごとにデータの圧縮を行う。

表 C.1 : Zero Suppress 後のデータフォーマット。16 bit の cell data に 16 bit の cell 情報を付け加えて 32 bit で 1 つのデータへと変換する。

情報	Data Tag	Bunch Tag	cell address	cell data
ビット幅	4	4	8	16

情報を表すか識別するための 4 bit の Data Tag、L1A 信号によって読み出されたデータがどのバンチ (Previous, Current, Next, NextNext) のイベントであるかを表す 4 bit の Bunch Tag、何 cell 目のデータであるかを表す 8 bit の cell address で構成されている。Suppress ロジックで圧縮・整形された 32 bit のデータは、SiTCP 通信を行うために 16 bit ずつに分解する必要がある。32 bit ごとに FIFO に保存し、16 bit ずつ読み出すことによりデータの分割を行う。

## C.5 SiTCP

SiTCP とは、FPGA を Ethernet と接続する技術で、これを用いることで TCP/IP を用いたデータ転送をハードウェアで実装することができる。SiTCP は Xilinx FPGA 上に実装できるライブラリとして提供されており、この特徴は比較的小さな回路規模 (最大約 20000 ロジックセル) で実装でき、Ethernet 上限値の 1 Gbps での安定通信を実装できる点である。また、必要な外付け部品が Ethernet PHY チップと MAC アドレスを格納する EEPROM のみと少ない点も利点である。

図 C.3 に、SiTCP を用いたデータの読み出しの流れを示した。検出器からの情報を用いて処理を行うボードに、ユーザー回路と合わせて SiTCP を実装することで、Ethernet 通信を通して標準的な PC でデータ読み出しが可能である。PC からのコントロールでボードにアクセスすることも可能である。また、図 C.4 にツイストケーブル (UTP) を用いる場合のハードウェア上での実装例を示した。このように、FPGA 上に SiTCP を実装し、FPGA 外部には PHY チップを置

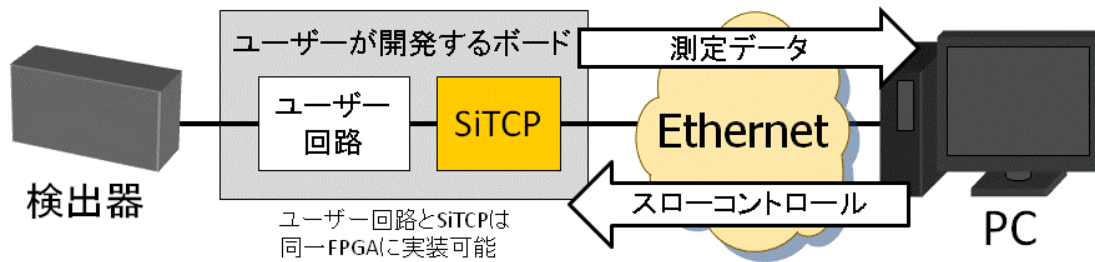


図 C.3 : SiTCP の物理実験での使用例<sup>[47]</sup>。ユーザー回路の情報を SiTCP 技術を用いて直接 PC で読み出すことが可能である。

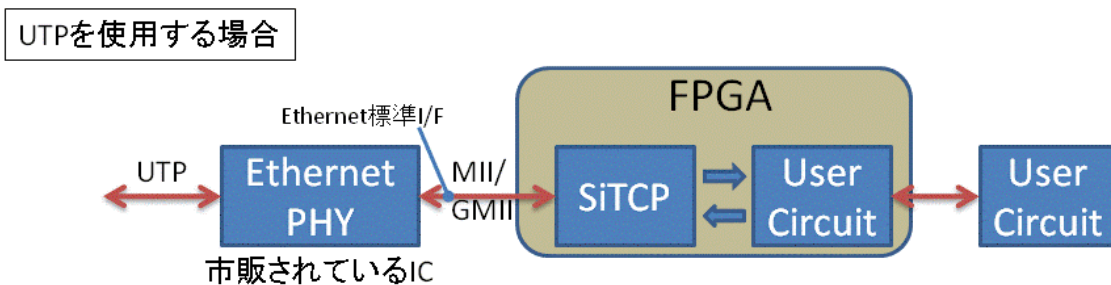


図 C.4 : 標準的なツイストケーブル (UTP) を用いる際の、SiTCP のハードウェアでの実装方法<sup>[47]</sup>。FPGA 上に SiTCP を実装し、外付けチップとして市販の PHY チップを置くだけでデータ通信機能を実装できる。

くだけで容易にデータ通信機能を実装できることがわかる。

Gigabit Ethernet で用いるクロックの周波数は 125 MHz と決まっており、これは読み出しクロックの 160 MHz と異なるため、FIFO 構造を用いて周波数の差を吸収する。また、SiTCP のデータを PHY チップに受け渡すインターフェイス部分へはデータ幅 8 bit で送信する必要があるため、この FIFO でデータ幅の調整も行う。図 C.5 に SiTCP モジュールの概要を示す。

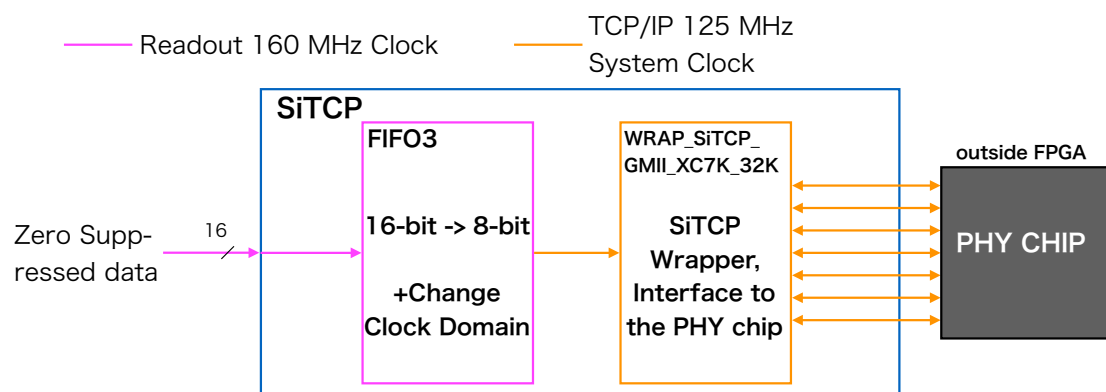


図 C.5 : 実装した SiTCP モジュールの概要。

## 付 録 D その他の初段トリガーロジック

### D.1 HPT ボードよりも前段の TGC フロントエンド回路

#### D.1.1 Amplifier Shaper Discriminator (ASD) ボード

Amplifier Shaper Discriminator (ASD) ボードは TGC のワイヤーとストリップからアナログ信号を受け取り、デジタル信号への変換を行う。ASD ボード上の ASD ASIC で入力されたアナログ信号を増幅・整形し、閾値を超えた信号のみ LVDS 信号として出力する。ASD ボードは、後述の PS ボードから動作電源や閾値電圧が供給される。1 つの ASD ASIC(ASIC は突然) は 4 つの信号の受信・処理を行う。図 D.1 のように 1 枚の ASD ボードは 4 つの ASD ASIC(2.2.5 節) を搭載しており、同時に 16 チャンネルの信号を処理する。

#### D.1.2 Patch-Panel and Slave Board ASIC (PS) ボード

Patch-Panel and Slave Board ASIC (PS) ボードは、Patch-Panel ASIC (PP ASIC) と Slave Board ASIC (SLB ASIC) を搭載したボードのことである。

##### (1) Patch-Panel ASIC (PP ASIC)

Patch-Panel ASIC は ASD からワイヤーとストリップそれぞれの LVDS 信号を受け取り、タイミングの調整を行うことで、同じ陽子衝突由来の信号を同時に次の SLB ASIC に送る。陽子衝突

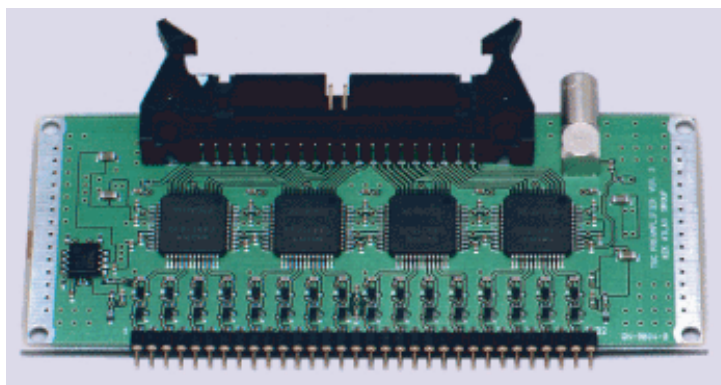


図 D.1 : ASD ボードの写真<sup>[33]</sup>。ASD ボード上には 4 つの ASD ASIC を搭載しており、ASD ASIC により TGC のアナログ信号をデジタル化している。

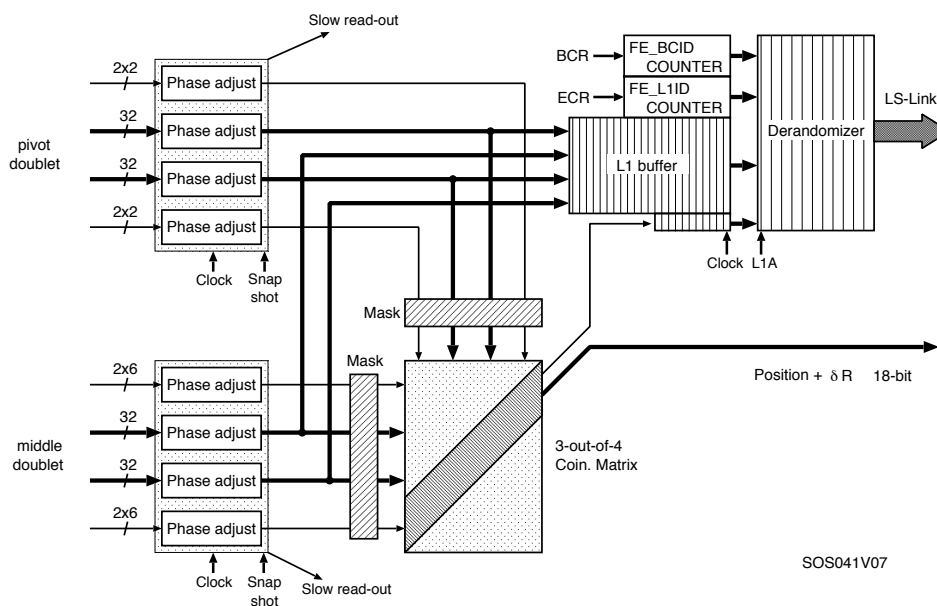


図 D.2 : Doublet SLB (wire 用) のブロック図 [37]。左側からの入力に対して、ケーブル長からくる位相差の補正を行い、3-out-of-4 コインシデンスマトリックスで4層中3層以上にヒットがあることを要求する。上半分で読み出しを、下半分でトリガー判定を行う。

が起きてからミュオンが検出器に到達する時間や、ケーブルの長さの違いを考慮し、PP ASIC を用いてタイミングを合わせることで、これより後段に送る信号を LHC から共通して配分される 40 MHz クロックに同期させる。

## (2) Slave Board ASIC (SLB ASIC)

Slave Board (SLB) には Triplet のワイヤー用とストリップ用、2つの Doublet のワイヤー用とストリップ用の計 4 種類のボードがある。また SLB ASIC は読み出しとトリガー判定という 2 種類の処理を行う。図 D.2 に、2つの Doublet のワイヤー用 SLB ASIC で行われる処理のブロック図を示す。

Doublet Slave Board は 2つの TGC Doublet (M2、M3 ステーション) から信号を受け取り、ワイヤーとストリップで独立に 4層中3層以上にヒットがあることを要求する (3-out-of-4 コインシデンス)。コインシデンスは図 D.3 に示すように、コインシデンスマトリックスを用いて行われる。コインシデンスマトリックスの入力は M2 の 2層のチャンネル情報、M3 の 2層のチャンネル情報である。コインシデンスマトリックスの対角線上でコインシデンスがとれるような、位置の差  $\delta R$  が小さいものを出力とする。

ミュオンが通過したストリップのみでなく、近傍のストリップにも電荷を誘起して複数のストリップで信号が生じることがあり、これをクロストークと呼ぶ。クロストークを避けるために 3-out-of-4 コインシデンスの出力をデクラスタリングと呼ばれるアルゴリズムで処理を行い、候補を 1つに絞り込んでから LVDS 信号で後段の High PT ボードに送る。図 D.4 にデクラスタリン



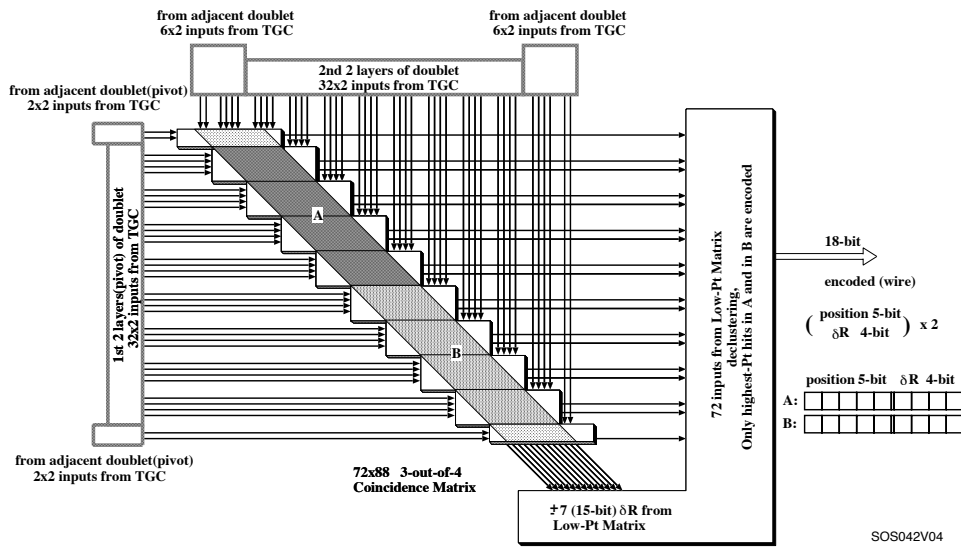


図 D.3 : Doublet Slave Board 用のコインシデンスマトリックスのブロック図 [37]。左からの入力が M2 の 2 層のチャンネル情報、上からの入力が M3 の 2 層のチャンネル情報である。対角線上でコインシデンスがとれて、位置の差  $\delta R$  が小さい信号の場合、後段の High PT ボードに送られる。

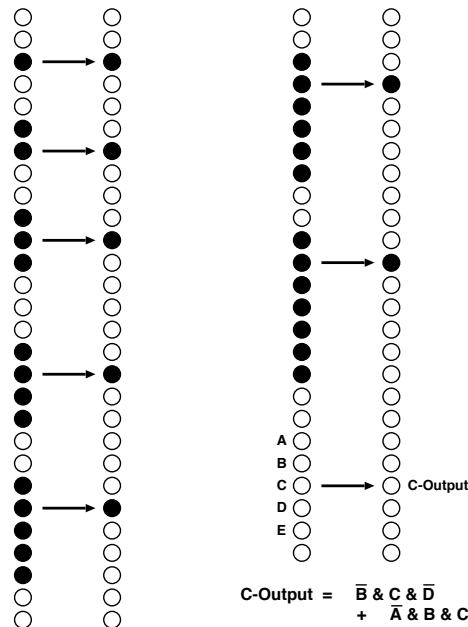


図 D.4 : デクラスタリングアルゴリズムの概念図 [37]。2 個以上の候補が連続している場合には、上から 2 つ目の候補を選ぶ。

グアルゴリズムの概念図を示す。連続したヒットがある場合には、上から2つ目の候補を選ぶようなアルゴリズムである。また TGC-EI の信号を受け取る SLB ASIC は、ワイヤーとストリップで独立に2層中1層以上にヒットがあることを要求し (1-out-of-2 コインシデンス)、G-Link という専用のチップを用いたシリアル通信で後段の TGC-EI Data Converter へとトリガー情報を送る。TGC システムでは G-Link でシリアル化した信号を光信号に変換して利用しており、通信速度は 640 Mbps または 680 Mbps である。そのため、G-Link 光ファイバー 1 本あたり、1 BC ごとに 16-bit または 17-bit の情報を転送できる。

Triplet Slave Board は TGC Triplet (M1 ステーション) から信号を受け取り、ワイヤーの場合は3層中2層以上にヒットがあること (2-out-of-3 コインシデンス) を、ストリップの場合は2層中1層以上にヒットがあることを要求する (1-out-of-2 コインシデンス)。Triplet Slave Board でのコインシデンスは Doublet Slave Board と同様にコインシデンスマトリックスを用いて行い、コインシデンスの結果は High PT ボードに送られる。

## D.2 NSL に入力するトリガーロジック

### D.2.1 TGC-EI Data Converter

TGC-BW と TGC-EI、Tile カロリメータからの信号は G-Link を用いて送られる。一方、RPC BIS78 と NSW からの信号は GTX <sup>[46]</sup> と呼ばれる通信規格を用いて受信する。NSL は G-Link のポートが足りないため、EI からの信号を GTX ポートで受信する必要がある。TGC-EI Data Converter は、入力信号のタイミング調整をおこない G-Link を GTX に変換した上で、複数の NSL に信号を送信する。TGC-EI Data Converter から NSL に送信されるデータフォーマットは [B.2.2 節](#) に記述する。

### D.2.2 Tile Muon Digitizer Board (TMDB)

Tile Muon Digitizer Board (TMDB) では Tile カロリメータのモジュールごとに D5、D6 で測定されたエネルギーをデジタル化し、3 bit の情報に変換して NSL へ送信する。1 つの TMDB は 8 モジュールの Tile カロリメータの情報を処理し 3 つの NSL に送信する。1 つの NSL は 1 つの TMDB から G-Link を用いて Tile カロリメータ 4 モジュール分の情報を受け取る。TMDB から NSL に送信されるデータフォーマットは [Appendix B.2.5 節](#) に記述する。

## D.3 NSL より後段の初段トリガーロジック

NSL で処理された初段エンドキャップ部ミュオントリガー情報は、その他の初段トリガー情報と統合され、より後段のロジックで HLT に送られるかについてのより高度なトリガー判定が行

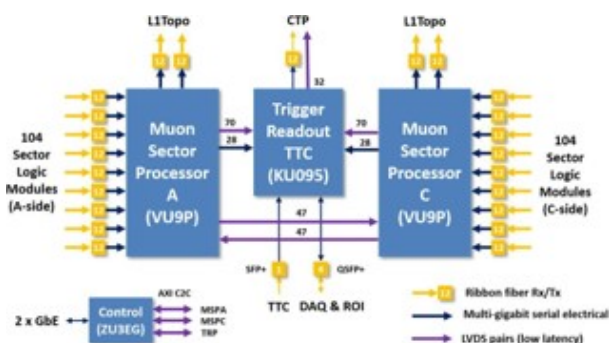
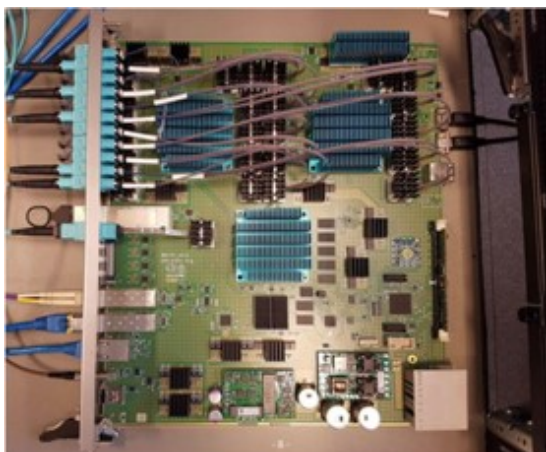


図 D.5 : (左) MUCTPI の写真 [52]。 (右) MUCTPI のブロック図。

われる。エンドキャップ部ミュオントリガーが送信され、Level-1 Accept 判定の処理が行われるまでのトリガー判定を記述する。

### D.3.1 MUon-to-CTP Interface (MUCTPI)

MUCTPI はバレル領域を担当する SL とエンドキャップ領域を担当する SL(3.3.1) から送られてくるミュオン候補の情報を受け取る。MUCTPI はトリガーセクターごとに最大四つのミュオン候補を受け取ることが可能である。そして、全てのトリガーセクターから情報を集め、最終的なミュオントラックの情報を CTP に送信する。MUCTPI は 16 の MIOCT と呼ばれるボードから構成され、1 つの MIOCT ボードはバレル領域 4 セクター、エンドキャップ領域 6 セクター、フォワード領域 3 セクターをカバーしている。図 D.5 に MUCTPI の写真とブロック図を示した。NSL から MUCTPI に送信されるデータフォーマットは Appendix B.3.1 節に記述する。

### D.3.2 L1 Topology Processor (L1Topo)

L1Topo はトリガーオブジェクト (TOB) 間 ( $e$ ,  $\gamma$ ,  $\mu$ , jet,  $\tau$  など) の幾何学的、運動学的関係からイベントセレクションを行うボードである。L1Topo システムは 3 つのボードで構成され、それぞれアルゴリズム計算用と処理用に 2 つの FPGA を持つ。MUCTPI から A-side, C-side ごとに最大 16 個の TOB を受信し、各 FPGA は表 D.1 のような計算を行う。L1Muon から送信された RoI 単位の位置情報、15 段階の  $p_T$  情報、Inner flag、station coincidence flag、hot roi flag、電荷情報を用いてイベントセレクションをおこなう。そして、L1Topo システムはセレクション結果を CTP へ送信する。

表 D.1 : 2016 年における L1Topo のセレクション例<sup>[53]</sup>。2 つの TOB 間の位置 ( $\Delta\phi$ ,  $\Delta\eta$ ,  $\Delta R$ )、TOB 同士で組んだ不変質量, 横方向質量 ( $M, M_T$ )、jet の  $p_T$  和の大きさをイベントセレクションに用いる。

Type	Name	Details
Angular Separation	$\Delta\phi$	$\Delta\phi(\text{TOB}_1, \text{TOB}_2)$
	$\Delta\eta$	$\Delta\eta(\text{TOB}_1, \text{TOB}_2)$
	$\Delta R$	$\sqrt{\Delta\phi^2 + \Delta\eta^2}$
Invariant Mass	$M$	$\sqrt{E_T^1 E_T^2 (\cosh \Delta\eta - \cos \Delta\phi)}$
Tranverse Mass	$M_T$	$\sqrt{E_T^1 E_T^{\text{miss}} (1 - \cos \Delta\phi)}$
Interaction hardness	$H_T$	$\sum(\text{jets})$

### D.3.3 Central Trigger Processor (CTP)

CTP は、異なるオブジェクトの情報を組み合わせ、全体としての Level-1 Accept (L1A) の決定を行う。トリガーマニュー (2.2.5 節) がプログラムされ、そのいずれかを満たした時に L1A が発行される。CTP ではメニューアイテムのそれぞれについてプリスケールファクターが設定されており、高いレートのトリガーに関してそのレートを下げることが可能になる。また、CTP は後段トリガーや読み出しシステムの処理が追いつかなかったり、フロントエンドシステムでオーバーフローしそうな時にデッドタイムを制御する役割もある。